

行政院國家科學委員會專題研究計畫期中報告

高性能混合訊號式發收機積體電路 互補式金氧半射頻收發機前置電路模組設計、IP 建立及 應用研究-子計畫一

The Design of CMOS Front-end IC Modules and IP Cores for RF Transceivers in Various Applications

計畫編號：NSC 89-2215-E-009-064

執行期限：89 年 8 月 1 日至 90 年 7 月 31 日

主持人：吳重雨 國立交通大學電子工程系所

E-mail : cywu@alab.ee.nctu.edu.tw

中文摘要

本計畫擬以互補式金氧半製程，設計一工作頻率在幾十億赫茲範圍的低電壓、低功率射頻前置積體電路，並將設計應用於可攜式、多標準發收機之智慧特質核心，這些智慧特質核心電路將設計成可工作於各種頻率範圍的不同版本，以符合多標準發收機之要求。

計畫將以台積電 0.25um 互補式金氧半製程設計並實現一射頻前置智慧特質核心電路，電路包含低雜訊放大器、混波器、電壓控制振盪器和功率放大器。這些互補式金氧半射頻前置智慧特質核心將整合，完成應用於一單晶多標準射頻發收機原型系統，最後測試並驗證此系統是否有正常功能。

Abstract

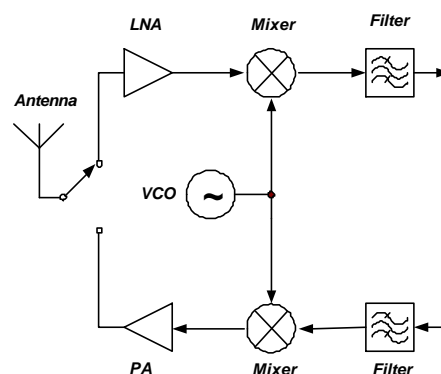
This project is to define, design and implement a low-voltage, low-power CMOS RF front-end IC which operates in giga hertz frequency range for multi-standard transceiver requirements and implement it as a intellectual property cores for portable multi standard transceiver.

The CMOS RF front-end IP cores, would be designed and implement in TSMC 0.25um CMOS process, contain low noise amplifier (LNA), mixers, voltage-controlled oscillator

(VCO) and power amplifier (PA). These cores will be integrated to form a multi-standard RF transceiver prototyping system on a single chip. Then system tests will be performed to verify their correct functions.

一、簡介

近幾年由於無線行動通訊市場的快速成長，帶動了對低成本、高性能通訊積體電路晶片的大量需求，而隨著製程的改進，CMOS 的操作頻率亦從過去的 Mega Hz 攀升到 Giga Hz；利用 CMOS 本有的低成本、高整合性優點，以 CMOS 完成整個射頻通訊系統便成了極熱門且吸引人的研究領域[1]~[6]。



圖一 射頻收發機架構

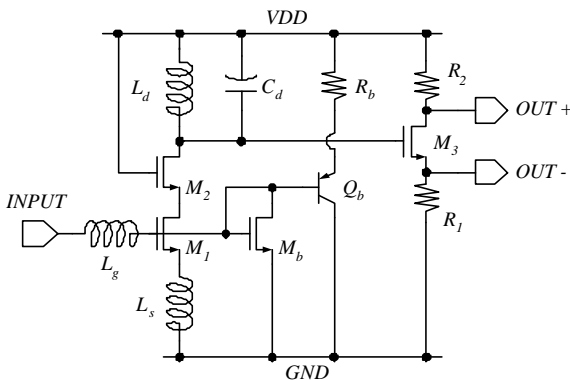
圖(一)所顯示的是一般在通訊系統中所使用的射頻收發機架構，射頻系統可粗分為兩個主要部分——接收機與發射機。在接收機的部分

分，包括了低雜訊放大器(LNA)、降頻混波器(mixer) 以及中頻濾波器(IF filter)。低雜訊放大器將接收到的射頻訊號放大並降低系統的雜音指數(noise figure)，混波器降低載波頻率以利後級的濾波器做頻道的選擇。在發射機的部分，主要包括升頻混波器(即調變器)及功率放大器。混波器將基頻的訊號調變至傳送頻率後，再經由功率放大器將訊號發射出去。要得到一個高性能的通訊系統，射頻系統性能優劣將是個重要的決定因素。

二、 電路設計

1. 低雜訊放大器

在接收機中，低雜訊放大器是第一個提供增益的電路，所以其雜音指數的大小將對整個系統有絕對性的影響。

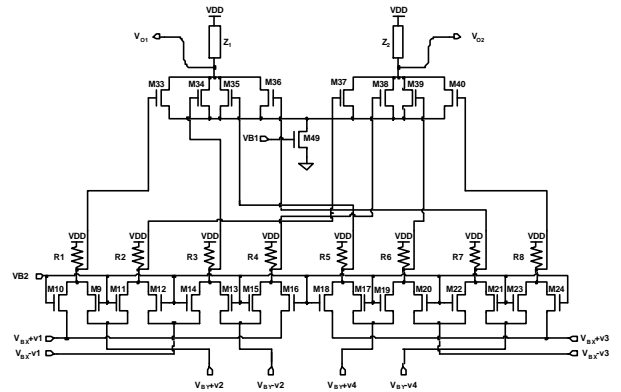


圖二 2.4GHz 低雜訊放大器

圖(二)是個操作在 2.4GHz 的低雜訊放大器，此放大器以 TSMC 0.25um 的金氧半製程做設計，操作電壓為 2.5V。在電路中使用電感 L_g 以及 L_s 作為阻抗匹配，並利用並聯的 L_d 及 C_d 在自振頻率時高阻抗的特性來提高放大器的增益，而 N 型金氧半電晶體 M_b 與雙極性電晶體 Q_b 的組合，其對溫度的補償效果可提供放大器一個不隨溫度變化的穩定偏壓。以 HSPICE 模擬的結果，在 2.5V 的操作電壓下，此低雜訊放大器可提供 18dB 的增益，消耗功率為 10mW，雜音指數為 3.9dB，三諧波交越點為 -10dBm。

2. 正交相位調變器

在射頻發射器電路中，正交相位調變器是把信號由低頻帶轉換至高頻帶的關鍵元件。正交相位調變器包含兩個混波器和一個加法器。在本計畫中，一個基於類比乘法器原理的正交相位調變器被設計完成。圖(三)為其電路圖。



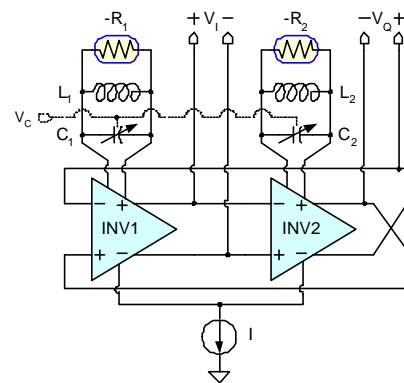
圖三 正交相位調變器

經由推導，可以證明此電路的差動輸出為 $K \times (v_1 \times v_2 + v_3 v_4)$ ，其中 K 為常數。因此這個電路可以達到正交相位調變的功能。

如電路圖中所示，信號由電晶體的源極輸入正交相位調變器。利用這種架構，正交相位壓控震盪器及基頻電路將可整合到此調變器內達到電流再利用的效果，以降低整個發射器的功率消耗。

3. 電壓控制振盪器

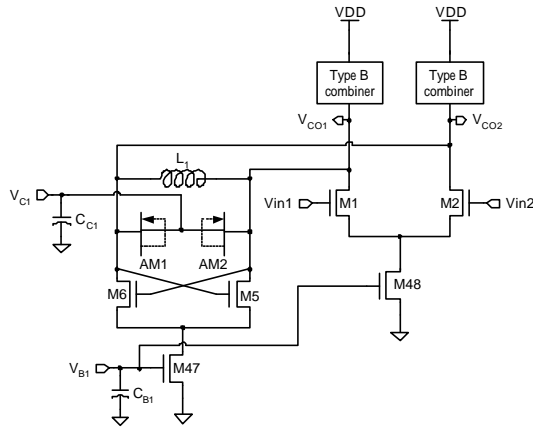
為了產生一組相位精確正交的 LO 信號。一個偶數級環狀壓控震盪器被設計完成。此震盪器將被整合至調變器內以降低功率消耗及增加正交相位的準確度。



圖四 兩級環狀震盪器方塊圖

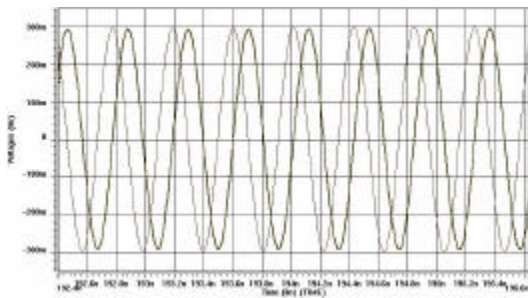
圖(四)是這個兩級環狀震盪器的方塊圖，裡面包括全差動反相器、電感電容共振器及負電阻。

震盪器中使用具有電感電容負載的全差動反相器，其電路圖示於圖(五)。



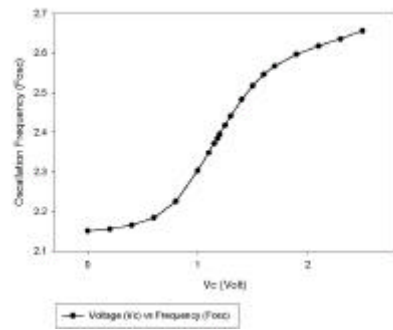
圖五 電感電容負載的全差動反相器

電晶體 M1、M2 形成把差動電壓轉為差動電流的放大器。電晶體 M5、M6 形成正回授以產生值為 $-2/g_m$ 的負電阻。如果負電阻的值大於電感電容負載的損耗，這個電路就會震盪。L1 是晶片上之螺旋電感。可變電容以兩個加強式金氧半變容器實現。此種變容器具有高線性度的電壓電容曲線及高品質因數。震盪頻率可由頻率合成器產生的 V_{C1} 調整控制。



圖六 正交相位壓控震盪器的震盪波形

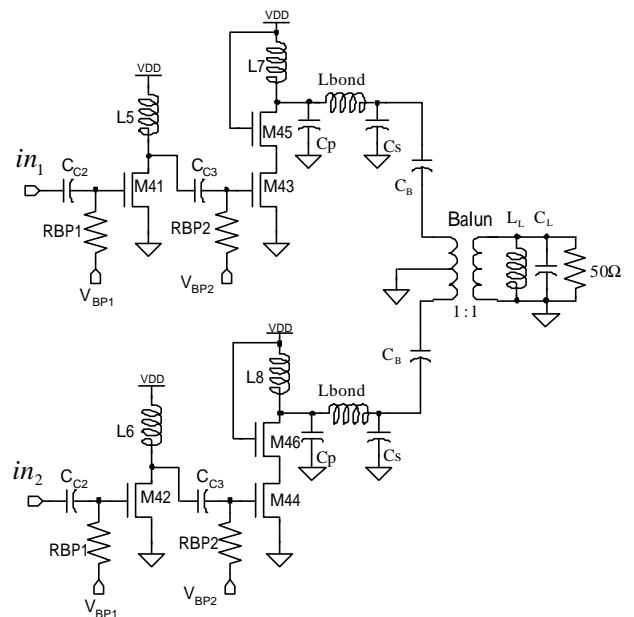
圖(六)是正交相位壓控震盪器的震盪波形，當震盪頻率為 2.43GHz 時，正交相位誤差是 0.7675° ，兩信號振幅差是 5.58mV。圖(七)是壓控震盪器的控制電壓-震盪頻率曲線。由此圖可知壓控震盪器的可調頻率範圍在 2.65GHz 到 2.15GHz 間，如此可以涵蓋 2.4GHz ISM 頻帶。



圖七 壓控震盪器的控制電壓-震盪頻率曲線

4. 功率放大器

在發射器中，一個兩級串接的差動功率放大器被設計達到足夠的輸出功率及優良的效率。與單端的架構比較，差動架構的優點在有較大的電壓可運作區間、偶次諧波消除效果及對震盪器信號較小的干擾。

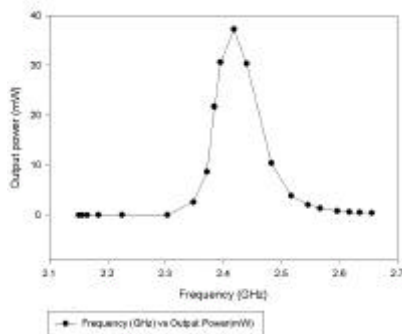


圖八 功率放大器

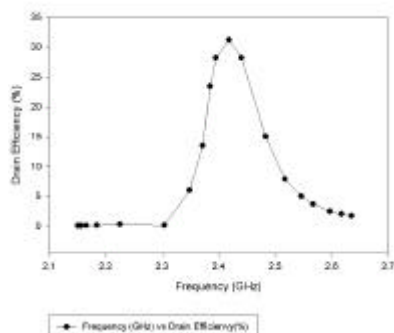
功率放大器的電路圖示於圖(八)。第一級為電感電容負載的共源極放大器，第二級為串疊式放大器。所有的電感負載都是整合至晶片上的螺旋電感，輸出端需要一個低損耗的單端雙端轉換器，外接的 L_L 和 C_L 形成一個帶通濾波器以消除因功率放大器非線性而生的諧次波。兩級放大器都被偏壓為 AB 類， V_{PB1} 及 V_{PB2} 的直流偏壓點經由模擬決定，以求達到最佳效率及最大輸出功率。串疊氏放大器有較低

的輸入米勒電容，而且也會降低輸出電晶體所承受的電壓降。米勒電容會降低第一級放大器的中心頻率，在輸出電晶體的大電壓降會引起晶片長時間使用可靠度的問題。

圖(九)及圖(十)功率放大器輸出功率及汲級效率的頻率響應圖。由這兩圖中可知此功率放大器在 2.4GHz ISM 頻帶有最大輸出功率及最佳效率。



圖九 輸出功率的頻率響應圖



圖十 汲級效率的頻率響應圖

三、結論

目前已完成的 IP 有：低雜訊放大器、正交相位調變器、電壓控制振盪器、功率放大器。低雜訊放大器具有低雜訊、低功率消耗和高線性度等特性。正交相位調變器使用了電流重覆使用的原理，大幅度的降低功率消耗，在電路的性能上，經過四個 corner 的模擬驗證後，皆能滿足需求。電壓控制振盪器可產生一組相位精確正交的 LO 信號，其可調頻率範圍在 2.65GHz 到 2.15GHz 間，涵蓋 2.4GHz ISM 頻帶。在功率放大器的設計中，一個兩級串接

的差動功率放大器被設計達到足夠的輸出功率及優良的效率，與單端的架構比較，差動的架構有較大的電壓可運作區間、偶次諧波消除效果及對震盪器信號產生較小干擾的優點。

四、計畫成果自評

計畫正持續的進行中，目前大部分的子系統皆已完成，功率放大器也經過修改及量測後，初步的結果證明可適用於低發射功率的通訊系統中。接下來就是將這些子系統架構出接收機與發射機。

五、參考文獻

- [1] A. Rofougaran et al., "A 1GHz CMOS RF front-end IC for a direct-conversion wireless receiver," IEEE J. Solid-State Circuits, vol. 31, pp. 880-889, July 1996.
- [2] Behzad Razavi, RF Microelectronics, Prentice Hall, 1998.
- [3] A. Abidi, et. Al., "The Future of CMOS Wireless Transceivers," International Solid-State Circuits Conference, pp. 118-119, Feb. 1997.
- [4] K. C. Tsai, and P. R. Gray, "A 1.9 GHz 1W CMOS Class E Power Amplifier for Wireless Communications," 24th European Solid-State Circuits Conference, The Hague, Netherlands, Sept. 1998.
- [5] K. C. Tsai, and P. R. Gray, "A 1.9 GHz 1W CMOS Class E Power Amplifier for Wireless Communications," 24th European Solid-State Circuits Conference, The Hague, Netherlands, Sept. 1998.
- [6] P. Gray, et. Al., "A 1.9-GHz Wide-Band IF Double Conversion CMOS Receiver for Cordless Telephone Applications," IEEE J. of Solid-State Circuits, pp.2071-2088, December 1997.