



# 行政院國家科學委員會專題研究計畫成果報告

## W-CDMA 基地台接收系統之架構與性能評估

### W-CDMA: Base station receiver system architecture and performance evaluation

計畫編號: NSC90-2219-E-009-010

執行期限: 90年8月1日至91年7月31日

主持人: 蘇育德教授 交通大學電信工程系

計畫參與人員: 博士生: 張名先

碩士生: 吳建中、許芳聖、魏存毅、粘宇邦

#### 一、中文摘要

本計畫主要在研究 IS2000 上行鏈路系統 (Reverse Link) 基地台基頻接收機之設計。本年度的重點在研究使用最大比率結合 (Maximum Ratio Combining) 或等增益結合 (Equal Gain Combining) 的接收方式, 其系統性能表現。

在本計畫中, 個別的傳送通道經由不同的正交碼 (Walsh Codes) 而使其彼此間正交化, 用來降低不同通道之間干擾的情形, 其中之一的通道 (Pilot Channel) 被設計用來作為訊號的初步截取、時間追縱、聲靶式接收機 (RAKE Receiver) 同調相位參考的恢復、及量測其能量且適當的調整大小。

此外, Hybrid Phase Shift Keying (HPSK) 調變在 cdma2000 中作為展頻技術已經被提出來規畫, 它是利用複展頻 (Complex Spreading) 的方法使得在零點交叉 (Zero-Crossing) 的信號過渡減到最少, 如此功率放大器的使用就能更有效率。

在本計畫中經 QPSK 調變與複展頻 (Complex Spreading) 的訊號會通過多路徑衰褪通道 (Multipath fading channel); 而在接收器部份, 我們採用同調聲靶式接收機 (Coherent RAKE Receiver) 來收集從不同衰褪路徑所得到的訊號, 在包含符號間干擾 (ISI) 及多用戶干擾 (MAI) 的情況下, 我們推導出聲靶式接收機 (RAKE Receiver) 的錯誤率 (Error Probability) 表示式, 同時我們採用二階 Butterworth 低通濾波器作為通道估計值 (Channel Estimation) 並以其相位來補償因通道衰褪而造成的相位錯誤。

分析與模擬的結果都顯示出以最大比率結合 (Maximum Ratio Combining) 的接收機是最理想的, 並且當結合的路徑增加時它也能更有效率的提高系統性能, 然而在高訊號雜比 (Signal-to-Noise Ratio) 時, 系統會因為符號間干擾 (ISI) 及多使用者干擾 (MAI) 效應而使得錯誤率無法在降低。

最後利用 DSP 來實現最大比率結合聲靶式接收機 (MRC RAKE Receiver), 以實驗結果來對分析及模擬結果最近一步的驗證。

**關鍵詞:** cdma2000、展頻系統、複展頻、多路徑衰

退通道、最大比率結合、等增益結合、聲靶式接收機、多用戶干擾、DSP。

#### 二、計畫緣由與目的

近年來在第三代 (3G) 無線通訊上最常被提到的標準便是 IMT-2000, 而國家型電信計畫便是以此標準作為研發第三代無線通訊系統的重一目標之一。然而在 IMT-2000 標準中的建議案就有十個之多, 而且這些建議案都處於互相協調與標準的審查之中, 而在其無線連接 (wireless access) 的技術方面則是傾向於寬頻分碼多工 (Wideband Code Division Multiple Access) 的方式。目前競爭最激烈的兩大陣營分別是北美及韓國所支持的 cdma-2000 與歐洲及日本支持的 W-CDMA, 而這兩種建議案所使用的無線連接技術都是屬於寬頻分碼多工的方式。所以總計畫即以實現自主整合之 W-CDMA 基地台為計畫目標, 所針對的調變訊號及系統設計是以 IMT-2000 可能採用標準為主, 但仍保留配合其他未來系統作調整之空間。本子計畫將負責其中之後端接收架構 (RAKE receiver) 的設計與實現, 並分析其系統的性能, 其中包括符號間干擾 (ISI)、多使用者干擾 (MAI) 與高斯白雜訊通道 (AWGN) 對傳送信號 (desired signal) 干擾所產生的效應。

不論歐盟與日本之 WCDMA 或美國之 IS-2000, 其 IMT-2000 標準建議案之上行鏈路 (reverse link) 也都採用 complex spreading/QPSK 以達到降低傳送訊號 PAR (peak-to-average ratio) 並提高功率效率之目的。本子計畫主要在分析、模擬 IS-2000 系統之性能。經 complex spreading/ QPSK 調變的信號, 通過複徑衰減通道後, 接收端透過解展頻與解調後將分屬各個路徑的信號以同調聲靶式接收 (Coherent RAKE Combining)。我們比較了最大比率結合 (Maximum Ratio Combining) 與等增益結合 (Equal Gain Combining) 的兩種接收 (路徑合成) 方式之性能差異。

我們利用分析與模擬來取得一些系統性能之數據, 並找到相對於等增益結合法, 最大比率結合的聲靶式接收機之性能增益, 並利用 DSP 作最大比率結合的聲靶式接收機之硬體的實現, 以驗證分析即模擬結果的正確性。

### 三、結果與討論

#### 第一部份：系統傳送端與通道模型

IS-2000 系統上行鏈路的傳送端使用複雜展頻 (Complex Spreading) 與 QPSK 調變技術，其方式如 Fig. 1 所示。

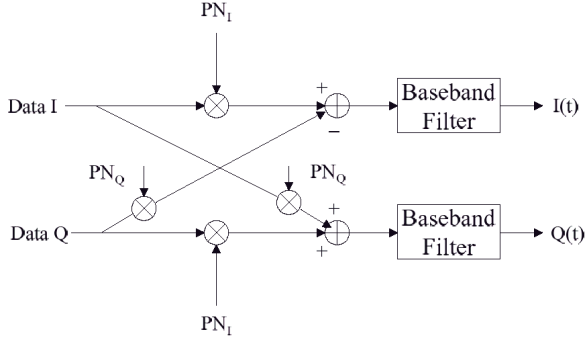


Fig. 1. 複雜展頻示意圖

IS-2000 各個上行實體通道 (reverse physical channels) 信號經複雜展頻與 QPSK 調變示意圖：

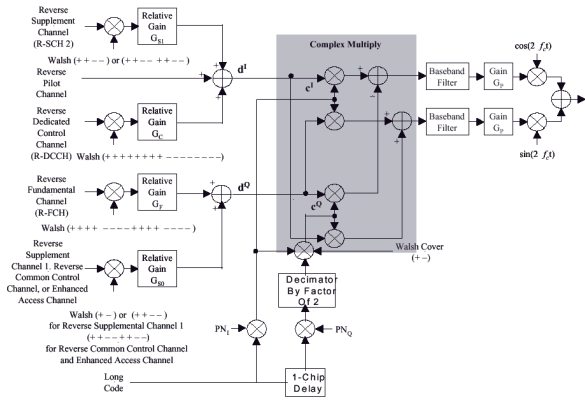


Fig. 2. 上行鏈路通道調變器

經展頻與調變過後的傳送信號的數學表示式為：

$$\begin{aligned} \tilde{S}_T &= \sum_{k=1}^K \tilde{s}^{(k)}(t - t_k) \\ &= \sum_{k=1}^K \sum_{i=-\infty}^{\infty} d_{[i]}^{(k)} c_{|i|}^{(k)} g_T(t - iT - t_k) e^{j\phi_k} \end{aligned}$$

其中  $K$  代表用戶個數， $T$  是符元(symbol)區間， $T_c$  是 chip 區間， $M$  是 spreading factor， $N$  是展頻碼週期， $d$  是要傳送的資料， $c$  是展頻碼， $g_T$  是 pulse shaping filter 的波形 (Square Root Raised-Cosine: SRRC)， $t_k$  是第  $k$  個用戶相對於第一個用戶的傳送信號時間差， $\phi_k$  是第  $k$  個用戶相對於第一個用戶傳送信號的相位差。

另外，通道的模型可以用下列時變虛數值低通等效的 impulse response 表示：

$$h_p(f; t) = \sum_{l=0}^{L_p} \langle_l(t) U(t - t_l)$$

$$\langle_l(t) = r_l(t) e^{jw_l(t)}$$

其中  $L_p$  是可解析的通道數目， $\langle_l(t)$  是複數值的通道增益係數， $\{r_l\}_{l=1}^{L_p}$ 、 $\{w_l\}_{l=1}^{L_p}$  與  $\{t_l\}_{l=1}^{L_p}$  分別是時變通道的振幅、相位移動與延遲的時間差。

我們已在上一年度計畫中完成了同調聲靶式接收機性能分析，在這一年中我們已經利用 DSP 來實現之前分析模擬所得到系統最佳化之離形架構，如 Fig3-5 所示。

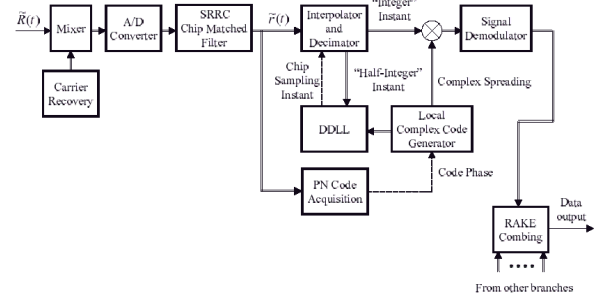


Fig. 3. 接收機架構圖

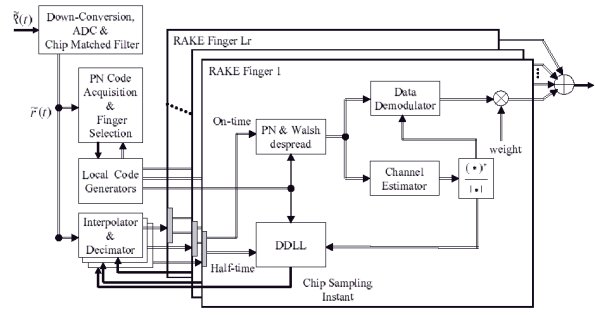


Fig. 4.  $L_r$  個 finger 的 RAKE 接收機示意圖

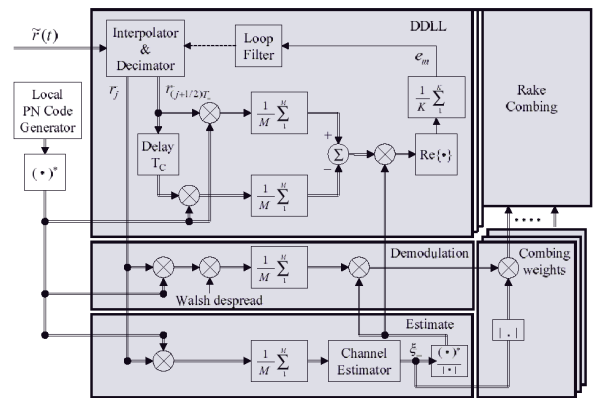


Fig. 5. MRC RAKE 接收機架構圖

#### 第二部分：硬體實現

本計畫使用 Spectrum 的 Barcelona DSP 板(如下圖)來實現最大比率結合聲靶式接收機 (MRC RAKE Receiver)。一片 Barcelona 板上包含四顆 TI 的 TMS320C6201 定點 (fixed-point) 數位訊號處

理器，時脈 200 MHz，最高處理速度達 1600 MPIS；每個處理器個別有 128K× 32-bit SSRAM 及 4M× 32-bit SDRAM，另有一個 2K× 32-bit MPRAM (Multi-Port RAM) 提供四顆處理器作少量資料的交換 (詳見下面圖表)。

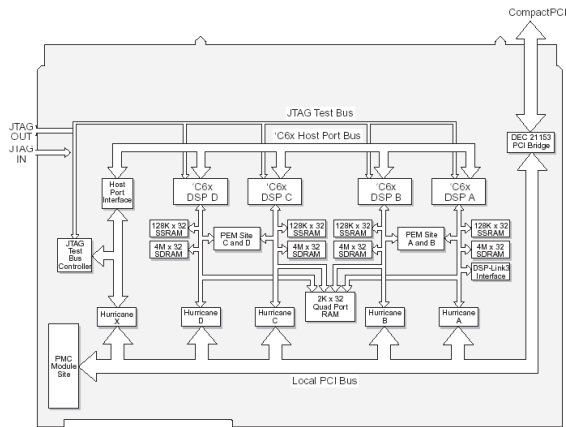


Fig. 6. Barcelona 架構圖

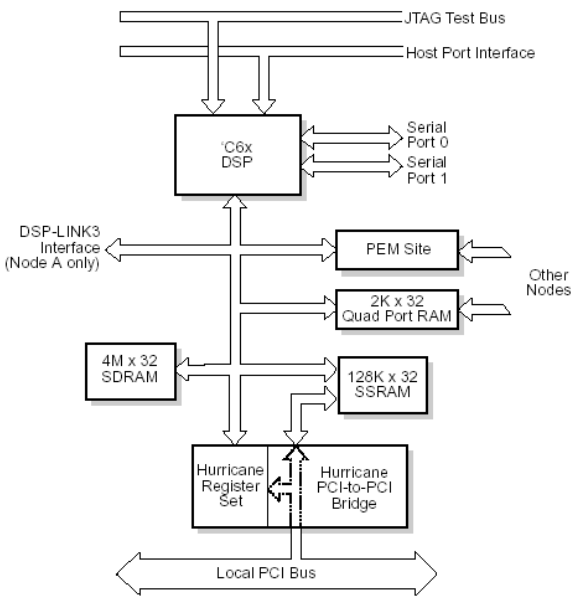


Fig. 7. 各 DSP 的記憶體配置和連接 Bus

在 I/O 部分，Barcelona 設有 HPI (Host Port Interface) 透過 CompactPCI 和主電腦相連結，以及 PMC (PCI Mezzanine Connector) 和 PEM (Processor Expansion Module) 兩個基座，作為外加模組之用。我們透過 HPI 利用主電腦對四個 DSP 下載程式並作初始設定。

除了 Barcelona 板之外，還使用了兩個模組：PMC-2MAI 和 PEM-4WDC。PMC-2MAI 為 12-bit 65MHz A/D Converter (類比轉數位轉換器) 架構如下圖所示；它可以接收 IF 訊號作類比轉數位的動作，將數位訊號送給 PEM-4WDC 作處理。

Address Range		Size	Description
Start	End		
0x0000 0000	0x0000 FFFF	64KB	Internal Program RAM
0x0001 0000	0x003F FFFF	4MB-64KB	reserved
0x0040 0000	0x0047 FFFF	512KB	CE0 (SSRAM)
0x0048 0000	0x013F FFFF	16MB-512KB	reserved
0x0140 0000	0x017F FFFF	4MB	CE1 (I/O, boot)
0x0180 0000	0x019F FFFF	256KB	Internal Registers
0x01A0 0000	0x01FF FFFF	8MB-256KB	reserved
0x0200 0000	0x02FF FFFF	16MB	CE2 (SDRAM)
0x0300 0000	0x03FF FFFF	16MB	CE3 (PEM)
0x0400 0000	0x7FFF FFFF	2GB-64MB	reserved
0x8000 0000	0x8000 FFFF	64KB	Internal Data RAM
0x80001000	0x803F FFFF	4MB-64KB	reserved
0x8040 0000	0xFFFF FFFF	2GB-4MB	reserved

Fig. 8. TMS320C6201 的記憶體配置圖

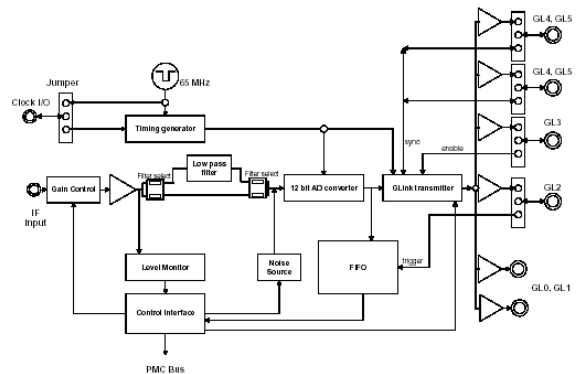


Fig. 9. PMC-2MAI A/D Converter

PEM-4WDC 為一降頻轉換器 (Down Converter) 架構如下圖所示；一個模組上包含四個降頻轉換器，我們只使用其中一個，將 A/D Converter 轉換之數位訊號降頻為基頻帶 16-bit fixed-point 的資料，並經由 PEM 送給 DSP1 作訊號處理。

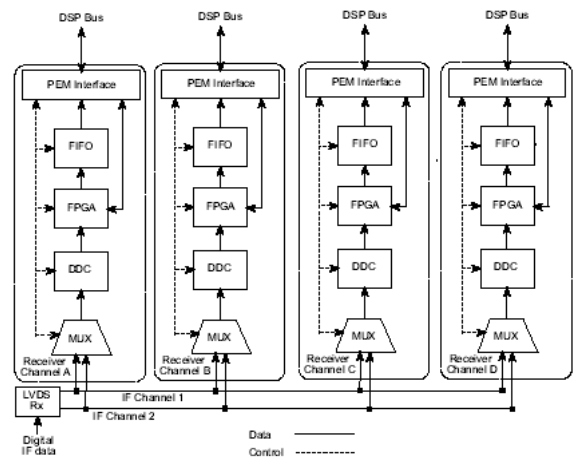


Fig. 10. PEM-4WDC Down Converter

## A、基本架構：

在此將最大比率結合聲耙式接收機 (MRC RAKE Receiver) 分成三大部分：pulse shaping filter、Acquisition 以及 RAKE Combiner；分別利用 DSP1、DSP2、DSP3 三顆處理器實現 (如下圖)。受限於時間延遲 (收到資料到第一個 bit 解出來的時間差)、運算複雜度和 MPRAM 的大小，我們一次處理一個 Block 的資料，大小為 512 個 samples (128 個 chips)，並使用四個 finger 作 RAKE Combining。

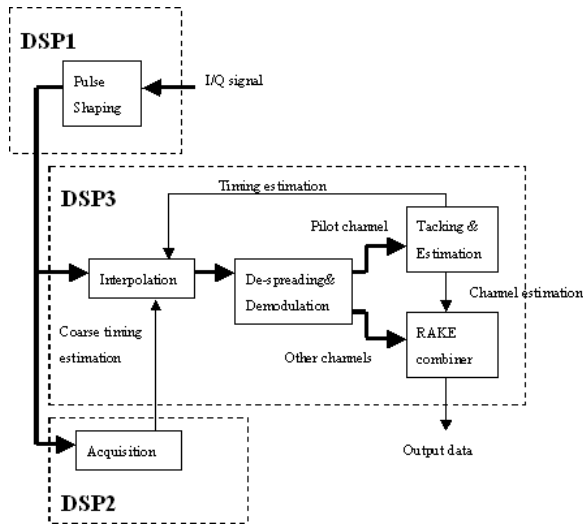


Fig. 11. MRC RAKE Receiver 基本架構

由 PMC-2MAI 將接收之類比訊號轉為數位之 16-bit 定點 (Fixed point) 的資料，經由 PEM-4WDC 降到基頻後，送到 DSP1 的內部記憶體 (IRAM) 作 pulse shaping 的動作得到資料 y，並利用 DMA 搬運到 MPRAM 供另兩顆 DSP 使用。

DSP2 主要的工作是利用 MPRAM 的資料 y 作 Acquisition，即時間同步的粗調，將 chip 的時間誤差調整到 1/2 個 chip 區間內，讓之後的時間細調可以找到較正確的誤差估計值。在此是使用 correlator 依 chip 作 PN code 的比對，取得可能性最大的四條路徑時間估計值送給 DSP3 的 Interpolation 使用。

DSP3 為整個接收機的核心部分，它先將 MPRAM 的資料 y 依據 Acquisition 和前一次 Tracking 所得之時間誤差估計值作 Interpolation，得資料 I，再作解展頻 (De-spreading)、解調變 (De-modulation)，得 DATA channel 和 Pilot channel 的資料。其中 Pilot channel 的資料送給 Tracking (時間誤差的細調) 和 Channel estimator (頻道的估計)，前者送往 Interpolation 供內插的時序使用，後者則提供 RAKE Combiner，匯集 DATA channel 資料作 MRC Combination 之用，得到輸出資料 z (一個 block 可解得 8 bits 的資料)。

## B、資料流和時序安排：

收到的資料並不是馬上就能處理，有些需要得到某特定數值後才可作處理，所以需要暫存記憶體 (Buffer) 來保留接收的資料防止資料遺失，為了運算速度考量，所有暫存記憶體皆放置在速度最快的內部記憶體 (IRAM)。在這裡我們使用 DMA 來作暫存記憶體的移動 (資料的汰舊換新)，而不用指標 (Pointer) 的方式，主要是為了系統的簡單化和較易作軟體的最佳化，且 DMA 和 DSP 為獨立動作所以不會消耗 DSP 的效能。

暫存記憶體的安排如下圖，其中“A”表示正在存取的資料，因不確定是否已完成存取，所以被設定為不可使用的資料，一直要等到新的資料近來後才可使用。配合下面的時序安排圖可以更清楚的了解整個系統的資料流和時序的安排。以下依序介紹各 buffer 的運作。

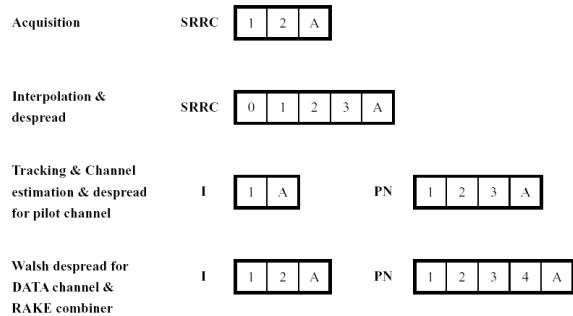


Fig. 12. 暫存記憶體配置圖

第一行：Buffer SRRC 為經過 pulse shaping 後資料的暫存記憶體，Acquisition 需要比對一整個 block 以及其延遲 (delay) 150 個 chip 的資料，所以要等下一個 block 接收時才可進行，故使用兩個 Buffer 來儲存上一筆及這一筆的資料。在此我們使用長度為 256 個 chips 的 correlator，所以需連續做兩個 128 個 chips 的 block 才會得到一個估計值。

第二行：Interpolation 及 Walsh despread 需要等到 Acquisition 估計出時間誤差的粗調後才可進行，所以會延遲三個資料，又對第一次的運算需要有一個 block 為零的初始值，故共需五個暫存記憶體。

第三行及第四行為主要的運算：其中 Buffer I 表示經 Interpolation 得到的資料，Buffer PN 則是 PN code 的暫存記憶體。從資料接收到真正要作 PN despreading 相差四個資料，又第四行的 RAKE Combiner 需要頻道的估計，所以會比第三行多延遲一個資料。在此會有兩個 PN buffer 完全是為了計算速度的考量，在 RAKE combiner 的 PN code 事實上事先將 PN code 和 Walsh code 先作相乘的結果，如此可以減少 DSP 內資料的存取，可節省計算時間。

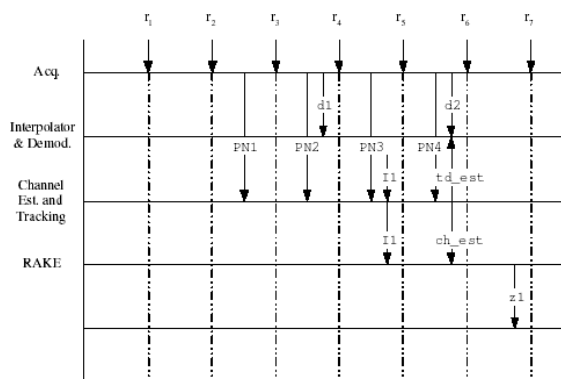


Fig. 13. 系統時序安排圖

### C、模擬結果：

MRC RAKE Receiver 在電腦上模擬是使用浮點 (Floating point) 運算，而利用 DSP 實現則是使用定點 (Fixed point) 運算，兩者因為對資料敘述的詳細度不同而在效能上會有所差別，實驗和模擬的結果如下圖所表示，定點運算載效能上會有一定程度的衰減，但仍在可接受範圍之內。為了顧及速度和成本的考量，儘管使用浮點運算會有較佳的效能，我們仍使用定點運算來作硬體的實現。

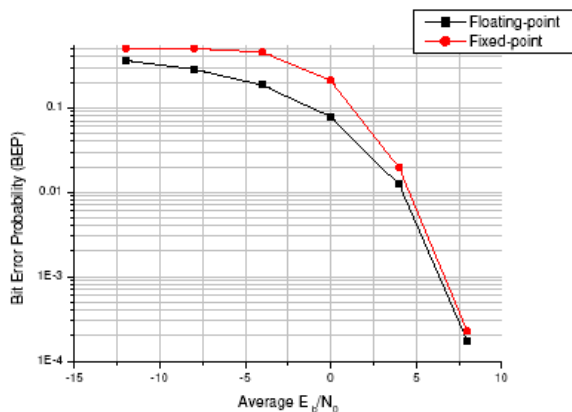


Fig. 14. AWGN 下浮點運算和定點運算的效能比較

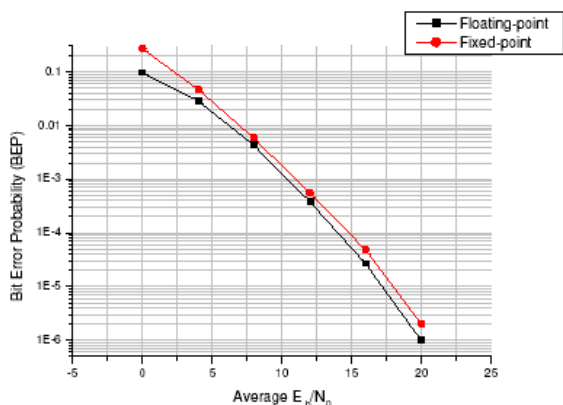


Fig. 14. Multi-path Rayleigh Fading 下浮點運算和定點運算的效能比較

### 四、計畫成果自評

本計畫描述了在 IS-2000 上行鏈路系統中使用的複展頻與 QPSK 調變傳送信號之行為，且分析了使用聲靶式接收機來偵測傳送數據時的性能，並比較了兩種常用到聲靶式接收機系統——最大比率結合聲靶式接收機 (MRC RAKE Receiver) 與等增益結合聲靶式接收機 (EGC RAKE Receiver) 的性能差異。正如所預期的，最大比率結合聲靶式接收機是最佳的結合機制，但是其性能常會受限於通道估計的不完美；雖然聲靶式接收機對於符號間干擾 (ISI) 的消除有一定的效用，但是為了更有效的對抗多用戶干擾 (MAI) 必須加入多用戶偵測 (MUD) 的機制，這在子計畫二中已有詳細的討論並已完成有效的解決機制 (MAI 消除電路) 設計。

### 五、參考文獻

1. V. K. Garg, IS-95 CDMA and cdma2000, NJ: Prentice Hall PTR, 2000.
2. H. G. Proakis, Digital communications, New York: McGraw-Hill, 3rd Ed., 1995.
3. T. S. Rappaport, Wireless communication: principles & practice, New Jersey: Prentice Hall, 1996.
4. D. Parsons, The mobile radio propagation channel, Addison-Wesley, 1992.
5. M. K. Simon and M.-S. Alouini, Digital communication over fading channels, New York: John Wiley & Sons, 2000.
6. H. Meyr, M. Moeneclaey, and S. A. Fechtel, Digital communication receivers: synchronization, channel estimation, and signal processing, New York: John Wiley & Sons, 1997.
7. TIA/EIA, Physical layer standard for cdma200 spread spectrum systems, 3GPP2 Document C.P0002-A. Edit Version 29, Nov. 18, 1999.
8. A. Papoulis, Probability, random variables and stochastic process}, New York: McGraw-Hill, 3rd Ed., 1991.
9. M. Abramowitz and I. A. Stegun, ed., Handbook of mathematical functions, New York: Dover, 1972.
10. Y.-H. Hsu, "Analysis of complex tracking with channel estimation in bandlimited rayleigh fading channels," Mater Thesis, Department of Communication Eng., National Chiao Tung Univ., Hsinchu, Taiwan, June 2000.
11. J. M. Holtzman, "A simple, accurate method to calculate spread-spectrum multiple-access error probabilities," IEEE Trans. Commun., vol. 40, NO. 3, pp.461-464, Mar. 1992.
12. M.-S. Alouini, S. W. Kim, A. Goldsmith, "RAKE reception with maximal-ratio and equal-gain combining for DS-CDMA systems in Nakagami fading," IEEE Universal Personal Comm., vol.2, pp.708-712, 1997.
13. T. Eng, and B. Milstein, "Coherent DS-CDMA performance in Nakagami multipath fadings," IEEE Trans. Commun., vol.44, pp.1117-1129, Sept. 1996.
14. S.-H. Hwang, K. Cho, W.-R. Cho, and E.-K.

- Hong, "Reverse link synchronous DS-SS-SSMA cellular networks in Rayleigh multipath fading : system capacity," APCC/OECC Comm., vol. 1, 1999
15. S. Willenegger, "cdma2000 Physical layer: an overview," Jour. Comm. Net., vol. 2, No. 1, Mar. 2000.
  16. Y. S. Rao and A. Kripalani, "cdma2000 mobile radio access for IMT-2000," IEEE International Conference on Personal Wireless Communication, pp.6-15, 1999.
  17. M. Bickersta  
, G. Hughes, C. Nicol, B. Xu ,and R.-H. Yan, "DSP systems for next-generation mobile wireless infrastructure," Proc. IEEE International Conference on Acoustics, Speech, and Signal, Vol. 6, pp.3710-3713, 2000.
  18. Y.-M Jiang, "Performance analysis of RAKE receivers for cdma2000 uplink in band-limited Rayleigh fading channels," Master Thesis, Department of Communication Eng., National Chiao Tung Univ., Hsinchu, Taiwan, June 2001.
  19. Spectrum Signal Processing Inc., Barcelona Quad C6x CompactPCI Board Technical Reference, May 1999.
  20. Spectrum Signal Processing Inc., "PMC-MAI 65 MHz 10-Bit A/D Converter Module," User Guide Revision 1.04, October 1999.
  21. Spectrum Signal Processing Inc., "PEM-4WDC Wideband PEM Down-Converter User Guide," Revision 1.00, October 2000.
  22. Spectrum Signal Processing Inc., Barcelona Quad C6x CompactPCI Board Windows NT/2000 Installation Guide, May 1999.
  23. TI," TMS320C6x DSP Design Workshop," April 1999.