

行政院國家科學委員會專題研究計畫成果報告

低介電常數材料應用在超大型積體電路上之研究

Study on low dielectric constant materials in ULSI application

計畫編號: NSC 90-2215-E-009-047-

執行期間: 90 年 8 月 1 日至 91 年 7 月 31 日

計畫主持人: 施敏 博士

共同主持人: 張鼎張 博士

執行機關: 國立交通大學電子工程研究所

計畫參與人員: 陳紀文、顏碩廷、曾曉琪

一、中文摘要

在本年度實驗報告中，我們對不同種類低介電常數材料的進行不一樣的後續處理(e.g. 電漿處理、離子佈植)以改善低介電常數材料的介電特性、熱穩定性、及增加介電薄膜抗氧電漿的能力。另外，為了完成多層導體連線的結構，介電層的平坦化問題將是關鍵所在。因此，低介電常數材料與 CMP 的製程整合研究也在此報告中一並討論。本次報告中所評估的低介電常數材料包括無機類低介電常數材料 HSQ (Hydrogen Silsesquioxane) 與有機類的低介電常數材料 MSQ (Methylsilsesquioxane)。我們發現隨著氫電漿的處理時間增加其 HSQ 的漏電流及介電常數也隨著降低。而 HSQ 的介電特性也可以利用 H 離子佈植來改善，H 離子的佈植計量越高，其介電特性也會越好。另一方面，在抗氧電漿破壞方面，氫氣電漿處理可以使 MSQ 回復到低介電常數材料的特性。實驗發現 NH₃ 電漿可以使 MSQ 薄膜的基本特性稍微改善。至於低介電常數材料與 CMP 製程的相容性方面，氫氣電漿可以有效的恢復 CMP 製程對 MSQ 薄膜介電特性的破壞。

關鍵詞：低介電常數材料、氫電漿、氫電漿、CMP

Abstract

We have improved the dielectric

characteristics, thermal stability, and the resistance of O₂ plasma damage using post-treatment (e.g. plasma treatment and ion implant et al.) for various low-k materials. In order to finish multilevel interconnect structure, the key issue is the planarization of inter-metal dielectric (IMD). Therefore, the compatibility of CMP process and low-k materials was also discuss in this report. The low-k materials estimated in this study include inorganic low-k HSQ and organic low-k MSQ. We found that the leakage current and dielectric constant was decreased with the increase of H₂ plasma treatment time. The dielectric properties could also be improved by H₂ ion implant. In terms of the resistance of O₂ plasma damage, the H₂ plasma could improve the dielectric properties after O₂ plasma ashing. Also, the H₂ plasma treatment could recover the dielectric degradation of MSQ after CMP process and increase the compatibility with CMP process.

Keywords: low-k, H₂ plasma, NH₃ plasma, thermal stability, CMP

二、緣由與目的

隨著半導體技術的進步，元件的尺寸也不斷地縮小，而進入深次微米的領域中。當積體電路的積集度增加時，使得晶片的表面無法提供足夠的面積來製作所需的內連線 (Interconnects)，因此為了配合元

件縮小後所增加的內連線，多層金屬導體連線的設計，便成為超大型積體電路技術所必需採用的方式。然而，在面臨元件結構不斷地縮小時，內層導線間的距離愈來愈接近，在元件切換性能上，由導線阻值與導線-介電層-導線結構之電容值所形成之連接延遲(RC delay)和基本的閘極延遲比較起來，已不可小覷。由此可知，為了增加積體電路的速度，與減少功率的損耗及連接延遲的時間，故降低導線電阻值與導線-介電層-導線結構之電容值，應是最有效的方法[1-6]。

在低電阻部份，金屬銅由於具有高熔點，低電阻係數($\sim 1.7 \mu \Omega\text{-cm}$)及高抗電子遷移(Electronmigration)的能力，因而成為最有希望取代金屬鋁的金屬材質。

另一方面，在低電容部份，電容 $C = \epsilon(A/d)$ ，由於製程上及導線電阻的限制，使我們不考慮藉由幾何上的改變(例如：改變導線面積)來降低寄生的電容值。因此，具有低介電常數(low k)材質的研究，就成為主要的發展趨勢 [7-8]。

一般用於金屬導線間的介電材質層(Intermetal dielectric)，簡稱為 IMD，其規格要求為高可靠度、低應力、製程簡單化、不易吸水和易於與金屬導線間作整合。傳統上，用於介電層的材料，是以電漿輔助化學氣相沉積法(PECVD)沉積的 SiO_2 ，其介電常數約為 3.9~4.2。在邁入深次微米的領域時，我們需要使用介電常數更低的材質，來配合元件尺寸的縮小，以達到我們要求的性能，如：降低訊號傳遞的時間延遲、降低功率損耗及其相互間的訊號干擾(Crosstalk)。

現今已有許多低介電常數(小於 3.9)的材質被發展出來。這些材質主要可分為無機類與有機類兩種。另外，若根據其沉積的方式又可分成化學氣相沉積(CVD)及旋塗式塗佈法(Spin-on)等方式。

旋塗式玻璃法(Spin-on glass)，簡稱 SOG，是現在最普遍被採用的一種局部性的(Locally)平坦化技術。由於是一種把溶於溶劑的介電材料，以旋塗式塗佈法塗於(Coating)晶片上，因此成為相當方便的技術，且填溝能力也很不錯。因此本計劃將研究兩種不同的低介電常數材料，

分別為 HSQ (Hydrogen silsesquioxane) 和 MSQ (Methylsilsesquioxane) 以 silsesquioxane 為基材的聚合物(Polymer)，其最小介電常數值約為 2.6~2.8 左右。然而，應用在深次微米元件之金屬間介電層(IMD)的 SOG 介電膜必須有良好的電特性(低漏電、高崩潰電壓)、化性(低水氣吸收、高抗腐蝕)及高熱穩定性。並且要與 IC 製程能互相整合。HSQ 與 MSQ 材料，雖具有低的介電常數，但卻無法達到這些要求。因此，如何改善低介電薄膜的不良特性且增益其在 IC 製程整合的能力，將是發展低介電常數材質過程中一個重要的主題。

三、實驗步驟

此次實驗，我們觀察後續的處理步驟對無機類(HSQ)及有機類(MSQ)之低介電常數材料之介電特性之影響做探討。最後，CMP 製程的相容性也將在本次報告中分別被評估。

(1) HSQ (Hydrogen Silsesquioxane) 薄膜備置：

我們選用 4 吋，其阻值為 11-25($\Omega\text{-cm}$)的 P 型(100)面之單晶矽晶片，在 HSQ 旋轉塗佈至矽晶片前，先將晶片以標準的 RCA 清洗步驟去除晶片上的有機物、微塵、及金屬離子，再將 HSQ 旋轉塗佈在矽晶片表面。

其旋塗的方式分為一段式旋塗，轉速為 2000 (rpm)，加速度 2000(rpm/sec)，旋轉時間為 20 秒鐘。當 HSQ 已均勻塗佈至矽晶片上，可將矽晶片至於熱墊板(Hot Plant)加熱，分別經過 150°C 第一段加熱 1 分鐘，200°C 第二段加熱 1 分鐘，及最後的 300°C 第三段加熱 1 分鐘。最後，我們進行 HSQ 的固化，將 HSQ 置於爐管中，溫度控制在 400°C 之氮氣環境下，固化 1 小時以形成較完整的鍵結，而達到最終所需要的結構。再來將已完成的晶片分別進行 H_2 、H 離子佈植的後續處理。將經過電漿或 H 離子佈植後續處理的薄膜鍍上鋁電極以製作成 MIS 的電容結構。藉以研究在經過這些後續處理後，其介電特性的變化。接下來以 1 MHz 的高頻 AC 信號來量測電壓-電容(C-V)曲線。另外，以半導體參數分

析儀來量測電流-電壓特性(I-V)，並利用二次離子質譜儀(SIMS)以研究銅擴散至薄膜內的情形。

(2) MSQ (Methylsilsequioxane)薄膜備置：

我們選用 4 吋，其阻值為 11-25(Ω -cm)的 P 型(100)面之單晶矽晶片，在 MSQ 旋轉塗佈至矽晶片前，先將晶片以標準的 RCA 清洗步驟去除晶片上的有機物、微塵、及金屬離子，再將 HSQ 旋轉塗佈在矽晶片表面。

其旋塗的方式分為一段式旋塗，轉速為 3000 (rpm)，加速度 3000(rpm/sec)，旋轉時間為 20 秒鐘。當 MSQ 已均勻塗佈至矽晶片上，可將矽晶片至於熱墊板(Hot Plant)加熱，分別經過 180°C 第一段加熱 2 分鐘及 250°C 第二段加熱 1 分鐘。最後，將 MSQ 置於爐管中，溫度控制在 400°C 之氮氣環境下，固化 1 小時，藉以形成較完整的鍵結與結構。

再來將已完成的晶片分別進行 H₂ 電漿的後續處理。之後，將完成的樣本送入 PECVD 進行氧氣電漿的處理，再鍍上鋁電極以製作成 MIS 的電容結構。藉以研究在經過氮氣電漿處理之後，其薄膜對抗氧性的影響。另一方面，對經過 NH₃ 電漿處理後的 MSQ 薄膜基本特性也一並討論。

(3) CMP 製程整合相容性

將以固化好的晶片送入 CMP 的機台進行 CMP 製程整合的研究。其研磨液體為商業用的 CABOT SS-25 研磨液，並用 DI water 稀釋成 1:1 的水溶液。這水溶液的 pH 值為 11-12 左右。其研磨率為 60 nm/min。在完成研磨的步驟後，用 post-clean 機台以稀釋的氨水進行清洗晶片的動作。再把完成的晶片送入 PECVD 腔體進行 NH₃ 電漿的後續處理。並鍍上鋁電極以製作成 MIS 的電容結構。藉以研究在經過氮氣電漿處理之後，對 CMP 過後薄膜的影響。

實驗進行中，於每個製程步驟中，皆需量測薄膜厚度、薄膜的化學鍵結等參數，藉此研判薄膜在製程中是否有任何的變化。在參數量測方面，薄膜厚度可用 N&K 測量之，薄膜的化學鍵結可用傅立葉轉換紅外線吸收光譜儀(FTIR)測得，另外可用

Keithley Model 82 CV meter 量測面積為 0.0053cm²的 MIS 電容，藉以求出低介電常數材料之介電常數值。至於薄膜漏電流則用 HP-4156 量測面積為 0.00133cm²的 MIS 而得之。另外，XPS 被用來分析經過氮氣電漿處理過後 MSQ 的表面情形。

四、結果與討論

(1) HSQ (Hydrogen Silsesquioxane)

圖 1 顯示 HSQ 薄膜經過不同時間的 H₂ 電漿處理過後，FTIR 光譜的變化情形。和剛固化好的 HSQ 薄膜比較的話，經過 H₂ 電漿處理的 HSQ 之 FTIR 光譜圖沒又太大的變化。其 Si-H 的鍵結還是維持在高的含量。且也沒有 Si-OH 的介結出現。

圖 2(a)及 2 (b)是經過 3-9 分鐘 H₂ 電漿處理過後的 HSQ 薄膜之漏電流與介電常數變化圖。我們發現隨著 H₂ 電漿處理的時間增加，其漏電流也會降低。因為 PECVD 的操作溫度只有 300 °C，比固化的 400 oC 要來的低。因此我們認為薄膜漏電流的降低是來自 H₂ 電漿的效應所致。另外，經過 H₂ 電漿處理後，其介電常數也可以維持在低介電材料的特性。

圖 3 顯示 HSQ 薄膜經過 H 離子佈植後的 FTIR 光譜圖。從圖中，我們發現 Si-H 鍵結在經過 H 離子佈植後還可以維持在高的強度。而且其他的鍵結也沒也遭受到破壞。這顯示藉由離子佈植來破壞 Si-O-Si 的鍵結並與 H 發生反應以形成 Si-H 的鍵結並沒有發生。在此項研究中，我們是把剛 bake 完的晶片送入離子佈植機進行離子佈植。我們有發現在 H 離子佈植完後，有些微的鍵結被破壞。然而經過 400 oC 氮氣環境下的退火之後，這些鍵結會重新組合並恢復到和標準的 HSQ 薄膜一樣的鍵結。

圖 4(a)與(b)顯示 HSQ 經過不一樣計量的 H 離子佈植後的漏電流及介電常數變化圖。結果發現，經過 H 離子佈植的 HSQ 薄膜其漏電流比沒有經過離子佈植的 HSQ 要來的小。且隨著 H 離子佈植的計量增加其漏電流也隨之降低。此外，經過 H 離子佈植的 HSQ 薄膜其介電常數也可以維持在低介電材料的特性。

綜合以上的結果，氫氣的處理可以提供額外的活性 H 原子，並保護住由於熱固化製程所造成的懸鍵或不穩定鍵。此外，氫氣處理可以使 HSQ 薄膜的 Si-H 鍵結含量提高，可以大幅度的增加 HSQ 抗吸水性的能力。因此 HSQ 的介電特性可以由 H₂ 電漿處理及 H 離子佈植來改善。

(2) MSQ (Methylsilsequioxane)

圖 5 為經過 H₂ 電漿處理 9 分鐘後的 MSQ 薄膜再經過 O₂ 電漿處理 3 分鐘的漏電流與介電常數圖。無論是漏電流或是介電常數值，有經過 H₂ 電漿處理的 MSQ 薄膜都比沒有經過 H₂ 電漿處理的標準薄膜要來的低。

圖 6 有經過 H₂ 電漿處理及沒經過處理的 MSQ 薄膜遭受 O₂ 電漿處理過後的 FTIR 光譜圖。我們發現沒有經過 H₂ 電漿處理的標準 MSQ 薄膜在遭遇 O₂ 電漿灰化後其 Si-C 鍵及 C-H 鍵結都大幅度的減少，並且有 Si-OH 鍵結的形成。相對的，有經過 H₂ 電漿處理 MSQ 薄膜並沒有此情形，而且其 Si-C 鍵及 C-H 鍵結的含量也都維持在高的強度。這顯示 H₂ 電漿處理可以有效的防止 MSQ 薄膜受到 O₂ 電漿的破壞。

圖 7 為 MSQ 薄膜經過不一樣時間的 NH₃ 電漿處理後之薄膜厚度變化。發現在 NH₃ 電漿處理 6 分鐘後，其厚度下降了 12%。一旦處理的時間超過 6 分鐘後其厚度就維持在一定的範圍不會在改變了。

圖 8 為 MSQ 薄膜經過 NH₃ 電漿處理 3-9 分鐘的 FTIR 光譜圖。結果發現，經過氫電漿處理後，其鍵結和剛固化完的 MSQ 薄膜類似。無論 Si-C 及 Si-H 的鍵結都維持在很高的強度。既然 FTIR 對主體的化學鍵結很靈敏，因此，NH₃ 電漿處理不會對 MSQ 薄膜造成破壞。此外，XPS 分析被用來研究經過 NH₃ 電漿處理過後 MSQ 薄膜表面的變化。

圖 9(a)及(b)顯示當 MSQ 薄膜有無經過 NH₃ 電漿處理的 XPS 光譜圖。圖中顯示無論有無經過 NH₃ 電漿處理 MSQ 表面都含有大量的 Si, O, C 訊號。唯一不同點是經過 NH₃ 電漿處理過後的 MSQ 薄膜在 400 eV 處有一個氮的訊號出現。這表示氫電漿處理可以使氮原子摻雜入 MSQ 表面而形成一層薄的 SiN_x 薄膜。

圖 10(a)及(b)顯示經過氫電漿處理過後的 MSQ 薄膜之漏電流及介電常數變化圖。實驗發現，隨著 NH₃ 電漿處理的時間增加，漏電流只有少量的降低。另外，經過 NH₃ 電漿處理過後的 MSQ 其介電常數也維持在一個 2.7 的穩定值。

(3) CMP 製程整合相容性

圖 11(a)及(b) 顯示經過 H₂ 電漿 3-9 分鐘處理過後的 post-CMP 薄膜之漏電流及介電常數變化圖。首先，post-CMP 的 MSQ 薄膜比沒有經過 CMP 處理的漏電流要高兩個數量級以上。而且 post-CMP 的介電常數也從標準的 MSQ 薄膜 2.7 上升到 2.96 左右。這個嚴重的介電特性的退化是由於研磨液及化學反應所導致的。相對的，隨著 H₂ 電漿的處理時間增加，post-CMP 的漏電流及介電常數也明顯的下降。這表示由 CMP 引起的低介電常數材料的退化可以由 H₂ 電漿處理來恢復。

圖 12 顯示經過 H₂ 電漿處理後的 post-CMP MSQ 薄膜的 FTIR 光譜圖。另外，2100-2400 cm⁻¹之圖 12(a)的放大光譜圖被顯示在圖 12(b)上。我們發現經過 CMP 後其 MSQ 薄膜的 Si-C 及 C-H 比沒有經過 CMP 的要來的低。在 CMP 過程中，有機鍵結的破壞是導致 MSQ 薄漏電流及介電常數值上升的主要原因。這跟電性分析的結果是一致的。此外，隨著 H₂ 電漿的時間增加，其 Si-H 鍵結的量也隨著增加。此現象可以明顯的在圖 12(b)中發現。

五、自我評量

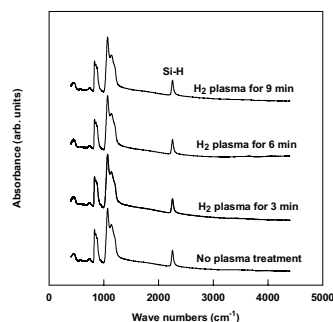
在本次實驗報告中，我們完成不同種類後續處理對低介電常數材料的基本特性、抗氧性、熱穩定性及 CMP 的相容性。其中包含無機類低介電常數材料 HSQ (Hydrogen Silsesquioxane) 與有機類的低介電常數材料 MSQ (Methylsilsesquioxane) 於本次報告中分別被評估。本次實驗中，我們發現，氫電漿的處理時間增加其 HSQ 的漏電流及介電常數也隨著降低。而 HSQ 的介電特性也可以利用 H 離子佈植來改善，H 離子的佈植計量越高，其介電特性也會越好。在抗氧電漿破壞方面，氫電漿處理可以使 MSQ 回復到低介電常數材

料的特性。另一方面，實驗發現 NH_3 電漿可以使 MSQ 薄膜的基本特性有些微的改善。至於低介電常數材料與 CMP 製程的相容性方面， H_2 電漿可以有效的恢復 CMP 製程對 MSQ 薄膜介電特性的破壞[9-11]。因此，我們可以利用一些後續處理的方式來改善低介電常數材料的基本特性、抗氧性、以及在製程整合上的相容性。使低介電常數材料在積體電路上的應用性大大的提高。

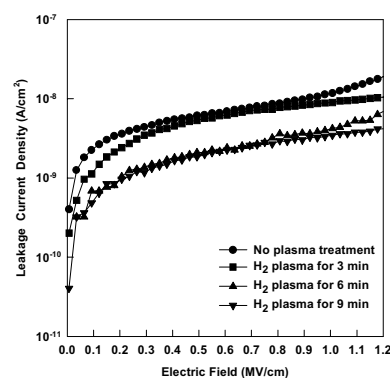
六、參考文獻

- [1] L. Peter *Semiconductor international, Cover Story*, p.64, September 1998.
- [2] J. Ida, M. Yoshimaru, T. Usami, A. Ohtomo, K. Shimokawa, A. Kita, M. Ino, *IEEE Symp. VLSI Technol. Digest*, 1994, p.59.
- [3] T. Sakurai, *IEEE Trans. Electron Devices*, 40, 118 (1993).
- [4] V. McGayay, A. Acovic, B. Argarwala, G. Endicott, M. Shapiro, and S. Yankee, *Int. VLSI Multilevel Interconnechy Conf. Proc.*, p116 (1996).
- [5] M. J. Loboda, C. M. Grove and R. F. Schneider, *J. Electrochem. Soc.*, 145, 2861 (1998).
- [6] H. Meynen, R. Uttecht, T. Gao, M. Van Hove, S. Vanhaelemeersch and K. Maex, in the *Electrochem. Soc. Proceedings of the 3rd international Symposium on low and high Dielectric Constant Materials*, 98-3, 29 (1998).
- [7] B. Roberts, A. Harrus and R. L. Jackson,
 "Interconnect metallization for future device generations," *Solid State Technology*, Feb. pp. 69-78, 1995.
- [8] M. Brillouet, "Multilevel interconnection technologies and future requirements for logic applications," *Microelectronic Engineering*, vol. 37-38, pp. 5-13, 1997.
- [9] P. T. Liu, T. C. Chang, M. C. Huang, Y. L. Yang, Y. S. Mor, M. S. Tsai, H. Chung, J. Hou and S. M. Sze "Improvement of post-chemical Mechanical Planarization on Characteristics on Organic Low-k Methylsilsesquioxane as Intermetal Dielectric", *J. Electrochem. Soc.*, 147 (11), pp. 4313-4317, 2000
- [10] P. T. Liu, T. C. Chang, M. C. Huang, M. S. Tsai, and S. M. Sze "Highly reliable chemical-mechanical polishing process for organic Low-k Methylsilsesquioxane", *J. Vac. Sci., Technol. B* 19 (4), pp. 1212-1218, 2001.

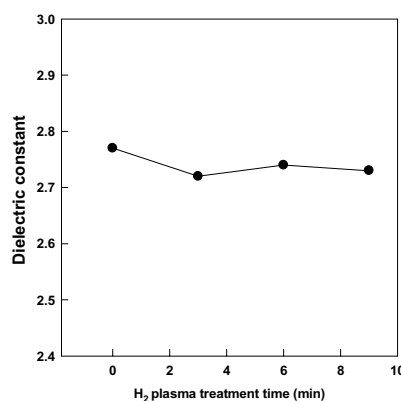
- [11] P. T. Liu, T. C. Chang, Y. S. Mor, and S. M. Sze, *Jpn. J. Appl. Phys.* 38, pp. 3482-3486.



圖一、經過 H_2 電漿 3-9 分鐘處理的 HSQ 之 FTIR 光譜圖

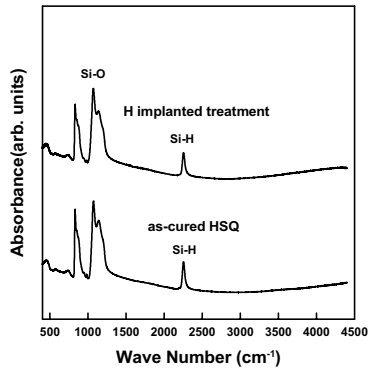


(a)

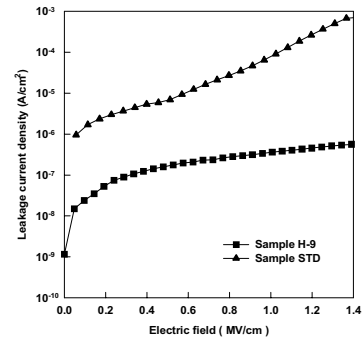


(b)

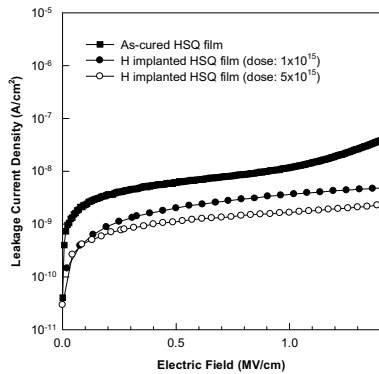
圖二 經過 H_2 電漿 3-9 分鐘處理的 HSQ 介電特性圖
 (a)漏電流對電長圖



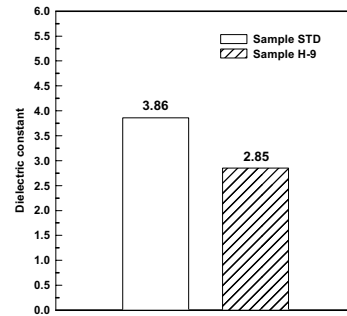
圖三 有經過 H 離子佈植極沒經過離子佈植 HSQ 之 FTIR 光譜圖



(a)



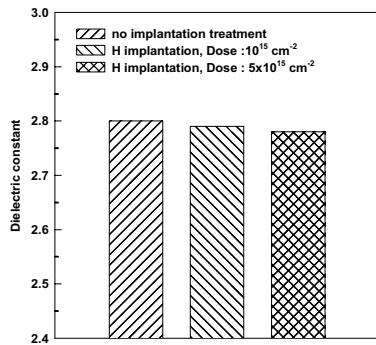
(a)



(b)

圖五 經過 H₂ 電漿 9 分鐘處理在經過 O₂ 電漿灰化後的介電特性圖

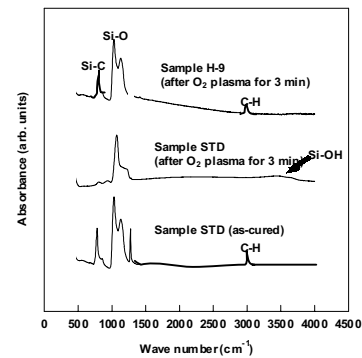
(a) 有無經過 H₂ 電漿處理的 MSQ 漏電流比較圖 (b) 有無經過 H₂ 電漿處理的 MSQ 介電常數比較圖



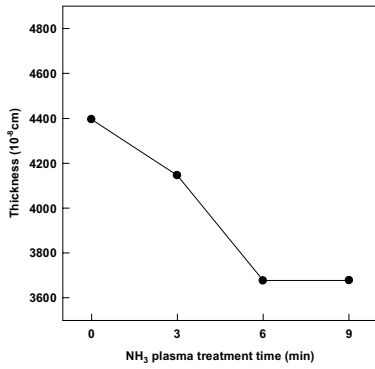
(b)

圖四 經過 H 離子佈植的 HSQ 的介電特性圖

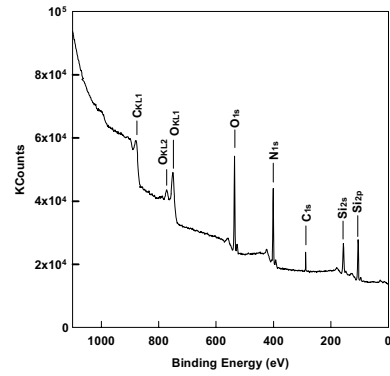
(a) 漏電流 vs. 電場圖 (b) 不一樣佈植劑量的 HSQ 介電常數比較圖



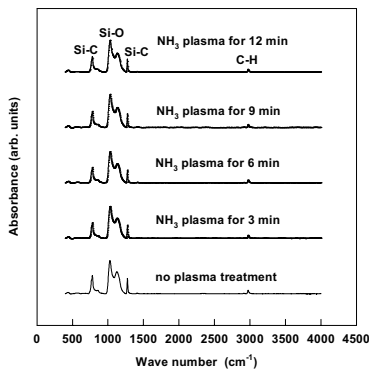
圖六 有無經過 H₂ 電漿處理的 MSQ 在經過 O₂ 電漿處理後之 FTIR 光譜圖



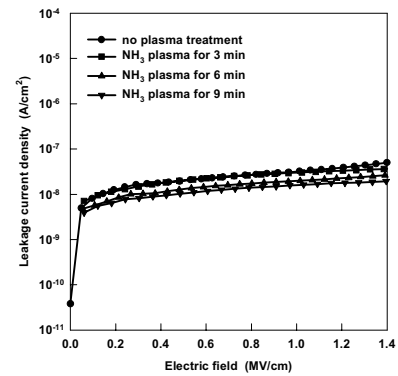
圖七 MSQ 薄膜經過 3-9 分鐘的 NH₃ 電漿處理後之厚度變化圖



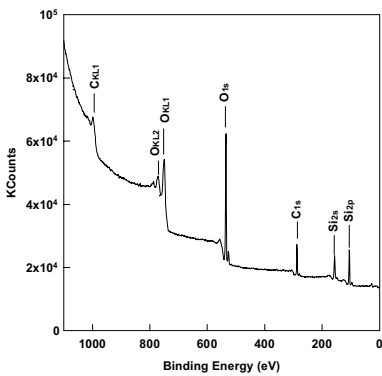
圖九 有無經過 NH₃ 電漿處理之 MSQ 薄膜 XPS 光譜圖



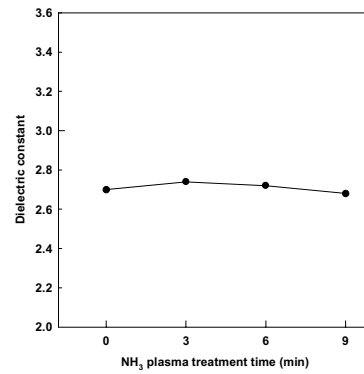
圖八 MSQ 薄膜經過 3-9 分鐘的 NH₃ 電漿處理 FTIR 光譜圖



(a)

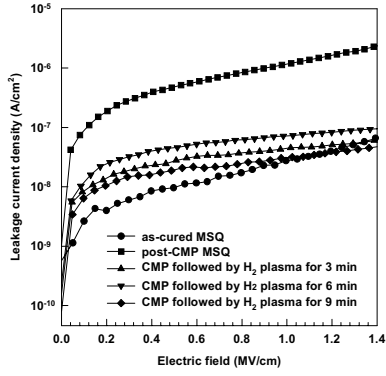


(a)

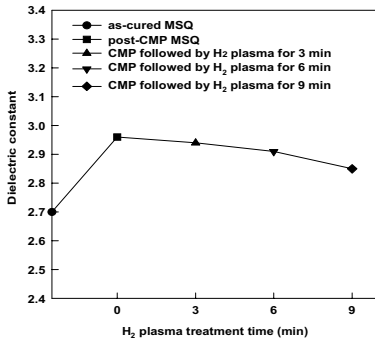


(b)

圖十 經過 NH₃ 電漿處理厚的 MSQ 介電特性圖 (a) 漏電流 vs. 電場圖 (b) 不同時間之 NH₃ 漿處理的介電場數比較圖

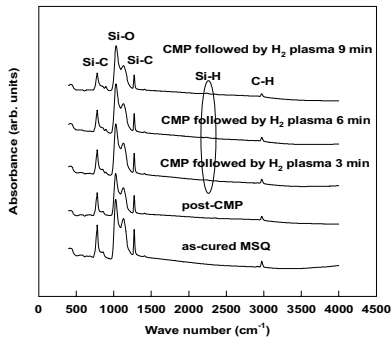


(a)

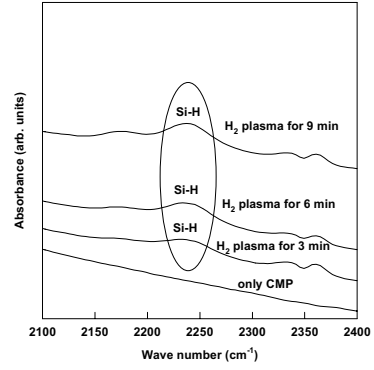


(b)

圖十一 經過不同時間之 H₂ 電漿處理後的 post-CMP MSQ 介電特性圖
(a) 漏電流對電場作圖 (b) 不同時間之 H₂ 電漿處理後介電常數變化圖



(a)



(b)

圖十二 經過 H₂ 電漿處理後 post-CMP 之 FTIR 光譜圖

(a) 全 FTIR 光譜圖

(b) 2400-2100 cm⁻¹ 之 FTIR 放大光譜圖

