

# 行政院國家科學委員會專題研究計畫成果報告

## 超大型積體電路之測試與可測試設計 VLSI Testing and Design for Testability

計畫編號：NSC 88-2215-E-009-062

執行期限：87年8月1日至88年7月31日

主持人：李崇仁教授 國立交通大學電子研究所

Email: clee@cc.nctu.edu.tw

### I 中文摘要

本計畫是延續上年度之計畫：超大型積體電路之測試、可測試設計及合成。根據上年度計畫之結果，吾人將更進一步研究一些與超大型積體電路之設計及測試有關之主題，這些主題及其詳細之內容如下：

#### 一、熱加速測試之功率分析：

熱加速測試係 IC 製造過程中，提高其產品可靠度之測試。本子題中，吾人擬由機率理論方式分析待測電路之功率消耗及其功率消耗特性；然後再擬發展一演算法來推導一組輸入端的信號機率，依據此信號機率產生之隨機測試圖樣使電路處於高功率消耗狀態，作為 Burn-in 測試之輸入圖樣。

#### 二、在深次微米領域超大型積體電路之靜態電流測試：

靜態電流測試〔IDDQ Testing〕，能偵測出許多以邏輯測試法無法測得之障礙。然在深次微米的領域裏，電晶體的通道減小，次臨界漏電流增加，IDDQ 測試變得很困難。隨著超大型積體電路趨向複雜，電晶體的漏電流增加，對未來 IDDQ Testing 產生很大的衝擊，吾人於本子題中將研究期以電路分割與發展低電壓內建電流感測器方法，來解決此問題。

#### 三、運算放大器之障礙模型：

在此子題中，吾人擬提出一種補偏障礙 (offset fault) 來描述 CMOS 放大器的錯誤行為。根據對反向放大器、正向放大器和單元暫存器中 CMOS 放大器巨觀模型的分析以及對電晶體短路、開路或參數偏移的模擬結果，我們可以證明所提出的補偏障礙足以包含 CMOS 放大器所有的直流障礙行為。再者，我們發現補偏障礙和輸入訊號有線性關係，這對於類比或混合電路的模擬和測試將有很大的助益。對於交流障礙，吾人擬對取樣的方式和電容效應予以分析，試找出 CMOS 放大器之簡單而有效的交流障礙模型。

#### 四、線性類比電路之障礙診斷：

類比電路之障礙診斷係近來受到廣泛研究之主題，於本子題中，吾人擬針對線性類比電路提出一種新的障礙測試與診斷方法，首先試著將類比電路轉換成一等效的數位電路，再利用數位電路重組類比元件計算器，最後給予適當的輸入信號以計算元件值及診斷障礙存在與否。

#### 五、Sigma Delta 類比數位轉換器之測試：

在對類比數位轉換器 (Analog-to-Digital Converter) 做測試或診斷 (diagnose) 時，通常會觀察補偏誤差 (offset error)，尖端誤差 (peak error)，增額

非線性(integral nonlinearity), 差額非線性(differential nonlinearity)的變化,做為測試或診斷的依據。然而在Delta-Sigma類比數位轉換器的整個架構中包含了回授部份(feedback)及使用了快速取樣(oversampling)的技巧,因此要觀察上述數值的變化並不容易。在本子題中吾人擬使用直流測試(DC test)的方式以及加入可測試性設計(Design for Testability)來增加整個電路的診斷效能。由於Delta-Sigma類比數位轉換器架構上的回授特性會使輸出的數位訊號具有週期性,因此,擬利用統計的方式來分析其週期性而診斷出所有的障礙(fault)。

關鍵詞：數位測試、類比測試、熱加速測試、靜態電流測試、運算放大器、障礙模型、障礙診斷、類比數位轉換器、線性電路系統模擬。

### Abstract

This project is the continuation of the previous year's project: "Testing, Design and Synthesis for Testability of VLSI". Based on results obtained from the previous project, it further studies some important topics related on design and testing for VLSI. The topics and details are:

#### 1. Power Analysis for Burn-in Testing:

Burn-in testing is employed in the I.C. production testing to improve the I.C.'s reliability. In this sub-topic, we will analyze the power dissipation of a circuit-under-test (CUT) to find its power characteristic, based on a theoretical approach. Then, we will try to develop an algorithm to derive a set of signal probabilities, based on which a set of weighted random pattern sequences, which will make CUT dissipate more power, for the primary inputs of CUT are generated. The generated pattern sequence are suitable

for burn-in testing of the CUT.

#### 2. IDDQ Testing for Deep-Submicron VLSI:

IDDQ testing can test faults which can not be tested by the conventional logic testing. However, the problem of pass/fail decision making with IDDQ testing will become increasingly difficult as the feature size is reduced in deep sub-micron region due to increased transistor sub-threshold leakage currents. The increased in the transistor off current with VLSI complexity will have a significant impact on the future of IDDQ testing. In this sub-topic, we will tackle this problem by investigating the circuit partitioning strategy and by developing low-voltage built-in current sensors.

#### 3. Operation Amplifier(OP) Fault Model:

In this sub-topic, we propose an offset fault to model the faulty behavior of a CMOS OP. We will investigate three OP configurations, i.e., the inverting configuration, the non-inverting configuration and the unit gain buffer, at both the macro-model level and the transistor level to demonstrate that the proposed offset fault model can well describe all the DC faults and the offset fault has a linear relationship with the input signal. This model can help fault simulation and testing of analog/mixed circuits. This model is also to be extended to AC faults by taking sampling approach by including the capacitor effect to find a simple but efficient AC fault model for the CMOS OP amplifiers.

#### 4. Fault Diagnosis to Linear Analog Circuits:

Fault diagnosis on the analog circuit

had been drawn much attention recently. In this sub-topic, a new fault diagnosis method is to be investigated for linear analog circuits. For this method, the circuit is first transformed to an equivalent digital circuit, then this digital circuit is reconstructed to be an analog device evaluator. The device evaluator is applied with a proper signal to evaluate the device and to diagnose the fault if any.

### 5. Sigma Delta A/D Converter Testing:

Parameters such as offset error, peak error, and integral or differential nonlinearity are commonly used to characterize the performance of analog-to-digital converters. However, these parameters are not readily applicable to the delta-sigma ADC since it employs the feedback characteristics and the oversampling technique. In this sub-topic, a DC test technique incorporated with design for testability is to be studied to test and diagnose the delta-sigma ADC. A statistical method is to be developed to analyze the periodic behavior, which is caused by the feedback feature of the ADC, to diagnose all faults of the circuit.

**Keywords:** digital testing, analog testing, burn-in testing, IDDQ testing, operation amplifier, fault model, fault diagnosis, A/D converter, linear analog circuit simulation.

## II. 緣由與目的

### 一、熱加速測試之功率分析：

在超大型積體電路生產測試中，常藉由 burn-in 測試，提高環境之溫度與電壓，使大部分之瑕疵提早產生，以提昇產品的可靠度，故其輸入圖樣必須具有高功率消耗之特性，才能達成提早激發瑕疵的目的。目前文獻上，對於如何產生 burn-in 測試圖樣的課題甚少研究，僅有人提出利用重新

排列定值障礙之測試圖樣來增加待測電路之功率消耗[1]，其他的有些研究則是僅估計最大的可能功率消耗，但是卻沒有產生輸入圖樣可供 burn-in 測試使用。在本研究中，吾人採用一信號機率模型來估計待測電路之功率消耗，此結果可以得到待測電路的功率消耗特性。然後吾人將嘗試求得一組輸入端的信號機率分佈，而基於此一信號機率分佈來產生隨機輸入圖樣，使得待測電路處於高功率消耗狀態來達到 burn-in 測試的目的。又由於此研究所得之輸入圖樣為隨機信號，可以簡單硬體電路來產生，而降低測試成本。此種研究應屬始創性，所得之結果將可應用於半導體工廠之生產測試中。

### 二、在深次微米領域之靜態電流測試：

IDDQ testing 可測試一些邏輯測試所難測之的障礙。其基本原理乃是測出 CMOS 電路有障礙發生時之不正常電流。然而，當超大型積體電路進入深次微米領域時，由於電晶體的臨界電壓〔 $V_T$ 〕減小，而電晶體的數目又增加，使得漏電流大幅增加，甚至超過不正常電流，以至於深次微米的領域裏，IDDQ testing 不易應用在超大型積體電路的測試中[2-3]。目前國內外文獻上有數篇論文對此問題做研究，並提出改進方法[4-7]。於本子題研究中，吾人將尋求新的解決方法，特別是電流分割法，及發展新的低電壓、高解析度之內建式電流感應器(Built-in Current Sensor)使 IDDQ testing 能適用於深次微米領域之超大型積體電路的測試中。

### 三、運算放大器之障礙模型：

類比電路的測試[8-17]大致上可分為規格要求推導方式(specification-driven approach)和障礙模型推導方式(fault-model-driven approach)兩種：對於前者，待測電路的正確與否取決於所量得的參數是否符合可容忍的誤差；對於後者則

是先藉由模擬或測量來建立每一個障礙列表(fault list)可容許的誤差，若正確電路的輸出和障礙電路的輸出差異大於此誤差，則謂此障礙被偵測出來。而障礙又大略可分為巨變性(catastrophic)障礙和參數性(parametric)障礙兩類。巨變性障礙指的是開路、短路或橋式障礙，而參數性障礙指的則是電晶體的長寬偏移， $V_T$  偏移或被動元件大小發生變化等。障礙模型可自不同層次：如 layout-level, circuit-level, macro-module-level, 及 behavior-level 等提出。由於運算放大器是類比電路中之最重要之基本單元，故其障礙模型多有人研究[18-19]。吾人去年從一 CMOS OP 之詳細電路亦推導提出一障礙模型[20]。今年吾人擬以巨觀等效電路入手，提出一補偏(OFFSET)障礙模型，以更簡便的方式來模擬放大器所有的直流障礙行為，然後基於此直流補偏障礙模型，考慮電容效應，找出交流障礙模型。如此可降低 CMOS OP 的障礙偵測處理之複雜度。

#### 四、線性類比電路之障礙診斷：

類比電路之障礙診斷的方法基本上可分為兩大類，第一類為先模擬再測試(simulation-before-test)，在進行測試前先模擬電路中可能的障礙情況，並將量測結果建立障礙表(fault-dictionary)，其中量測的參數又有分頻率響應或脈波響應[21-24]；另一類為先測試再模擬(simulation-after-test)，其中包含了參數鑑別(parameter identification)與障礙驗證(fault verification)。目前上述已有一些研究成果被提出[25-27]，但類比電路診斷中普遍存在的幾個問題是類比元件的變動範圍大且元件本身有製程上的誤差，亦即障礙數目有無限多種可能。加上類比電路的輸入與輸出信號間關係遠比數位電路複雜，且其輸入與輸出的腳位太少，導致障礙診斷上很難觀測到足夠的資訊。而類比電路

的模擬亦較為複雜且耗時，若能將類比電路轉換成數位電路再進行各項測視工作，應可減低複雜度，在這方面也有一些研究成果被提出[28-30]。於本子題研究中，吾人將尋求克服上述問題的障礙診斷方式，以得到較為完整的診斷結果。

#### 五、Sigma Delta 類比數位轉換器之測試：

Delta-Sigma 類比數位轉換器是由每一次的抽樣值經由一回授電路而修正其直流平均值後再轉換成數位信號。由於其特殊的架構，一般藉由觀察類比數位轉換器的轉移函數來測試或診斷的方式對 Delta-Sigma 類比數位轉換器並不實用。可行的方法是利用統計的方式來分析歸納輸出的數位訊號以便達到測試或診斷的目的。目前已有一些方法被提出，有人利用離散複立葉轉換(Discrete Fourier Transform)把輸出的數位訊號從時域(time-domain)轉到頻域(frequency-domain)上來分析以增加可觀測度(observation)[31]；另外亦有人利用直方圖分析(histogram analysis)的統計方式來分析電路是否有障礙[32-34]；也有人利用弦式波波形逼近(sine wave curve fitting)的方式，藉由改變弦式波的震盪頻率可得到不同的參數做為測試的依據[31,35]。然而上述的方法皆只對 Delta-Sigma 類比數位轉換器電路做測試而無法達到診斷的功能。於本子題的研究中，吾人將加入可測試性設計來加大電路的可測試性(testability)，藉由統計輸出數位訊號週期性的改變使電路可以完全被診斷。

### III. 結果與討論

#### 一、熱加速測試之功率分析：

本子題提出了一個以機率模型為本的方法，產生一組比重式的隨機輸入圖樣，使電路在熱加速測試中能得到最大的

功率消耗。由於本方法考慮了電路中每一個節點的功率消耗比重，其產生的比重式的輸入圖樣，能極盡地觸發電路中的弱節點，使這些節點能提早發生障礙，達到熱加速測試的目的。針對 ISCAS 樣本電路所做的實驗結果顯示，由本方法所產生的測試圖樣，能將組合式邏輯電路的總消耗功率提高 13.68% 到 26.68%，而弱節點的邏輯切換率提高了 33.59% 到 41.51%。

將本方法中的最大化程序經過修改應用於序向電路的實驗中也顯示，能將序向電路的總消耗功率提高 12.06% 到 22.71%，而弱節點的邏輯切換率提高了 25.41% 到 35.53%。

## 二、在深次微米領域之靜態電流測試：

本子題提出一種能應用於自動量測儀及內建電流感測器之快速感測方法，動態電流快速地被一個低電阻開關旁路掉，靜態電流未穩定前即被感測。根據上述所提出之靜態電流測試法及感測方法，本論文提出三種低電壓輸入、低供給電壓及高解析度之外接及內建電流感測器，這些感測器能夠比較待測電路在不同的輸入向量下或不同待測電路之靜態電流，取代傳統上之絕對值的量測，它們有電路分割數目少、低電壓輸入、高解析度及低供給電壓之優點，改善了障礙偵測及診斷能力，使得這些感測器能夠應用在深次微米領域數位超大型積體電路靜態電流測試上。

除了上述三種感測器，本計劃亦提出三種低電壓輸入、低供給電壓、高解析度及快速內建電流感測器，這些感測器能夠量測靜態電流之絕對值。

## 三、運算放大器之障礙模型：

本障礙模型包含了補偏障礙和極限電流障礙。吾人發現補偏障礙可將 OP 之電晶體障礙效應整合至和輸入電壓成線性關係之補偏電壓( $F_{os} = mV_{in} + k$ )，而極限電流障礙則可解釋輸入補偏電壓之片段性線性(piecewise linear)關係和描述出

OP slew rate 的效應，此障礙模型在三種 OP 架構下可描述所有 soft faults 和 95% hard faults 之直流行為。

## 四、線性類比電路之障礙診斷：

本子題提出一線性類比電路離散化的障礙診斷方法，透過連續性至離散性的轉換，將線性連續電路以離散的方式表示，並得以推導出反向的計算電路於障礙診斷過程中使用，本方法針對線性類比電路中單一或雙重參數型障礙，由於本方法是以反向的計算電路元件值，並不預設元件發生障礙的情況，所以不論元件值偏移比率多寡皆可診斷出，同時，對於等效障礙效應的難點，本方法中也提出因應之道，利用浮接電路直流電源，以另一觀點觀測電路在只有訊號源的狀況下，等效障礙中不同的障礙會有不同的響應，應用本方法針對 ITC 樣本電路所做的實驗結果顯示，在 9 個單一障礙中，有 7 個單一障礙可正確診斷，2 個單一障礙可診斷，但無法分離等效障礙，在 36 個雙重障礙中，有 33 個雙重障礙可以正確診斷，有 3 個雙重障礙診斷失敗，共五個單一或雙重障礙無法達到唯一的正確診斷，但這五個障礙是因為電路架構本身的限制，屬於無法診斷的特例，因此本方法經驗正後，確實可達高診斷率的效果。

## 五、Sigma Delta 類比數位轉換器之測試：

本子題提出了對 delta-sigma ADC 的可測性設計和障礙診斷的方法。在障礙診斷方面，吾人利用電路回授的特性和快速取樣的方式來預估原點(POP)或週期結束點(PPEP)作為作為輸出位元流的參考點，並利用可測試性設計的方式修改電路，使其能直接對 ADC 的中階輸入測試圖樣。利用 PPEP 和 POP 的預估，可診斷出 delta-sigma ADC 內的電容比值。這種方式隨著觀察時間的增加，可降低誤差。

#### IV. 成果自評

吾人已完成原提計劃之65%，並已發表於國內外之期刊[36-38]、博士論文[39-41]或碩士論文中[42]。

#### V. 參考文獻

- [1] Roy K., Roy R. K. and Chatterjee A., "Stress testing of combinational VLSI circuits using existing test sets", International Symposium on VLSI Technology, Systems, and Applications. Proceedings of Technical Papers, pp. 93-98, 1995.
- [2] Ali Keshavarzi, Kaushik Roy and Charles F. Hawkins, "Intrinsic Leakage in Low Power Deep Submicron CMOS ICs", Int. Test Conf., pp.146-155, 1997.
- [3] Antoni Ferre and Joan Figueras, "IDDQ Characterization -in Submicron CMOS", Int. Test Conf., pp.137-155, 1997.
- [4] T.R. Henry and T. Soo, "Burn-in Elimination of a High Volume Microprocessor Using IDDQ", Int. Test Conf., pp.242-249, 1996.
- [5] T.W. Williams, R.H. Dennard and R. Kapur "Iddq Test: Sensitivity Analysis of Scaling", Int. Test Conf., pp.786-792, 1996.
- [6] Manoj Sachdev, "Deep Sub-micron IDDQ Test Options", p. 942, 1996.
- [7] Anne E. Gattiker and Wojciech Maly, "Current Signatures: Application", pp.147-156, 1996.
- [8] L. Milor and V. Visvanathan, "Detection of Catastrophic Faults in Analog Integrated Circuits", IEEE Transactions on Computer-Aided Design, vol.8, no.2, pp.114-130, 1989.
- [9] T. M. Sounders and Gerard. N. Stenbakken, "A Comprehensive Approach for Modeling and Testing Analog and Mixed-Signal Devices", Proc. International Test Conference, pp.169-176, 1990.
- [10] A. Mexiner and W. Maly, "Fault Modeling for the Testing of Mixed Integrated Circuits", Proc. International Test Conference, pp.564-572, 1991.
- [11] Gerard. N. Stenbakken and T. M. Sounders, "Linear Error Modeling of Analog and Mixed-Signal Devices", Proc. International Test Conference, pp.573-581, 1991.
- [12] T. D. Lyons, "The Production Implementation of a Linear Error Modeling Technique", Proc. International Test Conference, pp.399-404, 1992.
- [13] N. Nagi and J. A. Abraham, "Hierarchical Fault Modeling for Analog and Mixed-Signal Circuits", VLSI Test Symposium, pp.96-101, 1992.
- [14] N. Nagi, A. Chatterjee, A. Balivada and J. A. Abraham, "Fault-Based Automatic Test Generator for Linear Analog Circuits", Proc. International Conference on CAD, pp.88-91, 1993.
- [15] Gerard. N. Stenbakken and T. M. Sounders, "Developing Linear Error Models for Analog Devices", IEEE Transactions on Instrumentation and Measurement, Vol.43, No.2, pp.157-163, April 1994.
- [16] C. C. Su, S. S. Chiang and S. J. Jou, "Impulse Response Fault Model and Fault Extraction for Functional Level Analog Circuit Diagnosis", Proc. IEEE International Conference on CAD, Session10C-3, 1995.
- [17] T. Koskinen and P.Y.K. Cheung, "Hierarchical Tolerance Analysis Using Statistical Behavioral Models", IEEE Transactions on Computer-Aided Design, Vol.15, No.5, pp.506-516, May 1996.
- [18] C. Y. Pan, K. T. Cheng and S. Gupta, "Fault Macromodeling and a Test Strategy for Opamps", Journal of Electronic Testing: Theory and Applications, Vol.9, No.3, pp.225-235, Dec. 1996.
- [19] C. Y. Pan and K. T. Cheng, "Fault Macromodeling for Analog/Mixed-Signal Circuits", Proc. International Test Conference, pp.913-922, 1997.
- [20] S. J. Chang, C. L. Lee and J. E. Chen, "Functional Test Pattern Generation for CMOS Operational Amplifier", VLSI Test Symposium, pp.267-272, 1997.
- [21] J. W. Bandler and A. E. Salama, "Fault

- Diagnosis of Analog Circuits" Proc. IEEE, Vol. 73, pp. 1279-1324, Aug. 1985.
- [22]P. V. Lin and Y. S. Elcherif, "Analogue Circuits Fault Dictionary-New Approaches and Implementation" Int. J. circuit Theory Appl., Vol. 13, pp. 149-172, 1985.
- [23]Mustapha Slamali and Bozena kaminska "Analog Circuit Fault Diagnosis Based on Sensitivity Computation and Functional Testing" IEEE Design and Test of Computers, pp. 30-39, Mar. 1992.
- [24]Zhihong You, E. Sanchez, and Jose Pineda de Gyvez, "Analog System-Level Fault Diagnosis Based in a Symbolic Method in the Frequency Domain" IEEE Trans. on Instrumentation and Measurement, Vol. 44, No. 1, Feb. 1995.
- [25]A.T. Johnson, Jr., "Efficient Fault Analysis in Linear Analog Circuits", IEEE Trans. Circuits Syst., Vol. CAS-26, pp. 475-484, July 1979.
- [26]A. E. Salama, E. Z. Amer, "Parameter Identification Approach to Fault Diagnosis of Switched Capacitor Circuits" IEE Proc. Electron. Circuits Syst., Vol.139, pp467-472, Feb,1991
- [27]A. A. Hatzopoulos and J. M. Kontoleon, "Efficient Fault Diagnosis in Analogue Circuits Using a Branch Decomposition Approach" IEE Proc. Electron. Circuit Syst., Vol.134, pp.149-157, Aug. 1987.
- [28]Naveena Nagi, Abhijit Chatterjee, Jacob A. Abraham "DRAFTS: Discretized Analog Circuit Fault Simulator" ACM/IEEE Design Automation Conf., pp509-514, 1993.
- [29]Naveena Nagi, Abhijit Chatterjee, Jacob A. Abraham "MIXER: Mixed-Signal Fault Simulator" Proc. IEEE Intl. Conf. on Computer Design, pp568-571, 1993.
- [30]Hong Helena Zheng, Ashok Balivada, Jacob A. Abraham "A Novel Test Generation Approach for Parametric Faults in Linear Analog Circuits "Proc. IEEE VLSI Test Symp., P470-475, 1996.
- [31]A.R.El-Koubysy, Y. Guo, M.S.P. Lucas "Testing the performance of delta-sigma ADC" IMTC 1992.
- [32]A.G. Goudie, M.J. story "A DNL measurement on an oversampling noise shaping ADC" Inter. Conf. on "Advanced A-D and D-A conversion techniques and their application" 1994.
- [33]M.F. Toner, G.W. Roberts "Histogram-Based distortion and gain tracking testing of an 8-bit PCM mixed analog-digital IC chip" proceedings of the 35<sup>th</sup> Midwest symposium on circuits and systems 1992.
- [34]M. F. Toner, G. W. Roberts "A BIST scheme for a SNR, gain tracking, and frequency response test of a sigma-delta ADC" IEEE trans. on circuits and systems Vol.42 No.1 January 1995.
- [35]B. E. Boser, Klaus-Peter Karmann, H. Martin, B. A. Woole, "Simulation and testing oversampled analog-to-digital converters," IEEE Tran. on computed-aided design, Vol.7 No.6 June 1998.
- [36]"Maximization of Power Dissipation under Random Excitation for Burn-In Testing", Journal of Chinese Institute of Electrical Engineering. 1998.
- [37]"A New IDDQ Testing Scheme Employing Charge Storage BICS Circuit for Deep Submicron CMOS ULSI," IEEE International Workshop on IDDQ Testing, pp. 54-58, 1998.
- [38]Y.J. Chang, C. L. Lee, J. E Chen and C. Su, "A Behavior Level Fault Model for the Close-Loop Operational Amplifier," Journal of Information Science and Engineering, 1999.
- [39]Kuo-Chan Huang, "Timing Simulation and its Application to Power Estimation and Maximization for Digital Circuits," PH D. dissertation of Kuo-Chan Huang, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., 1998.
- [40]Chin-Wen Lu, "Field Emission Transistor Model and IDDQ Testing for Deep Submicron VLSI," PH D. dissertation of Chin-Wen Lu, National Chiao Tung

University, Hsinchu, Taiwan, R.O.C., 1999.

[41] Yeong-Jar Chang, "Synthesis and Fault Models for Multi-Valued Logic Circuits and Operational Amplifiers," PH D. dissertation of Yeong-Jar Chang, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., 1999.

[42] Sheng-Jer Kuo, "Fault Diagnosis of Switched-Capacitor Circuits," Master Degree dissertation of Sheng-Jer Kuo, National Chiao Tung University, Hsinchu, Taiwan, R.O.C., 1998.