

# 深次微米元件內熱載子效應所造成汲極漏電流特性退化之研究

## Hot Carrier Stress Induced Drain Leakage Current Degradation in Deep Submicron MOSFET's

計畫編號：NSC 88-2215-E-009-042

執行期限：87年8月1日至88年7月31日

主持人：汪大暉教授 國立交通大學電子工程學系

E\_mail:wang@jekyll.ee.nctu.edu.tw

### 一、中文摘要

在本計劃中，吾人探討深次微米元件經熱載子入射後各種汲極漏電流之物理機制，並建立汲極漏電流特性退化之模式。在物理機制方面，所考慮之汲極漏電流項目包括汲極至源極次臨界漏電流，能帶間穿隧效應漏電流，以及氧化層缺陷所產生之漏電流。在量測方面，所測試之元件結構包括閘極氧化層厚度從  $30\text{\AA}$  至  $80\text{\AA}$ ，元件操作電壓從  $1.5\text{V}$  至  $5\text{V}$ ，操作溫度從室溫至  $100^\circ\text{C}$ 。研究結果顯示，當元件操作電壓降低後，氧化層缺陷所產生之汲極漏電流將成為主要漏電流機制，此效應在較高的操作溫度時更加明顯。同時，在較厚氧化層元件內，汲極漏電流之退化可分為兩階段，在第二階段退化速度反而加快。而在較薄氧化層(小於  $40\text{\AA}$ )元件內，並未發現此種二階段退化特性。

關鍵詞：汲極漏電流，退化機制與模擬，特性量測，介面缺陷，熱載子，氧化層厚度。

### Abstract

Drain leakage current at zero gate bias has been recognized as a major reliability issue in deep submicron MOSFET's. In this project, we investigated various drain leakage current mechanisms. Hot carrier stress induced drain leakage current degradation has been modeled and characterized. The dependence of drain leakage current on gate oxide thickness (from  $30\text{\AA}$  to  $80\text{\AA}$ ), supply

voltage (from  $1.5\text{V}$  to  $5.0\text{V}$ ) and operation temperature (from room temperature to  $100^\circ\text{C}$ ) has been investigated. In modeling, various drain leakage current components including drain-to-source subthreshold current, band-to-band tunneling current and trap enhanced drain leakage current are taken into account. Our result shows that interface trap-assisted leakage current may become a dominant drain leakage mechanism as supply voltage is reduced. In addition, a two-stage drain leakage current degradation was observed in relatively thick oxide nMOSFET's.

**Keywords:** drain leakage degradation mechanism, interface trap, hot carrier, oxide thickness dependence

### 二、計劃緣由與目的

深次微米元件內汲極漏電流已成為技術發展將必須考量之因素。造成汲極漏電流的原因包括(i)junction 漏電流(ii)汲極至源極次臨界電流(subthreshold current)(iii)能帶間量子穿隧效應之漏電流和(iv)元件因熱載子入射所產生之界面漏電流。其中第四項為元件操作時汲極漏電流特性退化之主要原因。

熱載子效應所造成之汲極漏電流退化原因有二。一為熱載子入射在介面產生缺陷(interface trap)，而形成一種新的漏電流機制(trap-assisted drain leakage)。另一原因為熱電子入射造成氧化層內部負電荷累積，進而改變界面電場，導致能帶間穿隧

效應漏電流增加。針對深次微米元件而言，由於操作電壓改變，界面缺陷所產生漏電流之主要機制與影響程度亦隨之改變。此外，深次微米元件內氧化層厚度對於漏電流退化特性亦有顯著影響。當氧化層厚度較薄時，氧化層將不易捕捉電荷(charge trapping)。因此，在深次微米元件中，汲極漏電流退化特性將與一般氧化層較厚元件不同。故本計劃研究之重點在於比較與探討不同閘極氧化層厚度，不同元件操作電壓及不同操作溫度對汲極漏電流退化之影響。

### 三、研究方法

在汲極漏電流機制模擬方面，因在不同元件結構(氧化層厚度)，與不同操作條件(包括電壓與溫度)下，汲極漏電流主要機制亦隨之而改變。故在本計劃中，吾人提出一完整汲極漏電流模式，探討深次微米元件內各個參數對漏電流特性之影響。汲極漏電流中與界面缺陷無關的機制包括汲極至源極次臨界電流( $I_c$ )，與能帶間穿隧效應漏電流( $I_{BB}$ )，如圖一所示。與界面缺陷有關的漏電機制( $\Delta I_{TF}$  (thermionic-field emission current),  $\Delta I_{TAI}$  (trap-assisted tunneling current),  $\Delta I_{SRH}$  (Shockley-Read-Hall current)) 如圖二所示。圖一與圖二中各種機制所對應之物理式分別列於表一，以供參考。此外，氧化層電荷對汲極漏電流之影響可藉由二維元件模擬計算界面電場的改變，再經由表一之數學模式而獲知。

在汲極漏電流退化特性量測方面，吾人針對不同氧化層厚度，不同操作電壓與不同溫度下，經熱載子入射所造成之汲極漏電流特性退化進行一系列之量測並與模擬結果比對。

### 四、結果與討論

圖三為在不同操作電壓及不同操作溫度下所測界面缺陷對汲極漏電流之影響。圖四為熱載子入射後汲極漏電流之增加程

度。由此圖可知，當操作電壓為 2.2V 時，熱載子入射所造成之汲極漏電流退化相對上最為顯著。退化程度在室溫下約為 20 倍，在 80°C 時更可達 110 倍之鉅。

圖五與圖六顯示在室溫與 80°C 時之汲極漏電流成分。其中實線為量測結果，實點為模擬結果。圖五顯示，在室溫時，當操作電壓低於 3.1V，汲極漏電流主要成分由能帶間穿隧效應漏電流( $I_{BB}$ )轉換至由界面缺陷所引起之汲極漏電流( $\Delta I_d$ )。而各種界面缺陷所引起之漏電流，其模擬結果如圖七所示。汲極漏電流在操作電壓大於 1.7V 時主要是由  $I_{TAI}$  貢獻，在介於 1.7V 和 1.5V 時為  $I_{TF}$  而當操作電壓小於 1.5V 時為  $I_{SRH}$ 。

圖八顯示不同氧化層厚度對於汲極漏電流退化特性影響。在此圖中，在較薄氧化層厚度元件中(30Å)，汲極漏電流和加壓時間遵循 power law。而此斜率也與 charge pumping 所得出的結果(圖九)相符合，因此確實是由表面缺陷所造成的汲極漏電流。然而對於氧化層較厚的元件而言，吾人發現完全不同的特性。漏電流退化具有二階段特性。在第一階段仍是由表面缺陷所造成，而第二階段主要由氧化層內電荷累積造成漏電流加速增加。因此，氧化層內電荷累積造成汲極漏電流將會是元件 lifetime 之重要限制。

### 四、參考文獻

關於汲極漏電流之相關研究，吾人已有下列論文發表：

1. "Oxide Thickness Dependence of Hot Carrier Stress Induced Drain Leakage Current Degradation in Thin-Oxide n-MOSFET's," 1998 SSDM.
2. "Voltage Scaling and Temperature Effects on Drain leakage Current Degradation in a Hot Carrier Stressed n-MOSFET," 1998 IRPS
3. "A Comprehensive Study of Hot Carrier Stress Induced Drain Leakage

Current Degradation in Thin-Oxide  
n-MOSFET's,"*IEEE TED*, p.1877,  
vol.46, no.9, 1999.

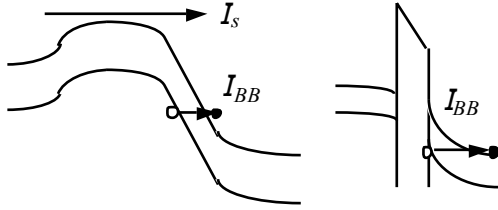


Fig. 1 Illustration of subthreshold leakage current ( $I_s$ ) and band-to-band tunneling current ( $I_{BB}$ )

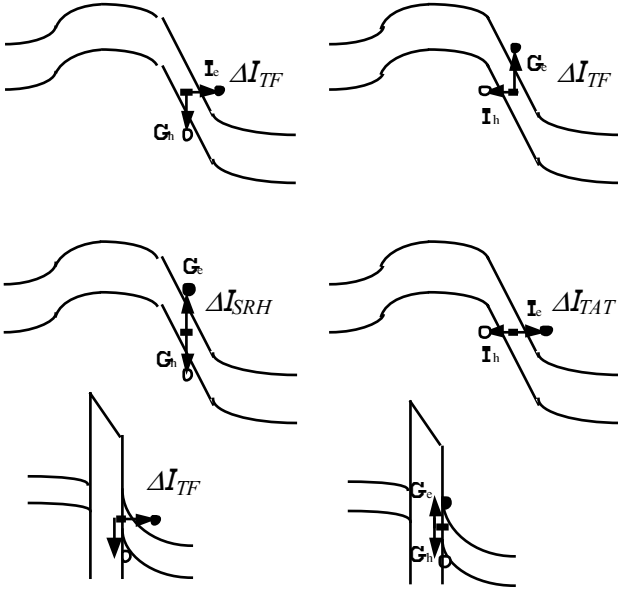


Fig. 2 Illustration of various trap-assisted carrier transition process

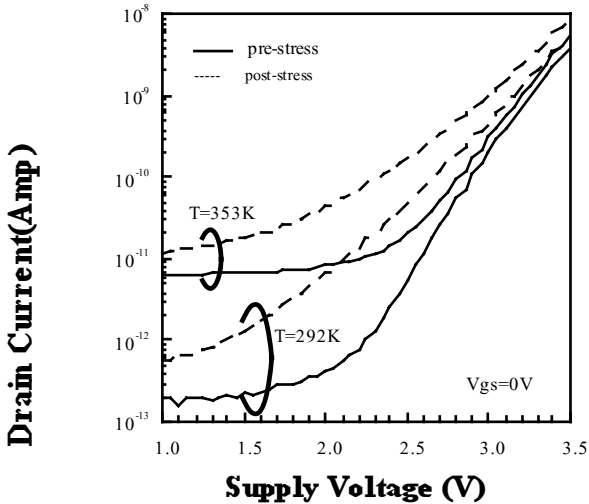


Fig. 3 Measured drain leakage current characteristics before and after hot carrier stress at two different temperatures

Table 1 Modeling of major drain leakage paths in a stressed MOSFET.

$E_t$  and  $E_l$  denote the total field and the lateral field.  $\mathcal{E}$  stands for the interface trap energy,  $f_v$  and  $f_c$  are the electron occupation factors in the valence band, trap states and the conduction band.  $\Delta L$  is the width of the interface trap region. Other variables have their usual definitions.

### Trap-independent mechanisms:

$$I_{BB}(\text{band-to-to-band}) = AE_t^2 \exp(-B/E_t)$$

$$I_s(\text{drain-to-source}) = \frac{q}{nkT} \exp(-V_{gs})$$

### Trap-assisted mechanisms:

$$G_e = v_{th} \sigma_n [n_e \exp(\frac{\mathcal{E}_i - \mathcal{E}_c}{kT}) - n_s (1 - f_i)]$$

$$G_h = v_{th} \sigma_p [n_e \exp(\frac{\mathcal{E}_i - \mathcal{E}_v}{kT}) - p_s f_i]$$

$$T_e = \frac{f_c f_i}{\tau_e} \quad T_h = \frac{(1 - f_i) - (1 - f_v)}{\tau_h}$$

$$\Delta I_{TAT} = qW \int_{\Delta L} \int_{\text{bandgap}} \Delta N_{it}(x, \mathcal{E}) \frac{T_e T_h}{G_e + T_e} d\mathcal{E} dx$$

$$\Delta I_{TF} = qW \int_{\Delta L} \int_{\text{bandgap}} \Delta N_{it}(x, \mathcal{E}) \frac{T_e G_h + T_h G_e}{G_e + T_e} d\mathcal{E} dx$$

$$\Delta I_{SRH} = qW \int_{\Delta L} \int_{\text{bandgap}} \Delta N_{it}(x, \mathcal{E}) \frac{G_e G_h}{G_e + T_e} d\mathcal{E} dx$$

$$\Delta I_d = \Delta I_{SRH} + \Delta I_{TF} + \Delta I_{TAT}$$

### Temperature-dependent parameters:

$$\mathcal{E}_g(T) = \mathcal{E}_g(0) - \alpha T^2 / (T + \beta)$$

$$n_i = \sqrt{N_c N_v} \exp[-\frac{\mathcal{E}_g(T)}{2kT}]$$

### Field-dependent parameters:

$$\tau_e = \tau_{e0} \exp[\frac{8\pi}{h} (2m_n)^{1/2} \frac{(\mathcal{E}_c - \mathcal{E}_i)^{3/2}}{3qE_t}]$$

$$\tau_h = \tau_{h0} \exp[\frac{8\pi}{h} (2m_p)^{1/2} \frac{(\mathcal{E}_i - \mathcal{E}_v)^{3/2}}{3qE_l}]$$

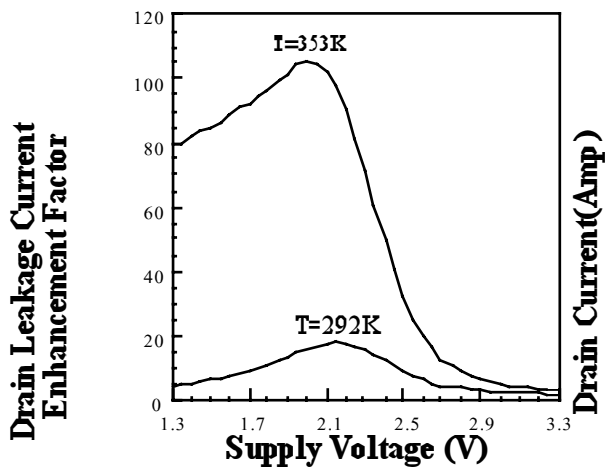


Fig. 4 The ratio of the post-stress drain leakage current to the pre-stress drain leakage current versus supply voltage

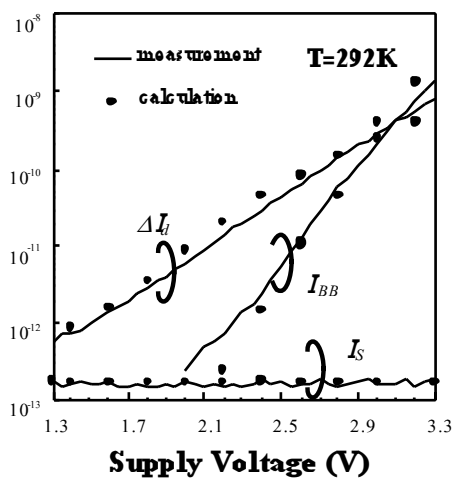


Fig. 5 Various zero gate bias drain leakage current components from measurement and calculation (T=292K)

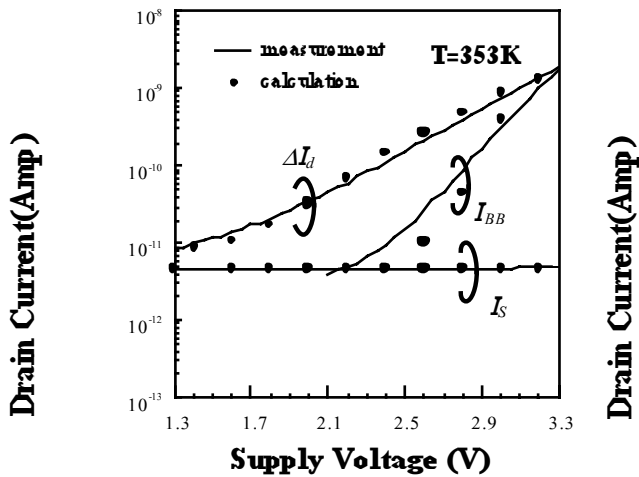


Fig. 6 Various zero gate bias drain leakage current components from measurement and calculation (T=353K)

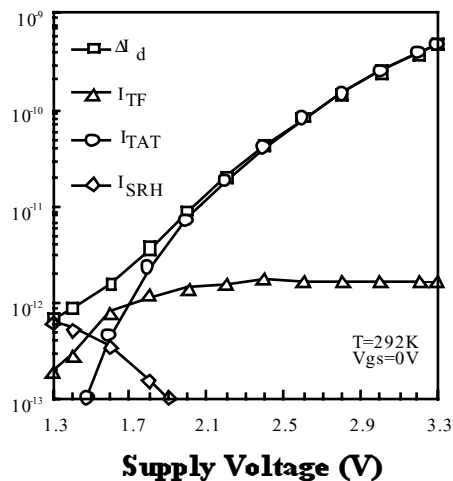


Fig. 7 Calculation of various interface trap-assisted drain leakage current at T=292K

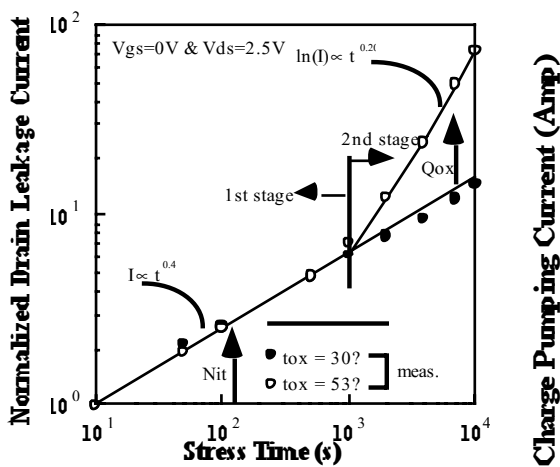


Fig. 8 Normalized drain leakage currents versus stress time in the different gate oxide thickness n-MOSFET's

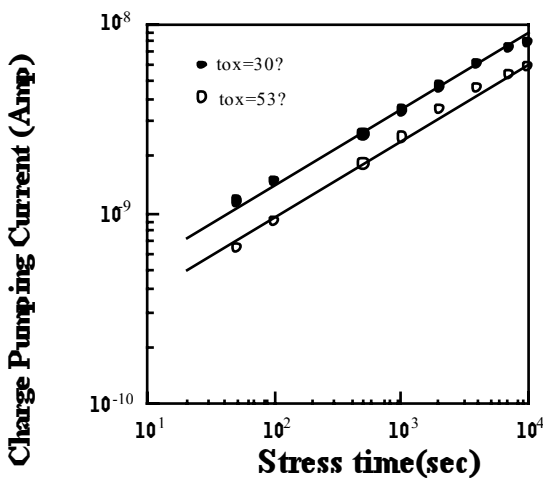


Fig. 9 Charge pumping current versus stress time in different gate oxide thickness n-MOSFET's