

薄閘氧化層深次微米n-MOS元件的熱載子可靠性分析

Analysis of Hot Carrier Reliability for Thin Gate Oxide Deep-Submicron n-MOSFET's

計劃編號：NSC88-2215-E-009-041

執行時間：87年08月01日至88年07月31日

主持人：莊紹勳 國立交通大學電子工程學系

一、中文摘要

近年來，熱載子效應及其衍生的元件可靠性問題已成為目前深次微米CMOS元件設計的主要考量。然而，當元件的閘氧化層縮小至40Å以下，傳統的熱載子效應必須予以重新評估。其主要原因有二：一是氧化層電荷影響的改變，另一則是stress後之漏電流(SILC)增加。

在本計劃中，我們探討薄氧化層深次微米MOSFET元件，其熱載子注入所產生的元件可靠性問題；並進一步發展其退化機制與物理模式。首先，我們製作元件一批，包括不同材質(O₂與N₂O)以及不同厚度(30~70Å)的氧化層元件。且利用電荷幫浦法(charge pumping technique)量測技術來直接觀察熱載子注入所產生的氧化層傷害，包括界面狀態、氧化層電荷。藉由萃取出氧化層傷害空間分佈狀況，我們進一步推導出薄氧化層元件的退化機制與物理模式。同時，我們亦針對不同厚度與不同材質的氧化層元件，比較其可靠性的差異及尋求更佳適合深次微米MOSFET元件的氧化層技術。

本計劃所得到重要的結果分別為，(1)針對70~30Å元件，所求之退化結果，薄氧化層元件都有較好的熱載子退化特性；(2)薄氧化層元件對電荷注入時，穿隧效應會降低電荷在氧化層中的累積；(3) N₂O材質確實可改善元件氧化層的特性。這些結果將有助於提供深次微米n-MOSFET元件的可靠性設計準則。

關鍵詞：深次微米金氧半元件，熱載子可靠性，薄閘氧化層，漏電流，界面狀態、氧化層電荷。

英文摘要

Recently, hot-carrier induced device reliability has been a major design consideration for modern deep-submicron CMOS devices. However, as the device gate oxide thickness being scaled down below

40Å, the existing hot carrier effects should be re-evaluated for two reasons. One is the diminishing of oxide charges. The other one is the increased effect of stress induced leakage current (SILC).

In this work, we focus on the study of hot carrier stress induced reliabilities in thin gate oxide deep-submicron n-MOSFET devices. Furthermore, the degradation mechanisms and physical models will also be developed. First, we will design and fabricate n-MOSFET devices with 0.2µm and 0.1µm feature size. The gate oxides are formed by thermal grown O₂ or N₂O from 30 to 70Å. The charge pumping technique that we developed previously will be used to determine the generated oxide damages, including interface states, oxide charges. Based on the extracted oxide damage distributions, the degradation mechanisms and physical models of thin gate oxide devices can be further developed. In addition, a comparison of device reliability among various oxide material and oxide thickness devices will be made.

In this work, several important conclusions can be drawn as follows. First, for thin 70~30Å device, thinner oxide device has better hot carrier characteristics. Secondly, this thin oxide device can immunize stress induced leakage current due to tunneling effect. Thirdly, N₂O gate oxynitride can improve device reliability. These results can be used as a design guideline for designing next generation highly reliable deep-submicron n-MOSFET.

Keywords: Deep-submicron MOSFET, hot carrier reliability, Thin oxide, stress induced leakage current (SILC), interface states, oxide charges.

二、計劃緣由與目的

(一) 研究背景

近年來，隨著ULSI技術的快速發展，元件的小型化已成為不可避免的趨勢。而在元件的小型化過程中，除了通道長度縮小外，另一項必須考慮的便是閘極氧化層的薄化。一般而言，薄閘極氧化層的元件必需注意(1) 氧化層厚度的一致性

(Uniformity)[1]，(2) Dopant penetration的抑制，(3) TDDB(Time dependent dielectric breakdown)[2]，以及(4) 熱載子注入所引起的可靠性問題等[3]。

上述最後一項熱載子所產生的可靠性課題上，不同閘極氧化層厚度的元件其可靠性的機制與影響亦有所不同[4]，特別是當元件的閘極氧化層厚度小於 30\AA 左右。主要原因是因為熱載子注入而產生的氧化層傷害(Oxide Damage)於氧化層中的分佈位置。其中，熱電子注入所產生氧化層電荷(Oxide Charges)多侷限於距離Si/SiO₂界面約 $30\sim 40\text{\AA}$ 的範圍內。而熱電洞注入所導致的氧化層電荷或氧化層缺陷(Oxide Traps)則侷限於距離界面約 20\AA 的範圍內。也就是說，當閘極氧化層厚度一旦小至約 30\AA 左右，則熱電子注入將不再導致氧化層電荷的產生。此外，薄閘極氧化層的元件，還有一個重要的課題便是stress引起的漏電流(SILC, Stress-Induced Leakage Current)的增加，而且，氧化層愈薄，影響也愈大 [5]。此漏電流不論對DRAM或Flash Memory的元件及電路設計都有嚴重的影響。因此，對於薄閘極氧化層深次微米元件($t_{\text{ox}} < 40\text{\AA}$)而言，其熱載子可靠性將與厚氧化層元件有極大差異，應予重新評估。

在本計劃中，我們即製作不同閘極氧化層厚度的元件，分別由 30\AA 至 70\AA ，探討其因熱載子效應所導致的可靠性問題，例如 ΔV_T 、 Δg_m 、 ΔI_D 等，並研究其退化機制及建立其可靠性物理模式，研究因熱電洞注入所產生的可靠性相關問題，特別是因熱電洞注入產生的氧化層缺陷所導致的元件漏電流增加。由於N₂O氧化層結構會提供高可靠性的薄氧化層元件，因此，我們亦將依據實際製作的元件，探討薄的N₂O氧化層深次微米元件的可靠性問題，且與O₂氧化層結構的元件做比較，以評估其在深次微米CMOS技術應用的可行性。

(二) 研究目的與重要性

本計劃目的在於研究薄閘極氧化層元件的熱載子可靠性問題。首先，將利用氧化層傷害特性化的方法[6]，將造成元件退化的氧化層傷害之空間分佈予以決定出來，並由此來探討薄氧化層元件特性退化的機制。此外，並將此可靠性機制與其它厚的閘極氧化層之元件做比較。最後，我們亦研究N₂O的閘極氧化層其對深次微米元件可靠性改善之可行性。

本研究計劃，對於薄氧化層所面臨的可靠性問題有深入地研究，因此，對於未來產業界ULSI之開發設計，將有莫大之貢獻與助益。

三、研究方法及成果

本計劃中，吾人將分別探討不同閘極氧化層厚度元件與不同材質閘極氧化層元件之可靠性與進行漏電流分析。元件設計之結構，分別如Fig. 1所示。

本計劃分別對元件進行以下研究: (1) 分析基本電性，並對薄氧化層元件之基本特性提出簡單的說明；(2) 分析元件的熱電子與熱電洞注入效應，提出其熱載子分析之物理機制與其模式分析；(3) Stress後之漏電流(SILC)增加之研究，並獲得準確的漏電退化模式之結果。茲分述如下:

(一) 薄化閘極氧化層之可靠性研究

(1) 基本電性量測

首先，我們針對 $70\sim 30\text{\AA}$ 元件($L_{\text{MASK}}=0.4\ \mu\text{m}$ ， $L_{\text{eff}}=0.2\ \mu\text{m}$)進行元件基本電性之量測，驅動電流($I_{d,\text{sat}}$)以及其漏電流(I_{off})之量測結果如Fig. 2所示。隨著閘極氧化層的薄化，閘極對元件通道有較好的控制效果，而驅動電流隨之變大；而相反的由於薄化的閘極氧化層，造成的問題即是當元件經過熱電子的注入後漏電流情形將會變的更加的嚴重。

(2) 元件熱電子可靠性之研究

1. $I_{B,\text{max}}$ Stress下之熱電子可靠性

在 $I_{B,\text{max}}$ Stress下，元件承受最大的impact ionization的撞擊，元件之退化也為所有Stress條件中之最嚴厲之考驗。元件電性退化之情形，如Fig. 3所示。元件閘極氧化層薄化的結果，不管是 I_D 、 G_m 、 V_T 使其熱載子特性越趨變好。根據推斷，當氧化層薄化，使得元件在impact ionization之後，產生的電子即很容易的經由穿隧效應穿過oxide，造成較小Si/SiO₂的界面破壞。

而在 $I_{B,\text{max}}$ 下，元件主要僅產生界面狀態(interface state)，而無電荷(oxide charge)(或是僅僅只有少量電荷)會累積於閘極氧化層，所以接下來吾人即利用電荷幫浦法，進行元件界面狀態的空間分佈分析。分析的結果如Fig. 4所示。所得之結果如預期，即薄氧化層(30\AA)元件所產生之界面狀態的量遠比其他兩者來的小。

2. $I_{G,\text{max}}$ Stress下之熱電子可靠性

元件在 $I_{G,max}$ Stress下，元件遭受熱電子的注入，不僅破壞元件的界面狀態，同時亦造成電荷在閘氧化層累積。**Fig. 5**即其電性之退化結果。同樣的，薄氧化層(30Å)元件的熱電子特性皆優於其他元件。

元件的界面狀態(N_{it})與閘氧化層電荷(Q_{ox})累積的分離方式，可以經由GIDL特性來分離。經由熱電洞的中和，即可分離出兩個量值。所得的 N_{it} 與 Q_{ox} 分佈即如**Fig. 6**所示。由此圖可知，薄氧化層元件確實較不會在氧化層累積(trap)電荷。此即是因為電子經過閘氧化層的時候，在70Å元件大量的 Q_{ox} 累積於氧化層；而當氧化層降到40Å時 Q_{ox} 的量已經大幅降低；而在氧化層縮到30Å時，電子幾乎可以直接穿過氧化層(穿隧效應)，所以 Q_{ox} 量值為最小。

3. Off-state Stress下之熱電洞可靠性

電洞在off-state下會經由氧化層跑到閘極，此即熱電洞之注入。其退化結果會類似於熱電子的注入。由於GIDL實驗中，沒有 Q_{ox} 產生的跡象，亦即對此批Sample僅造成界面狀態的產生。其所得的結果如**Fig. 7**所示。

4. SILC效應與穿隧效應之探討

經由通道FN(channel-FN) stress (定電場Stress, $E_{ox}=15MeV$, 5000sec)之後[7-9]，我們量測出其SILC電流特性。**Fig. 8(a)**即為不同氧化層厚度下SILC的結果。

在初始狀況，薄氧化層元件在低跨壓下即有大量漏電流穿過氧化層；而在Stress之後，漏電流的圖形似乎是40Å元件優於30Å而再優於70Å元件，其實並不盡然。由於在channel-FN stress下，70Å與40Å元件受到電子穿過氧化層到達通道，而電荷被氧化層所捕捉而帶負電，所以由圖中可看出70Å元件在stress後， V_G 電壓要加更大，才可量到漏電流；同樣的40Å元件也有類似的效應，只是量值較小；而30Å元件因為穿隧的效應，所以電荷幾乎沒有累積在氧化層，所以幾乎沒有太大的 V_G 變動。(其變動情形，將會在稍後再詳述。)

我們將上述情圖形修正為**Fig. 8(b)**，結果可以明顯看出SILC的效應。在低電場下，可明顯的看到漏電流的嚴重情形分別為70Å > 40Å > 30Å。造成漏電流情形，主要也與穿隧效應有關。

(二)不同閘氧化層材質之可靠性研究

(1) 基本電性量測

我們針對 O_2 以及 N_2O 元件($t_{ox}=40Å$, $L_{MASK}=0.3\mu m$, $L_{eff}=0.1\mu m$)進行基本電性量測。同前面的進行的實驗一般，元件驅動電流以及漏電流的量測情形如**Fig. 9**所示。 N_2O 成長的氧化層擁有較好的品質，使得元件在受到熱電子Stress後，仍可保有原先設計之電性。故所得之結果皆為 N_2O 成長之氧化層的元件優於傳統 O_2 設計之元件。

(2) 元件熱電子可靠性之研究

1. $I_{B,max}$ Stress下之熱電子可靠性

同樣的，吾人亦進行 $I_{B,max}$ stress測試，所得之結果如**Fig. 10**所示。基本電性的隨時間的變化上皆獲得一致的結果，即 N_2O 材質優於一般廣為使用的 O_2 材質。 N_2O 氧化層中，氮(N)的成份，可以修補氧化層裡面的不穩定的鍵結(dangling bond)，使得閘氧化層材質穩定性更好。

更進一步針對該元件進行界面狀態的空間分佈分析，結果即為**Fig. 11**所示。經過impact ionization後， N_2O 材質確實是產生的界面狀態較少，故可得較好的電性退化情形。

2. $I_{G,max}$ Stress下之熱電子可靠性

$I_{G,max}$ stress量測的結果如**Fig. 12**所示，其造成的界面狀態與在閘氧化層中電荷累積之空間分佈如**Fig. 13**。不管 N_{it} 或是 Q_{ox} 產生量都是 N_2O 材質較小。

3. Off-state Stress下之熱電洞可靠性

Fig. 14為off-state stress後的界面狀態粹取結果。即使在熱電洞注入下， N_2O 材質亦擁有較好的特性。所以在元件閘氧化層薄化的趨勢下，改採 N_2O 去成長閘氧化層，將可得到更高可靠性之元件。

4. SILC效應與氧化層電荷累積情形之探討

在這進行Stress後漏電流之量測，同樣的亦進行channel-FN的stress，以觀察元件SILC之退化情形。其結果如**Fig. 15(a)**所示。我們得到傳統 N_2O 結果較好。所以我們再進一步對元件觀察1500秒與2500秒下的SILC特性，如**Fig. 15(b)**所示。我們發現，在1500秒時SILC曲線先往左移動(開始產生

漏電流)，而後在2500秒的時候SILC曲線往右移動(負電荷累積造成要加更大 V_G 才有電流的移動)。亦即，在較厚的開氧化層($t_{ox} > 30\text{\AA}$)元件，確實有電荷累積的效應。

重新修正上述結果如Fig. 15(c)，所得的結果兩者漏電流情形大致上差距不大，其中 N_2O 材質僅僅比 O_2 材質稍好一些。而 N_2O 元件由於不太容易trap電子，所以SILC上面不致於有往右飄移的傾向，所以整體上 N_2O 材質較好。

四、結果與討論

先進的元件朝著元件的小型化發展，薄化開氧化層厚度乃勢在必行，而要增強其抗熱載子效應又必須改變其氧化層之材質。所以本計劃即針對此兩部分分別進行可靠性之研究。

在本計劃的執行上，針對 $30\sim 70\text{\AA}$ 元件進行分析，發現其超薄元件(30\AA)具有較穩定的熱載子可靠性。根據漏電流與SILC的研究結果推斷，其造成原因不外乎是起源於穿隧效應。在超薄元件中，開氧化層厚度僅僅是數層 SiO_2 所構成，電荷可以很輕易的進出開氧化層，而不會被trap在oxide裡面。而針對不同材質(O_2 與 N_2O)成長之開氧化層，在各種特性中大致上皆為 N_2O 成長之元件較好。所以以 N_2O 成長之開氧化層，更適合於應用在新世代之深次微米元件。

本計劃中所獲得之重要結果，簡單整理如下：
(1) 30\AA 的超薄開氧化層元件在熱載子注入下，所得之特性優於厚開氧化層元件。此即在降低氧化層厚度時，不致引起更嚴重之元件可靠性問題；
(2) 穿隧效應使得 30\AA 元件使元件在承受熱載子注入下，開氧化層不會累積電荷；而相對之下，會造成漏電流；
(3) N_2O 成長之開氧化層可改善元件之熱載子效應，亦可降低漏電流的情形，其一般特性皆優於傳統 O_2 成長之元件。上列之結果，在學術及工業領域上將有莫大的實用價值。而其相關的研究成果，近期將發表於國際論文。

五、參考文獻

[1] H. S. Momose, S. Nakamura, I. Ohguro, I. Yoshitomi, E. Morifuji, I. Morimoto, Y. Katumata, and H. Iwai, "Uniformity and reliability of 1.5nm direct tunneling gate oxide MOSFETs," in *Symp. VLSI Tech.*, pp. 15-16, 1997.
[2] R. De gaele, J. L. Ogier, R. Bellens, P. Roussel, G. Groeseneken, and H. E. Maes, "On the field dependence of intrinsic and extrinsic time-dependent dielectric breakdown," in *IEEE IRPS*, pp. 44-54, 1996.

[3] Y. Kamakura, H. Urumomija, I. Tomita, K. Umeda, and K. Ianiguchi, "Investigations of hot-carrier-induced breakdown of thin oxides," in *IEDM Tech. Dig.*, pp. 81-84, 1997.
[4] H. S. Momose, S. Nakamura, I. Ohguro, I. Yoshitomi, E. Morifuji, I. Morimoto, Y. Katumata, and H. Iwai, "A study of hot-carrier degradation in n- and p-MOSFETs with ultra-thin gate oxides in the direct-tunneling regime," in *IEDM Tech. Dig.*, pp. 453-456, 1997.
[5] R. Moazzami and C. Hu, "Stress-induced current in thin silicon dioxide films" in *IEDM Tech. Dig.*, pp. 139-142, 1992.
[6] S. M. Cheng, C. M. Yih, J. C. Yeh, S. N. Kuo, and S. S. Chung, "A unified approach to profiling the lateral distributions of both oxide charge and interface states in n-MOSFETs under various bias stress conditions," *IEEE Trans. Electron Devices*, vol. 44, pp. 1908-1914, 1997.
[7] S. I. Takagi, N. Yasuda, and A. Toriumi, "Experimental evidence of inelastic tunneling in stress-induced leakage current" *IEEE Trans. Electron Devices*, vol. 46, No. 2, pp. 335-340, 1999.
[8] S. I. Takagi, N. Yasuda, and A. Toriumi, "A new I-V model for stress-induced leakage current including inelastic tunneling" *IEEE Trans. Electron Devices*, vol. 46, No. 2, pp. 348-354, 1999.
[9] Y. Shi, X. Wang, I.-P. Ma, "Electrical properties of high-quality ultrathin nitride/oxide stack dielectrics," *IEEE Trans. Electron Devices*, vol. 46, No. 2, pp. 362-368, 1999.

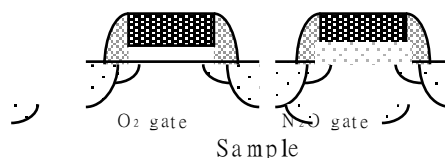


Fig. 1 元件的Split condition: Sample (a)不同的氧化層厚度，分別為70, 40, 30Å. (b)不同材質成長的開極氧化層元件，分別為 O_2 及 N_2O 材質。

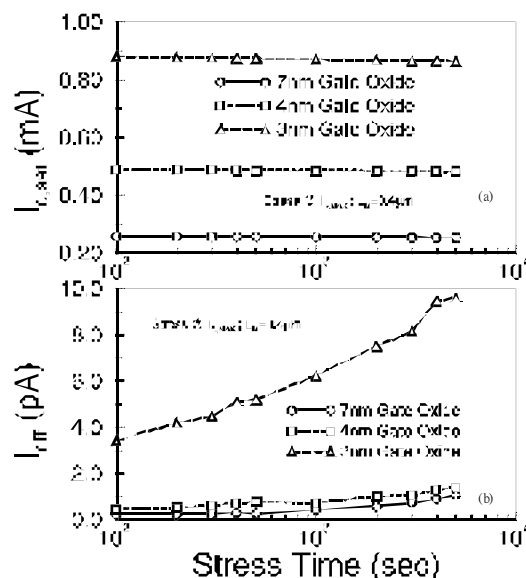
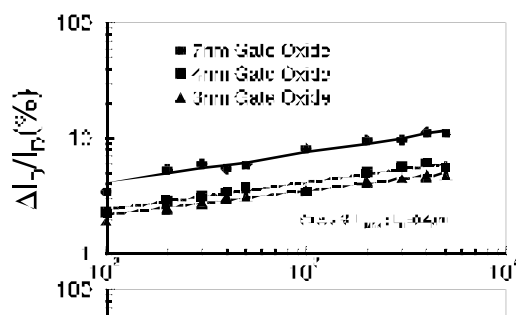


Fig. 2 不同氧化層厚度元件之驅動電流(I_{d0})與漏電流(I_{l0})對時間之關係。驅動電流定義為，當元件操作在 $V_{DS}=V_{GS}=3.3V$ 的 I_{d0} 電流；而漏電流的量測點為 $V_{DS}=3.3V$, $V_{GS}=0V$ 下之 I_{l0} 電流。



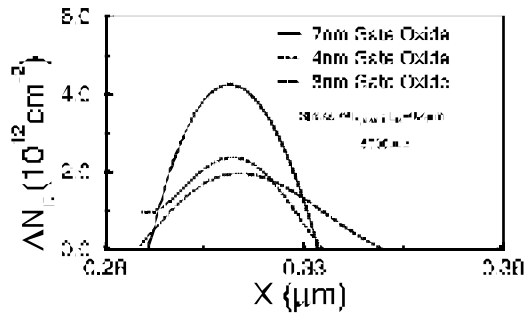


Fig. 4 在 $I_{B,max}$ Stress 下對不同氧化層厚度元件造成的界面狀態空間分佈情形。在一般狀況下， $I_{B,max}$ Stress 不會在氧化層累積

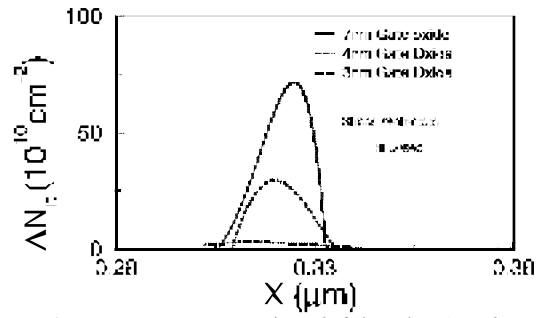


Fig. 7 在 Off-state Stress 下對不同氧化層厚度元件造成的界面狀態空間分佈情形。在這裡由 GIDL 電流檢測，並無電荷在

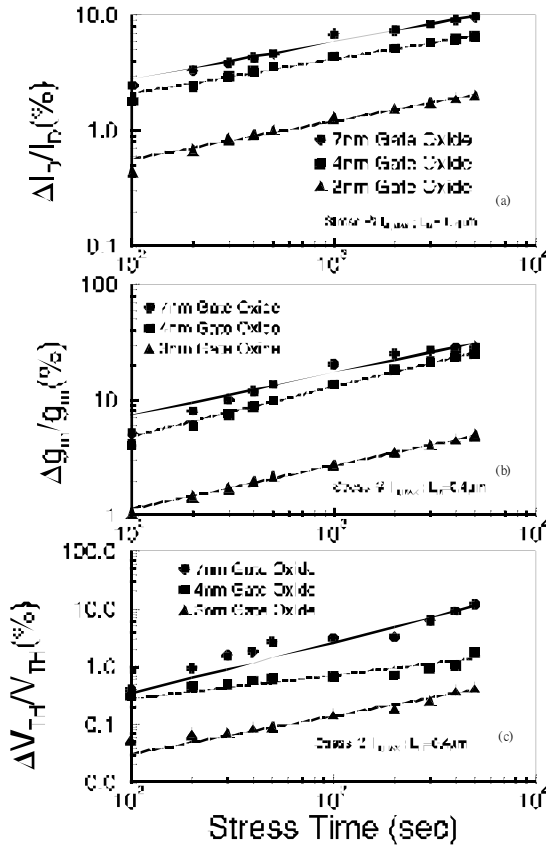


Fig. 5 不同氧化層厚度元件之熱電子退化情形，Stress 條件為： $I_{B,max}$ @ $V_{DS}=3.3V$, $V_{GS}=3.3V$ ，分別針對 I_B , G_m , V_T 進行測試。

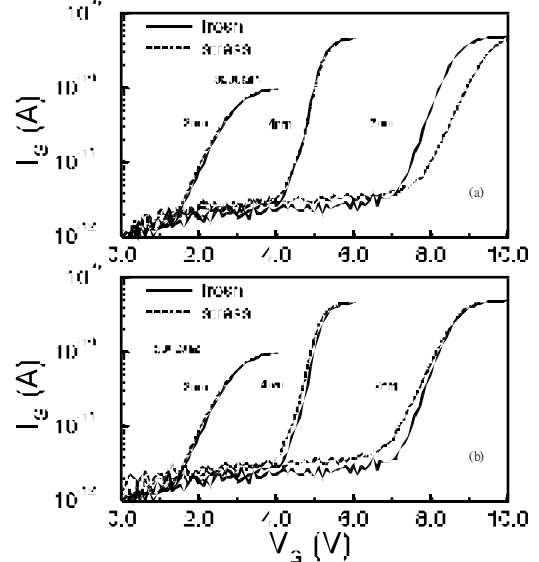


Fig. 8 在 SILCT 下對不同氧化層厚度元件造成影響。(a) 為原始數據；(b) 經過修正後之結果。

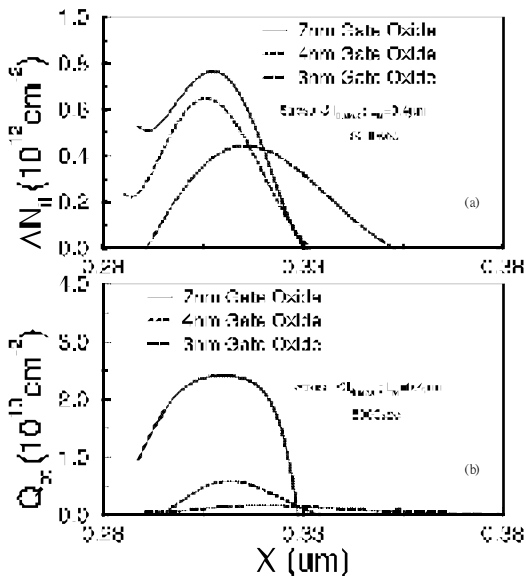


Fig. 6 在 $I_{B,max}$ Stress 下對不同氧化層厚度元件造成的界面狀態空間與電荷在開氧化層累積的分佈情形。

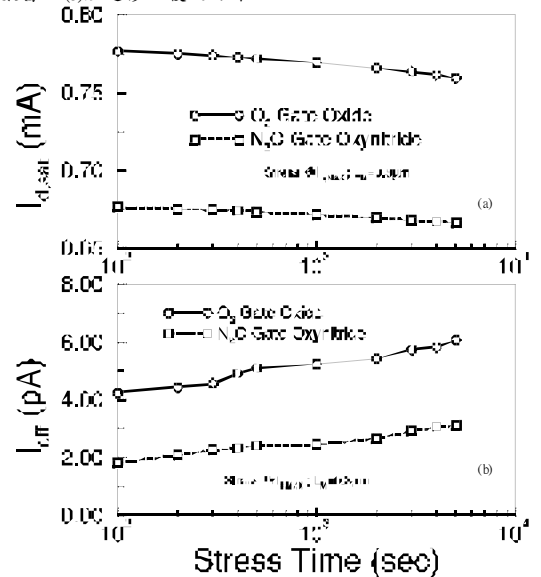
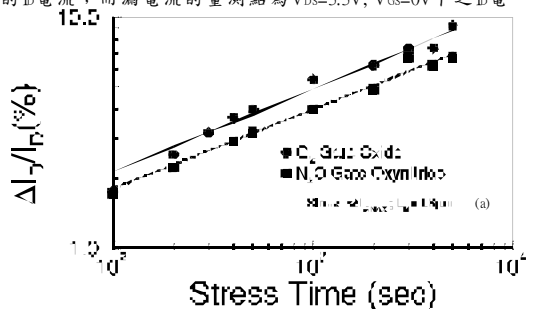


Fig. 9 不同材質開氧化層元件之驅動電流 (I_{dsat}) 與漏電流 (I_{off}) 對時間之關係。驅動電流定義為，當元件操作在 $V_{DS}=V_{GS}=3.3V$ 的 I_B 電流；而漏電流的量測點為 $V_{DS}=3.3V$, $V_{GS}=0V$ 下之 I_B 電



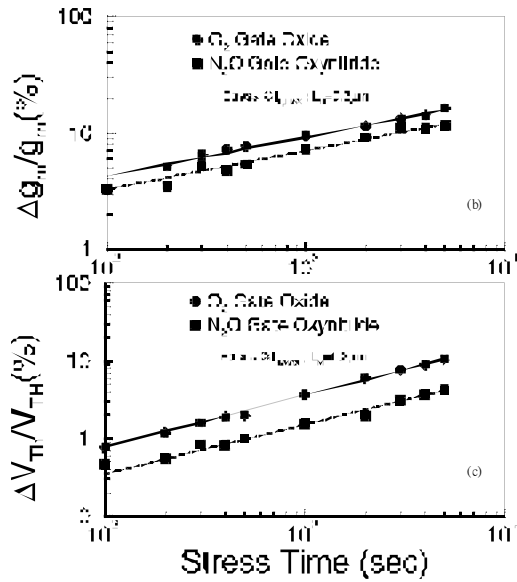


Fig.10 不同材質閘氧化層元件之熱電子退化情形，Stress條件為： $I_{G,max}$ @ $V_{DS}=3.3V$, $V_{GS}=1.8V$ ，分別針對 b , G_m , V_T 進行測試。

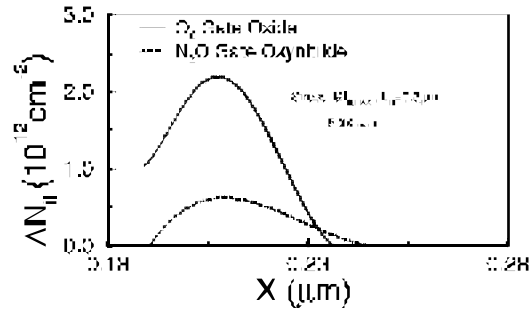


Fig. 11 在 $I_{G,max}$ Stress 下對不同材質閘氧化層元件造成的界面狀態空間分佈情形。

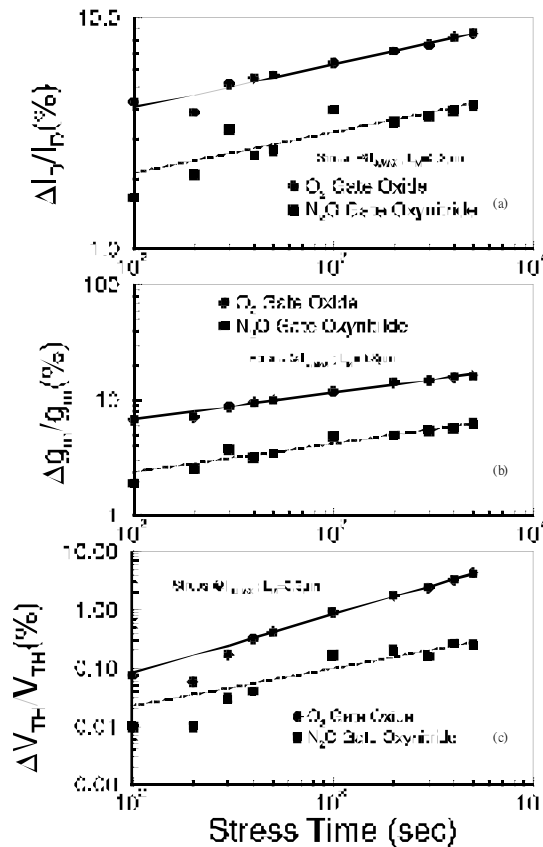


Fig. 12 不同材質閘氧化層元件之熱電子退化情形，Stress條件為： $I_{G,max}$ @ $V_{DS}=3.3V$, $V_{GS}=3.3V$ ，分別針對 b , G_m , V_T 進行測

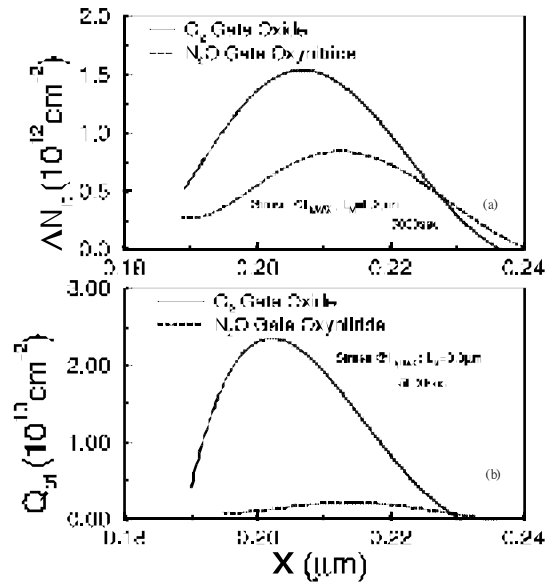


Fig. 13 在 $I_{G,max}$ Stress 下對不同材質閘氧化層元件造成的界面狀態空間與電荷在閘氧化層累積的分佈情形。

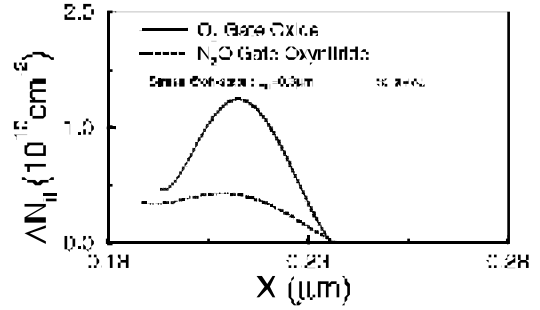


Fig. 14 在 Off-state Stress 下對不同材質閘氧化層元件造成的界面狀態空間分佈情形。在這經由 GIDL 電流檢測，並無電荷在閘氧化層累積。

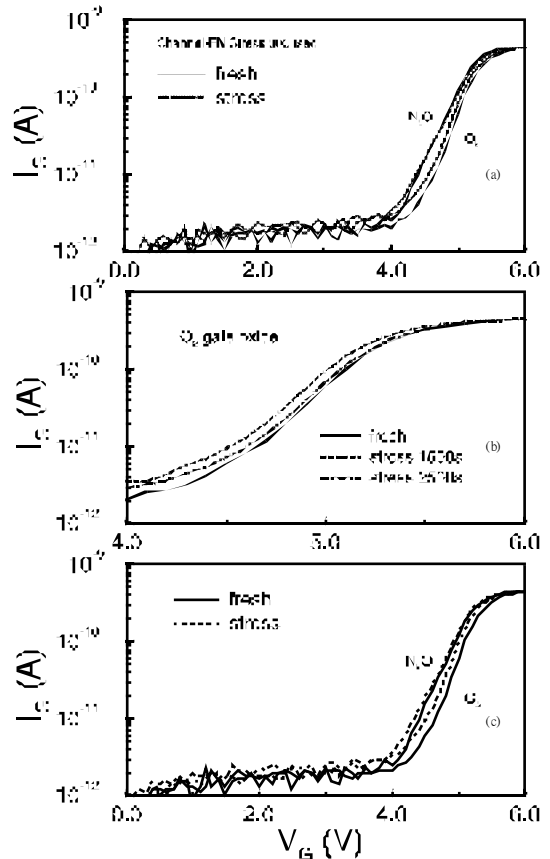


Fig. 15 在 SLC 下對不同氧化層厚度元件造成影響。(a) SLC 在 channel-FN stress 3000sec 之後的結果；(b) 不同時間下，channel-FN stress 的 SLC 時間變化曲線。