

# P通道快閃式記憶元件在長時間寫入抹除後 由熱載子導致的可靠性問題研究

## Hot Carrier Induced Reliability Issues in P-channel Flash Memory After Long Term Program/Erase Cycles

計劃編號：NSC 88-2215-E-009-040

執行時間：87年8月1日至88年7月31日

主持人：莊紹勳 國立交通大學電子工程學系

### 一、中文摘要

在非揮發性記憶體的設計開發中，高性能與高可靠性的快閃式記憶元件已成為必然的趨勢。然而，目前廣為使用的n-型通道快閃式記憶元件因其低注入效能、高功率散失、以及嚴重的擾動問題，使其不適合於低電壓操作與可攜系統之應用。

近年來，p-型通道快閃式記憶元件因其低電壓操作與擾動免疫的優點使其漸漸引起學術及工業界的注意。經由初步的研究發現，p-型通道快閃式記憶元件在長時間寫入（program）與抹除（erase）狀況下，氧化層的傷害（oxide damage）仍十分嚴重，包括界面狀態、氧化層電荷與陷阱等，這些傷害將導致元件特性之退化與可靠性問題，例如操作視窗關閉（window closure）及擾動（disturb）等。因此，這些可靠性問題仍待深入探討。

在本計劃中，我們將針對p-型通道快閃式記憶元件因寫入與抹除所造成之可靠性問題，予以深入的研究與探討。首先，我們設計製作元件一批。經由量測且利用氧化層傷害特性化的方法研究p-型通道快閃式記憶元件的可靠性退化機制，進而探討p-型元件可靠性的相關問題，這包含耐久性（endurance）、速度延遲與擾動（disturb）等特性。我們亦比較n-與p-型通道快閃式記憶元件於性能與可靠性上之差異。最後，由這些結果吾人提出正確的p-型快閃式記憶元件的可靠性設計準則。

關鍵詞：快閃式記憶元件，熱載子可靠性，

氧化層傷害，寫入與抹除週期，界面狀態，氧化層電荷與陷阱。

### 英文摘要

High performance and high reliable Flash memories has become indispensable for the future non-volatile memory design. However, widely used n-channel Flash memory cells have been found to be not well-suited for the application of low voltage and portable system due to its low injection efficiency, high power dissipation, and serious disturb problem.

Recently, p-channel Flash memory has received much attention because of its low voltage operation and disturb resistance. Our preliminary study showed that the oxide damage are still serious in a p-channel Flash memory after long term P/E cycles. These include interface states and oxide charges/traps. They will degrade the device characteristics and give rise to serious reliability problem such as operation window closure and disturb etc. As a consequence, it is mandatory for us to investigate the reliability problems existing in p-channel Flash memories.

In this project, we focus on the reliability studies of p-channel Flash memories after program/erase cycles. First, we designed and fabricated tested devices. Through measurement, we study the degradation mechanisms of p-channel Flash memory by using the oxide damage characterization method we proposed before. Reliability related issues such as endurance, programming delay, and various types of disturb will be tackled. Moreover, comparison of the performance and reliability with n-channel flash memories have also been evaluated. Finally,

a design guideline for p-channel Flash memory with emphasis on reliability has been proposed.

**Keywords :** Flash memory, Hot carrier reliability, Oxide damage, Program/erase cycles, interface state, oxide charge/trap.

## 二、計劃緣由與目的

### (一) 研究背景：

近年來，快閃式記憶體（Flash Memory）已成為當前半導體工業上重要的一環，並且在非揮發性記憶體的市場中，擁有最大的佔有率[1]。一般而言，快閃式記憶體多以n-型通道（n-channel）的元件為主，其主要原因乃基於製程因素之考量，即其製程和n-MOS元件相容。然而，n-型通道的快閃式記憶元件存在下列的缺點，使其不利於低電壓操作及可提攜型系統上的應用。（1）低注入效能（Low Injection Efficiency），（2）高功率散失（High Power Dissipation），以及（3）元件擾動（Cell Disturbance）造成資料流失[2,3]。

由於p-型通道MOS元件的製程技術不斷地提升，使得p-型通道的快閃式記憶元件漸漸成為新的研究重點，並為工業界所認同[4,5]。而且p-型通道快閃式記憶元件較n-型者有更高的注入效能，低功率散失，以及擾動免疫的能力，因此，p-型通道快閃式記憶元件可應用於低電壓操作及可提攜型的系統上。

p-型通道快閃式記憶體的基本操作方式為：（1）寫入操作是採用熱電子注入（Hot Electron Injection）的方式達成，可分為通道熱電洞衝撞游離（Impact Ionization）所產生的熱電子注入[4]與Band-to-Band穿隧（Band-to-Band Tunneling, BTB）所產生的熱電子注入[5]兩種（示於圖一）。而抹除則是採用通道Fowler-Nordheim穿隧（Channel FN Tunneling）的方式（示於圖二）。圖三顯示n-型與p-型快閃式記憶元件其注入效能的比較[6]，明顯地，p-型快閃式元件具有較高的注入效能。圖四顯示n-型與p-型快閃式記憶元件於寫入時的汲極與閘極電流之比較，我們發現p-型快閃式記憶元件具有較大的閘極電流，但卻有較小的汲極電流。亦即p-型快閃式元件於寫入操作時的功率消耗較小。

由於p-型快閃式記憶元件具有上述的優點，因此它可能取代n-型快閃式記憶元件成為下一代快閃式記憶元件之主流。但是，在以往，對於p-型快閃式記憶元件的可靠性研究卻付之闕如，例如操作所產生的氧化層傷害，包括界面狀態（Interface States,  $N_{it}$ ），氧化層電荷（Oxide Charges,  $Q_{ox}$ ）與缺陷（Oxide Traps,  $Q_t$ ）等對元件特性之影響，僅有本研究群於1997 IEDM首次提出一初步的有關p-型快閃式記憶元件可靠性之分析探討[6]。有鑑於此，本計劃中，我們將延續此一研究，針對p-型快閃式記憶元件所面臨的可靠性問題，深入並完整地探討其發生原因與物理機制，及其對元件特性之影響。

### (二) 研究目的與重要性：

本計劃的目的，旨在深入地研究p-通道快閃式記憶元件其所面臨的可靠性問題。並建立其退化機制與物理模式，以期做為p-型快閃式記憶元件考量可靠性因素的設計準則。而此完成的可靠性分析結果，將有立即的工業上應用價值，也有深入的學術探討。

## 三、研究方法及成果

本計劃係針對p-通道快閃式記憶體元件的熱載子可靠性問題，例如元件的耐久性（Endurance），操作速度延遲，以及擾動（Disturb）等問題做一深入且完整的研究，並將與之前本研究群所執行的n-型快閃式記憶元件結果做比較，以評估兩者的優缺點，本計劃中設計製作了兩種具有ETOX結構之快閃式記憶元件如Fig.1所示，其製程參數如Table 1。

元件A乃採用n-通道的快閃式記憶體元件，元件B乃p-通道之快閃式元件。

### (1) n-型通道與p-通道之寫入/抹除特性：

Table 2 列出了3種元件的寫入/抹除特性，n-通道元件採用通道熱載子（CHE）寫入，p-通道則使用Band-to-Band穿隧引致熱電子注入的方式寫入[5]，所有元件皆使用通道FN(CFN)抹除，Fig. 2比較了元件A和B再寫入時之注入效率，注入效率的定義為浮動閘極中收集之電子所佔通道產生電子的比例。在p-通道元件的注入效率大約比n-通道元件高了 $10^6$ 倍，n-與p-通道元件寫入/抹除的特性如Fig. 3中的比較。很明顯地，我們可以從

Fig.3(a)中的  $P_1P_2$  兩點清楚的比較出來，在相同的寫入偏壓下( $V_D=5V$ )p-型通道的元件具有較快的寫入速度。

### (2) 寫入/抹除之耐久性與讀取/閘極擾動

Fig. 4 顯示元件 A 和 B 的耐久性，對 n-型通道元件而言，可以觀察到其操作區間變窄了，相對地在 p-通道元件中卻無此現象發生，在 Figs. 5(a)及(b)中顯示件 A 及 B 再寫入/抹除時的閘極電流退化，n-型通道比 p-型通道寫入/抹除皆有著較多的退化，在[7]中曾提出 n-通道快閃式元件中熱電子閘極電流的退化乃由介面缺陷(Nit)的產生所主導，還有，在 p-通道快閃式元件中，熱電子操作下產生較少介面缺陷[8]，所以 n-通道元件有著較嚴重的寫入/抹除電流退化，進一步說，導致通道抹除電流退化的主要原因是氧化層電荷的產生。從臨界電壓移動( $\Delta V_{TH}$ )-Fig. 5(b)插圖中，我們可以看到在 p-通道元件中幾乎沒有氧化層電荷的產生，Fig. 6 顯示元件 A 和 B 在經過  $10^4$  次寫入/抹除後的讀取擾動，可以發現 p-通道元件的讀取擾動幾乎可以忽略，這可以用 Fig. 7 的能帶圖作解釋，在已抹除元件中電洞會被困在距 Si-SiO<sub>2</sub> 介面  $30\text{\AA}$  處[9]在 Fig. 7 左圖，在 n-通道元件中，當閘極為正偏壓時，電洞將固定其為具有較低的位能障礙而導致較大的 SILC，所以 p-通道快閃式元件具有較佳的讀取擾動特性，相同地，Fig. 8 亦顯示 p-通道有較佳的閘極擾動特性。

### (3) p-通道快閃式記憶體的汲極擾動

雖然 p-通道快閃式元件有許多優點，但是卻有著比 n-通道快閃式元件嚴重的汲極擾動，從 Fig. 9 中可以發現  $\Delta V_{TH}$  對位元線 stress 時間的關係，在 Fig. 9 中，寫入狀態有較大的  $I_G$ ，而這 region I 的閘極電流是由於通道熱電洞引發熱電子注入所產生的，有兩種方法可用來抑制這汲極擾動，第一，使用 DDD 結構來降低水平電場，在 Fig. 9 中顯示，元件不發生汲極擾動的時間可以放大 10 倍。另一個方法，是外加選擇電晶體在記憶體陣列中，這可以有效將同一位元線上的區塊隔絕，而且可以使最大汲極擾動大幅下降，Fig.11 說明傳統 NOR 和 DINOR 結構，以及在 Fig.12 中比較其最大汲極擾動對於區塊數目之關係[10]，我們看到使用 DINOR 結構也可以大幅降低最大汲極擾動。

## 四、結論與討論

過去的研究往往偏重於 n-型通道的快閃式記憶元件技術，然而隨著可提攜的電子產品的需求日益增加，使得元件功率的消耗成為一項重要的考慮因素，由於 p-通道快閃式記憶元件低耗電的特性，使其極可能成為未來的技術主流，於是在本計劃中分別對兩種快閃記憶元件的效能以及可靠度方面做一個比較。

在本計劃中首先比較了 n-通道及 p-通道的效能特性。p-型通道快閃式記憶元件可以 Band-to-Band 穿隧方式來寫入並且有高效率以及低耗電的特性；其次其重覆寫入抹除的耐久性也做一分析，結果顯示 p-通道快閃式記憶元件有較不明顯的操作視窗關閉特性，也顯示出較輕微的元件擾動特性。

然而，p-通道快閃式記憶元件的汲極擾動特性較 n-通道為嚴重，為減輕此一現象，可採用 DDD 結構的元件來降低在擾動時的閘極電流，或是改變元件陣列結構，以 DINOR 或 NAND 等陣列結構有效地隔離元件，並對兩種方式汲極擾動的改變做一分析。由於汲極擾動的現象的減輕，p-通道快閃式記憶元件將在未來工業應用上極具潛力。

本計劃部份研究成果已發表於 1999 年 EDMS 會議[11]，並即將發表於 IEEE Trans. Electron Devices 期刊。

## 五、參考文獻

- [1] P. Pavan, R. Bez, P. Olivo, and E. Zanoni, "Flash memory cell - An overview," *Proc. of the IEEE*, vol. 85, no. 8, pp. 1246-1271, 1997.
- [2] S. Aritome, R. Shirota, G. Hemink, T. Ehdoh, and F. Masuoka, "Reliability issues of Flash memory cells," *Proc. of the IEEE*, vol. 81, no. 5, pp. 776-788, 1993.
- [3] S. Shuto, S. Yamada, S. Aritome, T. Watanabe, and K. Hashimoto, "Read disturb degradation mechanism for source erase flash memories," in *Symp. VLSITech.*, pp. 242-243, 1996.
- [4] C. C.-H. Hsu, A. Acovic, L. Dori, B. Wu, T. Lii, D. Quinlan, D. DiMaria, Y. Taur, M. Wordeman, and T. Ning, "A high speed, low power p-channel flash EEPROM using silicon rich oxide as tunneling dielectric," *Proc. Int'l SSDM*, pp.

- 140-142, 1992.
- [5] T. Ohnakado, K. Mitsunaga, M. Nunoshita, H. Onoda, K. Sakakibara, N. Tsuji, N. Ajika, M. Hatanaka, and H. Miyoshi, "Novel electron injection method using band-to-band tunneling induced hot electron (BBHE) for flash memory with a p-channel cell," in *IEDM Tech. Dig.*, pp. 279-282, 1995.
  - [6] S. S. Chung, S. N. Kuo, C. M. Yih, and T. S. Chao, "Performance and reliability evaluations of p-channel Flash memories with different programming schemes," in *IEDM Tech. Dig.*, pp. 295-298, 1997.
  - [7] S. S. Chung, et al., "A new oxide damage characterization technique for evaluating hot carrier reliability of Flash memory cell after P/E cycles," in *Symp. VLSITech.*, pp. 11-12, 1997.
  - [8] A. Schwerin, W. Hansch, and W. Weber, "The relationship between oxide charge and device degradation: A comparative study of n- and p-channel MOSFET's" *IEEE Trans. Electron Devices*, vol. ED-34, pp. 2493-2500, 1987.
  - [9] Q. D. M. Khosru, et al., "Spatial distribution of trapped holes in SiO<sub>2</sub>," *JAP*, pp. 4738- 4742, 1994.
  - [10] M. Yoshimi, et al., "Drain disturb relaxation by substrate bias selecting scheme for sector erase Flash memory with conventional single stacked gate cell structure," *Extended Abs. of SSDM*, pp. 96-97, 1997.
  - [11] S. Chung et al., to appear in *EDMS*, Nov. 25-26, 1999.