

行政院國家科學委員會專題研究計畫成果報告

國科會專題計畫成果報告 NSC Project Reports

計畫編號：NSC 88-2215-E009-039

執行期限：87年8月1日至88年7月31日

主持人：吳慶源 交大電工系

一、中文摘要

本研究針對未來極大型(ULSI)積體電路所需之重要元件的設計問題進行前瞻性的研究，其中包括元件縮小的準則、可靠性問題、元件結構最佳化、元件模擬及模式的建立、參數粹取的方法及連線RLC延遲等。探討的元件包括本體式金氧半場效電晶體、快閃記憶元件、矽／二氧化矽絕緣場效電晶體等。

關鍵詞：(關鍵詞：極大型積體電路、深次微米元件、設計、分析、可靠性、模擬)

Abstract

This research project is proposed for the advanced studies on future ULSI devices, including device scaling rules, reliability problems, device structure optimization, device simulation and modeling, parameter extraction and RLC delay. The advanced devices under studies include bulk MOSFETs, SOI/MOSFET and Flash EEPROM.

Keywords: ULSI Deep-Submicrometer devices, Design, Characterization, Reliability, Modeling

二、緣由與目的

深次微米技術發展相當快速，典型之技術指標的產品以中央處理系統(CPU)及動態存取記憶體為代表。英代爾的中央處理系統

以0.25微米5層金屬技術生產Pentium III；動態存取記憶也由0.25微米技術進入0.21微米技術生產，預計1999年上述兩種技術指標將進入0.18微米的技術領域。本計畫針對國際深次微米所呈現的兩大問題：元件的模擬與最佳化；多層次連線的延續進行深入的研究。此計畫不但以研發前瞻性的積體電路元件，同時亦培育高階的半導體人才，供國內業界羅致。

三、研究方法

(一) 深次微米MOS 元件的模擬、可靠性及最佳化

深次微米MOS元件由於製程中之複晶閘的再氧化及源洩極的接觸均含呈現瑕疵，以致導引元件通道之雜質的分布重組(Doping Profile Distribution)，使得短通道的臨界電壓上升，此種現象稱為逆向短通道效應(Reverse Short-Channel Effect; RSCE)，此效應與過去常見的洩極感應能障降低(Drain-Induced Barrier Lowering Effects; DIBL)相反，上述兩種效應並存於深次微米MOS元件中，使得元件設計及製造更形複雜與困難，其中DIBL效應供元件臨界電壓變小，次臨界電流變大；RSCE效應則相反，但洩極電場變大，以致形成可靠性的問題。本計畫針對此問題發展成一個二維擴散方程式所解得的二維雜質的重分布模式，並發展此以模式之參數的粹取方法並精確模擬國內外廠家所提供的測試鍵。典型的0.25微米測試鍵量測結果與理論比較如圖一所示，其中圖一(a)維臨界電壓與通到長度的變化圖；圖一(b)為短通道($\alpha=$) MOS次臨界電流在各種洩源極及基本電壓變化的比較圖。根

據此項結果，本計畫利用本實驗室發展的元件模擬器，建立深次微米MOS元件最佳化設計的步驟及方法，並完成0.18微米CMOS元件的最佳化，結果如圖二所示，其中圖2-(a)為元件的輸出特性曲線；圖2-(b)為元件的規格。

(二) 快閃式記憶體之研究

目前快閃是記憶體量產的元件結構以英代爾的ETOX及SST的分閘(Split-Gate)結構為主，其中英代爾的ETOX結構及AMD的擦洗方法因受專利限制，國內工廠大多無法獲得授權生產，只得引進面積較大解不易縮小的分閘結構。本計畫針對此二種快閃記憶元件之縮小的問題進行評估，並進行可能改進方法的研究，其中利用傳統的n及pMOS結構分析元件源、洩極與閘極所產生的帶對帶隧穿效應(Band-to-Band Tunneling Effect)及對快閃式記憶體可靠性的影響，發現既有發表的理論基礎均無法模擬洩源極的帶對帶隧穿電流，對元件物理是一個全新的現象。本研究發展完成一個能模擬此一新現象的解析模式，此一解析模式幾乎可以將所有的n及pMOS結構所產生的帶對帶隧穿電流加予模擬，物理的機制暫命名熱載子感應帶對帶隧穿效應(Hot-Carrier-Induced BTBT)，此一特性值得深入的研究，方可真正掌握最佳化的方法。然而以此一新機制是可以大幅提升快閃記憶體的寫入效率，是否是一項突破有待更進一步的深入研究。目前發展的模式與帶對帶隧穿電流的比較圖如三所示。

(三) 多層金屬連線之RLC的數值分析方法

多層金屬連線所產生的訊號延遲及互相干擾是0.25微米以下高速積體電路設計及製造的主要問題。本計畫除發展完成二度空間的多層金屬連線數值模擬的新方法，可以處理各種形狀金屬層及各種不同介電常數複層絕緣的模擬技術外，亦發展完成三度空間多層連線之電容的模擬方法，以處

理各種形狀金屬層CMP(Chemical-Mechanical Polish)加工所產生之不同介質結構，是目前文獻上所能看到最符合實際多層連線結構最具效率的方法。

(四) SOI / MOS 電晶體的模擬及模式的建立

單晶矽SOI / MOS將是未來0.15微米以下相當重要的極大型積體電路技術，因具有完全的元件隔離及極小的源洩極與基片的離散電容。本計畫已建立完全空乏(Fully-Depleted) MOS的模式，包括短通道完全空乏設計的模式、臨界電壓的模式、I-V電流的模型及電荷模型。另外，亦發展完全空乏之純質複晶體薄膜電晶體的顆粒能障模型及臨界電壓模型。目前單晶矽SOI / MOS的模式只能與數值分析比較，結果良好，但缺乏短通道測試鍵，無法與實際元件作比較。

(五) 結論與討論

在國科會計畫的持續支持下，本計畫已建立良好的深次微米MOS元件最佳化設計技術，完成0.18微米元件的設計，建立深次微米奇特製程現象的模式，完成最佳化元件設計及方法。另外，發展快閃式記憶體之新解析熱載子帶對帶隧穿電流模式，對快閃式記憶體之高效率的寫入將具助益，進一步理論的建立將有助元件的最佳化設計。為因應高速(頻)IC所面臨多層連線所造成的訊號延遲，本計畫亦發展新的三維電容計算方法，以處理各種不同連線形狀及不同介電材質所組成的介電層，對高速(頻)IC設計將有貢獻。此外，本計畫亦對單晶及複晶SOI MOS元件的模式進行研究，並建立創新的模式，對未來SOI MOS元件設計及電路模擬將具貢獻。本研究之成果除培育元件領域高階人才外，已有三篇論文發表於IEEE ED雜誌，另有五篇審查中，成果亦屬相當不錯。

四、成果及討論

(一) 本體式CMOS元件的模擬、分析及模式

(a) 完成 deep submicrometer CMOS testkey 的測量及資料庫的建立 (Leff $<0.25\mu\text{m}$)

(b) 完成 deep submicrometer CMOS testkey 的參數萃取及SUMMOS的模擬。

(c) 完成 deep submicrometer CMOS testkey 的可靠性測量 (stress $\sim 10^6\text{sec}$) 及 charge Pumping 的分析，並著手建立 reliability 的模型。

(d) 建立完成 reverse-channel effect 對 threshold-voltage 的解析模式並與實驗比較(n-及p- channel MOSFET)，並著手建立 I-V 的解析模式。

(e) 完成 Antenna effect 的模擬器及可靠性預測。

(二) Flash EEPROM 元件的模擬、設計及分析

(a) 完成ETOX及Split-Gate元件之縮小的利弊分析，並完成Flash EEPROM testkey 的測量及可靠性分析(含Write及Erase的臨界電壓移動及endurance)。

(b) 完成 SUMMOS 對Flash EEPROM 元件之參數的萃取(含effective channel length, doping profile in substrate & source / drain)等。

(c) 利用 Charge-pumping 方法測出寫及洗動作所產生的interface states及oxide traps的分佈與臨界電壓移動的關係。

(d) 完成 Flash EEPROM 模擬器對元件寫洗動作的特性模擬，以瞭解元件結構對局部interface states 及 oxide traps 產生的關連性 (亦即drain電場分佈與局部interface states及oxide traps 分佈的關係)，並提供製程改進的方法，並進行最佳化的模擬設計。

(三) SOI/MOSFET 及 MESFET 電晶體的模擬、分析及模式建立

(a) 完成SOI/MOS(複晶)測試鍵的測量，並建立元件臨界電壓的二維解析模式，並與 測試鍵比較。

(b) 利用已完成之臨界電壓模式作為基礎，建立SOI/MOS在fully-depleted狀態下的 縮小原理 (Scaling principle)，並建立有層次的最佳化設計流程及 $0.1\mu\text{m}$ 的設計範例，且將設計完成之 $0.1\mu\text{m}$ 的元件特性利用二維模擬器畫出。

(四) 積體電路 RLC 模擬器之建立

(a) 評估完成現有 RLC 連線之各種數值方法，並建立完成三維連線間電容的模擬器。

(b) 改進二維RLC模擬器的運算效率，並建立交叉線Quasi 3D電容的模擬器。

五、結論與討論

本研究計畫在國科會刪減經費的情況下，以十多位博、碩士研究生為主幹，且在國內外熱心提供各種測試鍵下，完成很多特殊的研究，除了培育博士及碩士外，在國際及深次微米元件的物理、解析模式、設計及計測方法屬於領先地位，並藉高水準的論文發表，以提昇我國前進半導體積體電路元件領域的國際地位。同時，培育完成的優秀博、碩士積極參與國內IC產業的研發及生產，進而提昇產業的技術水平。

六、參考文獻

- [1] G. S. Huang and C. Y. Wu, " An Analytic Saturation Model for Drain and Substrate Current of Conventional and LDD MOSFET' s, IEEE Trans. Electron Devices, Vol. ED37, No. 7, pp.16667-1677, July(1990).
- [2] R. K. Perng, P. S. Lin, and C. Y. Wu, "A New Methodology for Developing a Fast Two-Dimensional MOSFET Device", Solid-State Electron., Vol. 34, No. 6, pp. 635-647, (1991)

- [3] P. S. Lin and C. Y. Wu, "A New Simplified Two-Dimensional Model for the Threshold-Voltage of MOSFET's with Nonuniformly Doped Substrate" IEEE Trans. Electron Devices, Vol. ED-38, No. 6, pp. 1376-1383, June(1991).
- [4] S. P. Chin and C. Y. Wu, "A New 2-D Potential Distribution of Short-Gate Length MESFET's and Its Application", IEEE Trans. Electron Devices, Vol. ED-39, No. 8, pp. 1928-1937, Aug. (1992).
- [5] S. P. Chin and C. Y. Wu, "A New Methodology for Two-Dimensional Numerical Simulation of Semiconductor Devices", IEEE Trans. Computer-Aided Design of Integrated Circuits and System, Vol. CAD-11, No. 12, Dec. (1992).
- [6] S. P. Chin and C. Y. Wu, "A New 2-D Analytical Model for the I-V Characteristics of Short Gate-Length MESFET's", IEEE Trans. Electron Devices, Vol. ED-40, No. 4, pp. 712-720, April(1993).
- [7] S. P. Chin and C. Y. Wu, "A New Grid-Generation Method for 2-D Nonplanar Device Simulation", IEEE Trans. Computer-Aided Design of Integrated Circuits and System, Vol. CAD-12, No. 9, pp. 1337-1342, Sept. (1993).
- [8] J. Y. Gwo and C. Y. Wu, "A New 2-D Analytical Threshold Voltage Model for Fully-Depleted Short-Channel SOI MOSFET's", IEEE Trans. Electron Devices, Vol. ED-40, No. 9, pp. 1653-1661, Sept. (1993).
- [9] Y. S. Lou and C. Y. Wu, "A New Oxidation-Resistant CoSi₂ Process for Self-Aligned Silicidation (Salicide) Technology", Solid-State Electron., Vol. 36, No. 1, pp. 75-83, Jan. (1993).
- [10] Y. S. Lou and C. Y. Wu, "A Self-Consistent Characterization Methodology for Schottky-Barrier Diodes and Ohmic Contacts", IEEE Trans Electron Devices, Vol. ED-41, No. 4, pp. 558-566, March(1994).
- [11] K. S. Wen and C. Y. Wu, "A Simple and Accurate Simulation Technique for Flash EEPROM Writing and Its Reliability Issue", Solid-State Electronics, Vol. 38, No. 3, pp. 1373-1379, July(1995).
- [12] Y. S. Lou and C. Y. Wu, "The Effects of Impurity Band on the Electrical Characteristics of the Ohmic Contact", Solid-State Electronics, Vol. 38, No. 1, pp. 163-169, Jan. (1995).
- [13] C. S. Hou and C. Y. Wu, "A 2-D Analytic Model for the Threshold-Voltage of Fully-Depleted Short Gate-Length Si-SOI MESFET's", IEEE Trans. Electron Devices, Vol. ED-42, No. 12, pp. 2156-2162, Dec. (1995).
- [14] H. H. Li and C. Y. Wu, "A Novel Method for Extracting the Effective Channel Length of MOSFETs", IEEE Trans. Electron Devices, Vol. ED-42, No. 5, pp. 856-863, May(1995).
- [15] C. S. Hou and C. Y. Wu, "A Design Strategy for Short Gate-Length SOI-MESFET", Solid-State Electronics, Vol. 39, No. 3, pp. 361-367, March (1996).
- [16] K. S. Wen, H. H. Li, and C. Y. Wu, "A New Gate Current Simulation Technique Considering Si/SiO₂ Interface Trap Generation", Solid-State Electronics, Vol. 38, No. 4, pp. 856-863, May(1995).
- [17] K. Z. Chang and C. Y. Wu, "A Novel PHL-Emitter Bipolar Transistor-Fabrication and Characterization", Solid-State Electronics, Vol. 36, No. 10, pp. 1393-1400, Oct. (1993).
- [18] K. Z. Chang and C. Y. Wu, "Novel Characteristics of the Polysilicon High-Low-Emitter (PHL-Emitter) Bipolar Transistor-Super Current Gain and Zero Activation Energy", Solid-State Electronics, Vol. 37, No. 2, pp. 353-358, Feb. (1994).

- [19] J. J. Maa and C. Y. Wu, "A New Simplified Threshold Voltage Model for n-MOSFET's with Nonuniformly Doped Substrate and Its Applications to MOSFET's Miniaturization", IEEE Trans. Electron Devices, Vol. ED-42, No. 8, pp. 1487-1494, Aug(1995).
- [20] J. J. Maa and C. Y. Wu, "A New Constant-Field Scaling Theory for MOSFET's", IEEE Trans. Electron Devices, Vol. ED-42, No. 7, pp. 1262-1268, July(1995).
- [21] H. -H. Li, Y. -L. Chu and C. -Y. Wu, "A New Simplified Charge Pumping Current Model and its Model Parameter Extraction", IEEE Trans. Electron Devices, Vol. ED-43, No. 11, pp. 1857-1863, Nov. (1996).
- [22] H. H. Li, Y. -L. Chu and C. -Y. Wu, "A Novel Method for Extracting the Metallurgical Channel Length of MOSFET's Using a Single Device", IEEE Electron Device Letters, Vol. EDL-17, No. 3, pp. 85-87, Mar. (1996).
- [23] K. -F. You and C. -Y. Wu, "A Novel Two-Step Etching Process for Reducing Plasma-Induced Oxide Damage", Solid-State Electronics, Vol. 39, No. 5, pp. 689-693, May (1996).
- [24] Y. -S. Jean and C. -Y. Wu, "A New Extraction Algorithm for the Metallurgical Channel Length of Conventional and LDD MOSFET's", IEEE Trans. Electron Devices, Vol. ED-43, No. 6, pp. 946-953, June (1996).
- [25] Y. -S. Jean and C. -Y. Wu, "The Threshold-Voltage Model of MOSFET Devices with Localized Interface Charge", IEEE Trans. Electron Devices, Vol. ED-44, No. 3, pp. 441-447, March (1997).
- [26] H. -H. Li, Y. -L. Chu, and C. -Y. Wu, "A Novel Charge-Pumping Method for Extracting the Lateral Distributions of Interface-Trap and Effective Oxide-trapped Charge Densities in MOSFET Devices", IEEE Trans. Electron Devices, Vol. ED-44, No. 4, pp. 782-791, May (1997).
- [27] C. -M. Wu and C. -Y. Wu, "A New Method for Extracting the Channel-Length Reduction and the Gate-Voltage-Dependent Series Resistance of Counter-Implanted p-MOSFET's", IEEE Trans. Electron Devices, Vol. ED-44, No. 12, pp. 2193-2199, Dec. (1997).
- [28] C. -M. Wu and C. Y. Wu, "A New Method for Extracting the Counter-Implanted Channel Profile of Enhancement-Mode p-MOSFET's", IEEE Trans. Electron Devices, Vol. ED-44, No. 12, pp. 2227-2233, Dec. (1997).
- [29] H. -M. Hou, C. -S. Sheen and C. -Y. Wu, "A Novel Modeling Technique for Efficiently Computing 3-D Capacitances of VLSI Multilevel Interconnections--BFEM", IEEE Trans. Electron Devices, Vol. ED-45, No. 1, pp. 200-205, Jan. (1998).
- [30] K. -F. You, M. -C. Chang and C. -Y. Wu, "A New Simulation Model for Plasma Ashing Process-Induced Oxide Degradation in MOSFET", IEEE Trans. Electron Devices, Vol. ED-45, No. 1, pp. 239-246, Jan. (1998).
- [31] C. -Y. Wu and H. -M. Hou, "An Efficient Transient Modeling for 3-D Multilevel Interconnection in a Stratified Dielectric Medium", Solid-State Electron. Vol. 42, No. 10, pp. 1181-1191, Oct. (1998)
- [32] H. -C. Chen and C. -Y. Wu, "A New Analytical Grain-Barrier Height Model and Its Characterization for Intrinsic Poly-Si Thin-Film Transistor", IEEE Trans. Electron Devices, Vol. ED-45, No. 10, pp. 2245-2247, Oct. (1998)
- [33] H. -M. Hou, C. -S. Sheen and C. -Y. Wu, "A Novel Transient Simulation for 3-D Multilevel Interconnection on Complex Topography", IEEE Trans. Electron Devices, Vol. ED-46, No. 4, pp. 690-695, April (1999)
- [34] H. -L. Chen and C. -Y. Wu, "A New I-V Model Considering the Impact Ionization Effect Initiated by the DIGBL Current for the Intrinsic n-Channel Poly-Si TFT's", IEEE Trans. Electron Devices, Vol. ED-46, No. 4, pp. 722-728, April (1999)
- [35] K. -F. You and C. -Y. Wu, "A New Quasi-2D

Model for Hot-Carrier Band-to-Band Tunneling Current, " IEEE Trans. Electron Devices, Vol. ED-46, No. 6, pp.1174-1179, June (1999)

[36]Y.-L. Chu and D.-W. Lin, and C.-Y. Wu, "A New Charge-Pumping Technique for Profiling the Interface-States and Oxide-Trapped Charges in MOSFET's " IEEE Trans. Electron Devices, Vol. ED-47, No. 2, pp. 348-353, Feb. (2000)

[37]Y.-L. Chu and C.-Y. Wu, " A New Observation of Band-to-Band Tunneling Induced Hot-Carrier Stress Using Charge-Pumping Technique," IEEE Electron Device Letters, Vol. EDL-21, No. 3, pp.123-126, March (2000)

[38]H.-M. Hou, C.-S. Sheen and C.-Y. Wu, "A Novel 3-D Capacitance Modeling for ULSI Multilevel Interconnections on Complex Topography" Submitted to IEEE Trans. Computer-Aided Design of Integrated Circuits and System for publication.

[39]Y.-L. Chu and C.-Y. Wu, "A New Doping Distribution Model for the Reverse Short-Channel Effect of Short-Channel MOSFET's, " Submitted to IEEE Trans. Electron Devices for publication.