

# 行政院國家科學委員會專題研究計畫成果報告

## 積體電路製程中介電層薄膜之材料特性與化學機械拋光之研究(一)

計畫編號：NSC 88-2216-E-006-046

執行期限：87年8月1日至88年7月31日

主持人：曾偉志 成功大學材料科學及工程系

wttsen@mail.ncku.edu.tw

### 一、中文摘要

本計畫在過去一年期間，分析氧化矽及氮化矽介電層薄膜之化學與物理特性，並探討這些特性與其化學機械拋光平坦化(CMP)製程的相互關係。並以上述結果為基礎，建立金屬層間介電層(IMD)的CMP平坦化模式以及淺溝渠隔絕CMP製程最佳平坦化模式。同時，並建立薄膜應力對晶圓在CMP時壓力分佈的力學模式，並進而推測其對拋光率及均勻性的影響。

關鍵詞：化學機械拋光平坦化、介電薄膜、積體電路製程

### Abstract

During the course of this work, physical and chemical characteristics of oxide and nitride dielectric thin films were analyzed, and their correlation with CMP behavior were established. The results were implemented into the planarization process for inter-metal dielectric (IMD) and shallow trench isolation (STI). In addition, a physics-based mechanical model was constructed to calculate the pressure distribution induced by thin film stress. This model was applied successfully to the prediction of CMP removal rate and within-wafer non-uniformity (WIWNU) during polishing.

**Keywords:** Chemical-mechanical polish planarization (CMP), dielectric thin films, ULSI process.

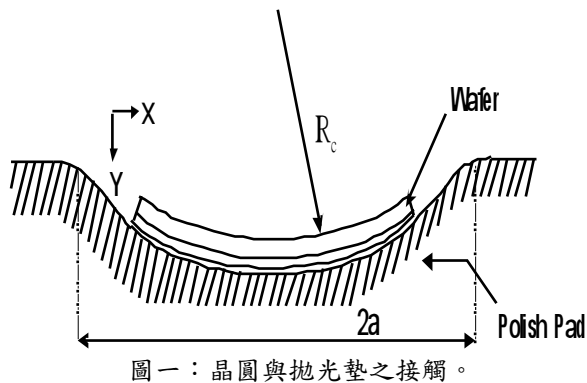
### 二、緣由與目的

本計畫為計畫主持人與清華大學材料科學及工程研究所簡朝和與林振雄兩位教授所共同參與提出的“介電層之化學機械拋光漿料與製程設計”整合型計畫中的子計畫三。也是整個整合型計畫中最下游的CMP製程驗證與模擬的一環。依據原計劃書之規劃，本計畫的主要目標在於“研究介電質薄膜之材料特性，例如應力，折射率，及化學成份如何影響到它們的化學機械拋光製程；以便從材料的觀點，設計出一套最佳化的薄膜與化學機械拋光整合製程，以應用於先進超大型積體電路的製造上”。預定達成之具體目標包括：

- (1) 建立晶圓表面在受壓(正壓及背壓)狀態下之表面型態的力學模型並以實驗驗證之。
- (2) 評估並比較以不同方法(例如熱氧化法及PECVD)成長之矽氧化物及矽氮化物的鍵結型態，密度，應力等特性對CMP製程的影響。
- (3) 將前兩項結果應用在實際元件線路之拋光上以做驗證。並嘗試以調整介電材料特性之方式，改善CMP製程中之選擇性，不均勻性，及平坦度等問題。
- (4) 完成slurry各項化學特性對矽氧化物CMP拋光製程的影響評估，並分析各特性所扮演的角色及比重，並據此建立一初步的實證(empirical)拋光化學定律。

### 三、結果與討論

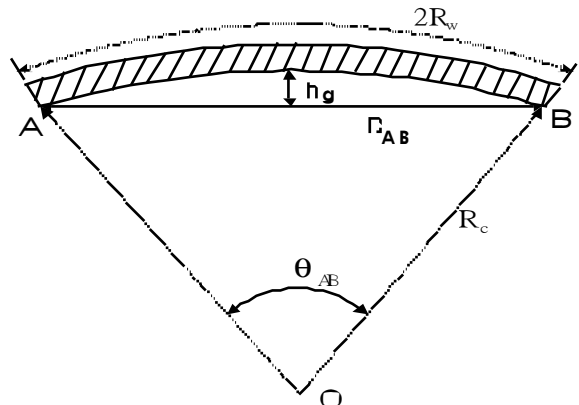
本計畫依據原定規劃，以達成各項目標，具體成果敘述如下：  
 (1)力學模擬及驗證部份：



考慮如圖一及圖二的接觸行為。以接觸應力的觀點，假設 CMP 拋光墊與漿料/晶圓之間的接觸為全彈性 (Hertzian contact)，並忽略漿料流場所引發的黏滯力；則晶圓與拋光墊之間的接觸應力為：<sup>1</sup>

$$P_{\text{contact}} = p_w r_w = \frac{w P_c R_w}{a} \left( \sqrt{\frac{x^2 - r^2}{x^2}} - \sqrt{\frac{x^2}{x^2 - r^2}} \right) \quad [1]$$

其中  $P$  為所施加之 down force 所引發的正向應力。根據上述模式，因晶圓上所鍍上之薄膜而形成的機械應力會導致晶圓曲率半徑的變化；這曲率的變化導致晶圓受正

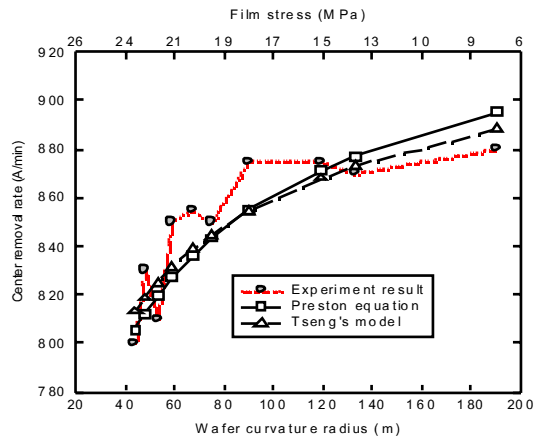


向壓力時產生向上或向下反彈的作用力，而抵消或加強下壓力，同時改變它的分佈情形。而在 CMP 過程中由於薄膜持續被打薄，而使應力及曲率半徑持續改變，進而改變晶圓下壓力分佈而影響拋光率及拋光均勻性(WIWMU)。如圖三所示，受壓縮應力的矽氧化層在 CMP 拋光過程中，應力隨

厚度變薄而逐漸下降，進而導致晶圓中心下壓力增強而使拋光去除率升高。本理論模式預測的結果與實驗結果極為符合。<sup>1</sup>

(2)不同矽氧化物的特性對 CMP 的影響：

如表一所示，當 TEOS/N<sub>2</sub>O 的氣氛比由



表一：矽氧化層(PE-TEOS)特性對 CMP 拋光率(RR)及 BOE 蝕刻率(ER)的影響。<sup>2</sup>

TEOS	T1	T2	T3	T4	T5
Stress (MPa)	386	330	205	38	-44
Density	2.27	2.27	2.26	2.23	2.16
R/R(μm/min)	185.6	218.7	245.6	261.7	333.1
E/R(μm/min)	273.3	301.1	332.1	433.9	898.9

T1 升高至 T5 時，氧化層應力由拉伸變為壓縮時，密度跟著變小，CMP 拋光率及濕式蝕刻率則逐漸變大。以上拋光率的升高應與密度的下降及親水性的增強(Si-OH 鍵的增加)有關。<sup>2</sup>

表二：矽氮化層(PE-SiN<sub>x</sub>)特性與 CMP 拋光率(RR)及 BOE 蝕刻率(ER)的關係。<sup>2</sup>

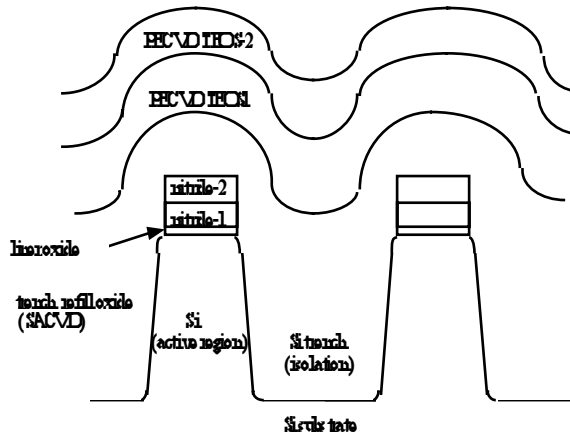
	SIN1	SIN2	SIN3	SIN4	SIN5
RI	2.28	2.06	1.96	1.90	1.89
E/R (μm/min)	400.4	239.4	232.8	230.4	188.4
R/R (μm/min)	211.9	165.8	119.7	99.7	80.0
Density (g/cm <sup>3</sup> )	1.94	2.45	2.52	2.73	3.04

Si-H ( $E^{22} \cdot \text{cm}^{-3}$ )	1.48	1.39	0.87	0.05	0.00
N-H ( $E^{22} \cdot \text{cm}^{-3}$ )	0.27	0.39	0.66	1.21	1.43
Bonding Ratio (Si-H/N-H)	5.48	3.58	1.32	4.05	1.54
Total-H ( $E^{22} \cdot \text{cm}^{-3}$ )	1.76	1.78	1.54	1.36	1.43
Stress (MPa)	490	64	-290	-940	-980

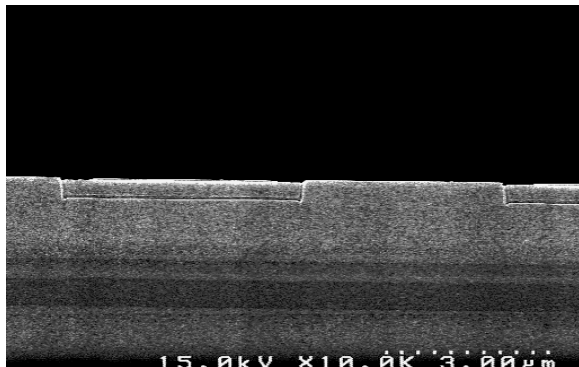
表二顯示出矽氮化物特性與其CMP拋光率之相互關係。當 $\text{SiH}_4/\text{NH}_3$ 氣氛比逐漸降低時(SIN1至SIN5)，矽氮薄膜內的Si-H/N-H鍵結比跟著下降，這使得內部孔隙度下降，密度升高，而導致CMP拋光率降低。

(3)上述成果在實際元件線路製程上之驗證：

運用表一及表二之結果，我們提出了一項運用多層薄膜以輔助淺溝渠隔絕CMP製程達成平坦化，降低dishing及erosion效應的一套方法。<sup>2</sup>如圖四所示，在STI結



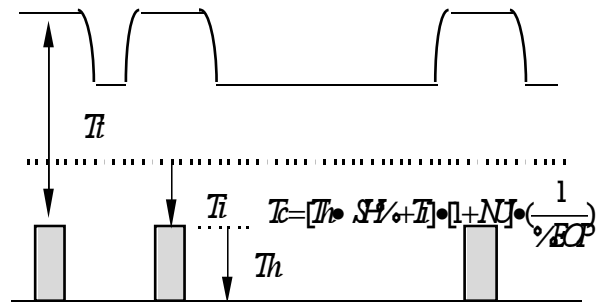
圖四：多層薄膜運用在淺溝渠隔絕CMP製程的一個範例。<sup>2</sup>



圖五：CMP後達成全面平坦化的淺溝渠隔絕結構。

構中的fill oxide可以使用雙層的PE-TEOS氧化層(上層為T5, 400nm; 下層為T1, 200nm); 同樣的, 做為polish stop的矽氮化物也製作成雙層(上層為SIN1, 130nm; 下層為SIN5, 100nm)。藉著控制鍍膜條件改變CMP拋光率, 使得在拋光進行至nitride-2(如圖四)時, 氧化層和氮化層有近乎1:1的拋光選擇性以降低dishing的發生; 而進一步到nitride-1(SIN5)時, 較低的拋光率使的拋光停止在界面上, 形成一self-stopping的機制, 而達成平坦化, 如圖五所示。

此外, 本計劃也以表一中的PE-TEOS氧化層為基礎, 以鍍膜與拋光製程整合的觀點, 提出IMD-CMP平坦化製程最佳化的一套模式。

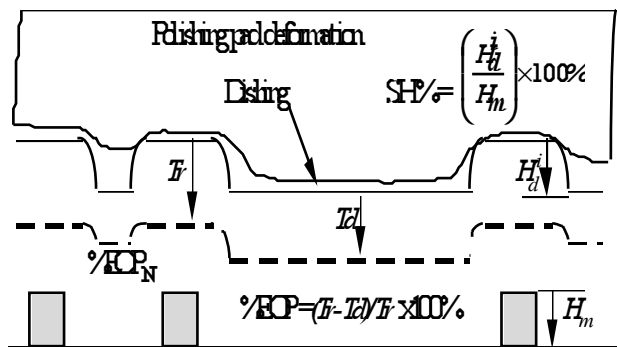


圖六：IMD平坦化模式示意圖(見方程式[2])。

首先, 先對PE-TEOS拋光製程做最佳化, 以田口氏方法找出達到最高拋光率及最低均勻性的製程參數。再來, 考慮PE-TEOS鍍膜的gap filling及step height, 以及線路密度、拋光不均勻性等因素, 達成平坦化所須的拋光時間,  $t_p$ 可表為:<sup>3</sup>

$$t_p = \{[(T_h \cdot SH\%) + T_i] \cdot [1 + NU] \cdot \left(\frac{1}{\%EOP}\right)\} \cdot \left[\frac{1}{(RR_{avg} \pm \sigma)}\right] \quad [2]$$

其中參數如圖六所定義。NU即為WIWNU;  $RR_{avg}$ 為平均拋光率,  $\sigma$ 為其誤差值;  $\%EOP$ 為平坦化效率。反之, 在考慮



圖七：%EOP 及 SH% 的定義。<sup>3</sup>

固定的拋光時間之前途下，上述公式[2]可重新整理而求得 IMD 鍍膜製程所須達到的厚度， $T_c$ ：<sup>3</sup>

$$T_c = [(T_h \cdot SH\%) + T_f] \cdot [1 + NU] \cdot \left(\frac{1}{EOP\%}\right) \quad [3]$$

其中 SH% 及 EOP% 的定義如圖七所示。

運用上述公式[2]與[3]的模式，本研究成功的將 IMD 介電層鍍膜與 CMP 製程做最佳化的整合，使製程 window 加大，並節省達成平坦化的時間。

### 三、計畫成果自評

本計畫順利完成原先規劃的目標，率先建立起薄膜應力對 CMP 影響的力學模式，並以實驗驗證之；同時完成對矽氧及矽氮薄膜特性與其 CMP 製程相互關係的評估，並將其應用在 IMD 及 STI 的線路製作上；並以製程整合的觀點，建立 IMD 製程中鍍膜與拋光平坦化的最佳化數學模式。計畫執行成果已發表國際期刊論文三篇，<sup>1-3</sup> 國際會議論文兩篇<sup>4-5</sup> (獲國科會補助發表)，其中一篇為應邀演講。<sup>5</sup>

本計畫中之實際線路製程驗證部份 (IMD 與 STI) 係與新竹科學園區 IC 廠合作研究，將所開發之製程在實際產品中驗證，並據此申請美國專利一項。<sup>6</sup> 可謂兼顧了學術性及工業實用性。

本計畫之另一特色為結合了多項學門 (力學，材料，化學、微電子) 的觀點及角度

來探討積體電路製程，使得研究成果更為深入而廣泛。

### 四、參考文獻

1. W.-T. Tseng, Y.-H. Wang, J.-H. Chin, "Effects of Film Stress on the CMP Process", *J. Electrochem. Soc.*, **146**(11), in press (1999).
2. C.-F. Lin, W.-T. Tseng, M.-S. Feng, *A ULSI STI process through the integration of multilayered dielectric process and CMP*, *Thin Solid Films*, **347**, 248 (1999).
3. C.-F. Lin, W.-T. Tseng, M.-S. Feng, *Process Optimization and Integration for Silicon Oxide IMD Planarized by CMP*, *J. Electrochem. Soc.*, **146**, 1984 (1999).
4. C.-F. Lin, W.-T. Tseng, M.-S. Feng, *Optimization of CVD Oxide Thickness and CMP Planarization Efficiency for Inter-metal Dielectric Process*, *Proc. CMP-MIC*, p. 390 (1999).
5. W.-T. Tseng, (INVITED SPEECH) *CMP for Integrated Circuit Manufacturing*, *Proc. SEMICON West 1999 Technical Program: CMP Technology for ULSI Interconnection*, San Francisco, CA, July 13, program E, ISBN 1-892568-29-2 (1999).
6. C.-F. Lin, W.-T. Tseng, *High-density plasma enhanced CVD Process in Combination with CMP Process for Preparation and Planarization of Inter-metal Dielectric Layers*, US patent #5920792.