

製作低溫(450°C)鋁閘極複晶矽薄膜電晶體之相關技術研發

Development of 450 °C Fabrication Technology for Polysilicon Thin Film Transistors with Al Gate

計畫編號：NSC 88-2215-E-009-056

執行期限：88/08/01~89/07/31

計畫主持人：葉清發 國立交通大學電子工程學系教授 Email: cfyeh@cc.nctu.edu.tw

一、中文摘要

隨著液晶顯示器玻璃基板的大面積化，為了降低 RC 延遲，必須採用鋁金屬取代傳統複晶矽作閘極。一旦使用玻璃基板及鋁閘極，複晶矽薄膜電晶體 (Poly-Si TFTs) 之製程溫度必須降低至 450°C 以下。在最高溫度 450 °C 的 Poly-Si TFTs 製程中，閘極絕緣層 (Gate Insulator) 的低溫成長技術是一項關鍵製程。在本計畫中，將採用陽極氧化 (Anodic Oxidation) 技術成長高品質的複晶矽氧化膜 (Poly-oxide) 做為 Poly-Si TFTs 的閘極絕緣層。我們將針對陽極氧化時之電壓、電流、溫度、電解液配方、及複晶矽參雜 (Doping)，探討 Poly-oxide 膜之最佳成長條件，並且以 Excimer Laser 來改善陽極氧化 Poly-oxide 膜之膜質特性。另一方面，為了有效降低 Poly-Si TFTs 的漏電流，必須研製具有 Offset 結構之 TFTs。在本計畫中，將利用陽極氧化技術於鋁閘極兩側形成新式 Al₂O₃ Spacer。我們將針對 Al₂O₃ Spacer 不同的需求，分別開發 Barrier Al₂O₃ 及 Porous Al₂O₃ 的陽極氧化技術。最後，我們將應用陽極氧化 Poly-oxide 及 Al₂O₃ 技術，結合子計畫一及子計畫二的研究成果，整合相關關鍵技術，完成高性能 Offset 型 Al-Gate Poly-Si TFTs 的製作。由於 Poly-oxide 閘極絕緣層及 Offset Al₂O₃ Spacer 的研發是本子計畫的重點，均需用到陽極氧化技術，又適市面尚無可供使用之設備，以及國科會近年鼓勵研發半導體製程設備，於計畫中擬自行研發組裝離型級之陽極氧化設備。

(關鍵字：陽極氧化、鋁閘極、複晶矽氧化膜、氧化鋁、複晶矽薄膜電晶體)

Abstract:

Following the usage of large-area glass substrate for liquid crystal displays (LCDs), it is required to utilize aluminum (Al) gate

replacing polysilicon (poly-Si) gate for reducing the RC delay time. When the glass substrate and the Al gate are utilized, the process temperature of poly-Si thin-film transistors (TFTs) must be reduced to below 450 °C. Among the processes of the poly-Si TFTs, the technology of low-temperature grown gate insulator is a key process. In this proposal, we will adopt the anodic oxidation method to grow the high-quality poly-oxide film as gate insulator. We will develop the optimum growth conditions of poly-oxide films through changing voltage, current, temperature, electrolyte, and doping of poly-Si films with anodic oxidation. In addition, we will also use excimer laser annealing to further improve the quality of anodic poly-oxide films. On the other hand, to effectively reduce the leakage current of poly-Si TFTs, it is required to adopt the new TFT structure with offset drain. In this proposal, we will utilize the anodic oxidation technology to form Al₂O₃ spacer on the side-wall of the Al gate. We will develop the anodic oxidation technologies for both barrier Al₂O₃ and porous Al₂O₃ for reliable Al₂O₃ spacer. Finally, we will apply the anodic poly-oxide and Al₂O₃ technologies, and combine the research results in subprojects I and II to perform the fabrication of high-performance offset-type Al-gate poly-Si TFTs. The both growths of poly-oxide gate insulator and Al₂O₃ spacer are the key points of this proposal, and need anodic oxidation method. Moreover, we never find any similar equipment available to anodic oxidation. Recently, the development of semiconductor processing equipment is encouraged by National Science Council. Therefore, we plant to assemble a set of anodic equipment ourselves.

(Keywords: Anodic Oxidation, Al Gate, Poly-oxide, Al₂O₃, Offset, Poly-Si TFTs)

二、計畫緣由與目的：

為了開發大面積、高畫質的主動矩陣式液晶顯示器 (Active Matrix LCD, AMLCD)，同時使用複晶矽薄膜電晶體 (Poly-Si TFTs) 做為畫素 (Pixel) 元件及週邊驅動電路，已是必然的趨勢。為了降低製作成本，必須使用價格便宜、熔點低的玻璃做為基板。另一方面，隨著基板的大面積化，Data Line 及 Select Line 訊號傳輸的 RC 延遲將成為一個嚴重的問題。以低阻值的鋁金屬製作傳輸線，將可大幅降低 RC 值。目前為止，一般畫素 Poly-Si TFTs 採用複晶矽閘極 (Poly-Si Gate)，此複晶矽閘極必須與鋁的 Select Line 連接，才能使畫素薄膜電晶體連接至週邊驅動電路。若 Select Line 傳輸線及畫素 TFTs 的閘極都是由同一層鋁金屬形成，將可減少接觸孔 (Contact) 的製作及降低製程的複雜性，大幅提高液晶顯示器的良率。因此，隨液晶顯示器的大面積化，Poly-Si TFTs 採用鋁閘極有其必要性。於低熔點玻璃基板上製作鋁閘極複晶矽薄膜電晶體時，若製程溫度過高，易使玻璃基板彎曲及鋁閘極表面產生 Hillock，必須限制製程溫度低於 450 °C。本整合型計畫的總目標即以 450 °C 研發鋁閘極 Poly-Si TFTs。

為了在最高 450 °C 的製程溫度下製作出 Poly-Si TFTs，閘極絕緣層 (Gate Insulator) 的低溫成長技術是一項關鍵製程。雖然多種低溫成長閘極絕緣層的方法已陸續被開發出來，包括 LPCVD、PECVD 及 ECR 等。但是，這些方法均需要昂貴的設備、複雜的反應機制與製程參數；當玻璃基板面積越大，設備與製程所面臨的問題越複雜。而且這些方法所成長的絕緣層品質也未臻理想，有不緻密的缺點。本研究群已初步開發出一種新式的絕緣膜成長技術——陽極氧化 (Anodic Oxidation)。此種方法可在室溫溶液中，使加電壓通電流之導體 (或半導體) 表面氧化成高品質絕緣膜，由於設備簡單 (只需一電解槽)、操作容易 (只需監控電壓及電流)，對大尺寸玻璃基板也適用。

三、研究方法與成果

研究方法：

A. 在 P-type 晶圓上沈積 40 nm 厚度的熱氧化層，接著，沈積一層 300 nm 的複

晶矽層 (poly-1)。然後在 0.01% 濃度的檸檬酸溶液中，以 35 volt、3 分鐘的條件進行陽極氧化，為了提供比較，另一份樣品則在 850 度的爐管環境中氧化形成 polyoxide。完成後，再把第二層 300 nm 厚的複晶矽沈積上去。一些陽極氧化的樣品以快速退火爐做 700 度、30 秒、氮氣環境下的退火。在定義出第二層 poly 之後，所有的樣品蓋上一層 500 nm 厚度的 PECVD oxide，做為保護層，接著，開出接觸孔，然後，500 nm 厚的 TiN/Al/TiN/Ti 膜沈積上去並且定義出電極圖樣。最後，所有的樣品於 350 度的氮氣環境中，做 20 分鐘的燒結，從 C-V 的測量結果，陽極氧化與熱氧化的 polyoxide 厚度為 7 nm。

B. 低溫複晶矽薄膜電晶體，可在最大製程溫度 600 °C 下製作完成。首先，分別沈積 100 nm 厚度的複晶矽薄膜與 37 nm 的低溫氧化膜，當作主動層與閘極絕緣層。沈積完 LPD oxide 之後，進行五到十五分鐘的 N₂O 電漿處理，形成 SiN_xO_{2-x} 的組成。接著，採用上閘極結構與自動對準的離子佈值形成源極與汲極。然後，500 nm 厚的 TEOS oxide 沈積上去做為保護層，在定義出接觸孔之後，500 nm 厚的鋁電極沈積並定義出圖案。最後，進行 400 °C，30 分鐘的燒結程序。

研究成果：

A. 圖一是將三種樣品——熱氧化法、陽極氧化與陽極氧化伴隨 700 °C RTA 處理，所繪出的韋伯統計圖表，橫軸為崩潰電壓，其中閘極分別外加正偏壓與逆偏壓做測量。比較結果發現，熱氧化法形成的閘極氧化層其崩潰電壓分佈在 9.1 MV/cm 附近，遠比經過陽極氧化處理的閘極氧化層為低，顯示利用陽極氧化法，在複晶矽層與氧化層間的粗糙程度較低，因此可以擁有比較高的崩潰電壓，這個推論也可從 AFM 圖形上得到進一步的確認。

另外，我們對三種樣品做 40 mA/cm² 和 -40 mA/cm² 的 current stress，如圖二所示，橫軸為 Q_{bd} (charge-to-breakdown)。比較結果發現，以陽極氧化法成長的氧化層因為擁有比較少的缺陷數目，因此

Q_{bd} 較熱氧化法成長的氧化層高，而經過快速升溫退火處理後的 polyoxide，可以進一步改善其膜質特性。

B. 圖三是不同後續處理情況下，LPD-SiO₂ 介面缺陷密度的比較。N₂O 處理後的樣品和剛沈積完的樣品比較，有較小的缺陷密度。原因是氮原子進去填補 Si 與 LPD-oxide 的介面缺陷。

圖四是不同後續處理情況下的 J-E 特性曲線比較。由圖中可知，經過 N₂O 處理的樣品有比較高的崩潰電場。

圖五顯示不同處理過的複晶矽薄膜電晶體 LPD 閘極氧化層的轉移特性曲線圖。N₂O 處理過的樣品改善了許多電特性，譬如驅動電流、閉電流、次臨界斜率以及臨界電壓。

表一總結了所有樣本的元件參數。

四、結論與討論

A. 我們首次使用在複晶矽上做陽極氧化。陽極氧化 polyoxide 與傳統熱處理 polyoxide 比較，具有較高的等效電子位障高度，較高的崩潰電場以及較高的 charge-to-breakdown。在 poly₂ 後的快速熱退火處理可以更加改善陽極氧化 polyoxide 的電特性。從這些優越的特性，我們相信陽極氧化 polyoxide 在非揮發性記憶體的薄 polyoxide 上的應用具有相當高的潛力。

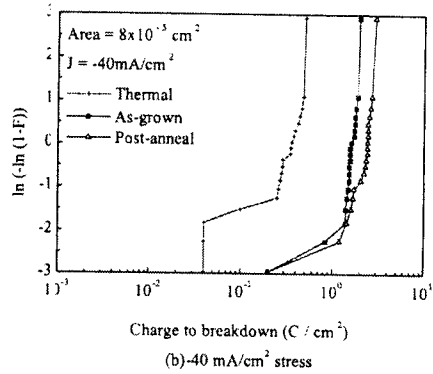
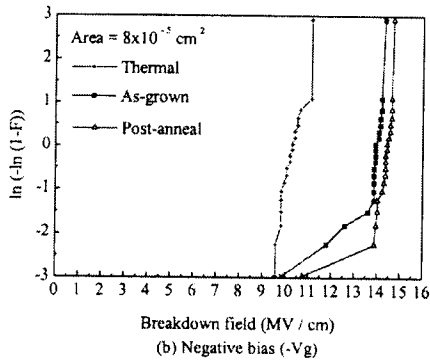
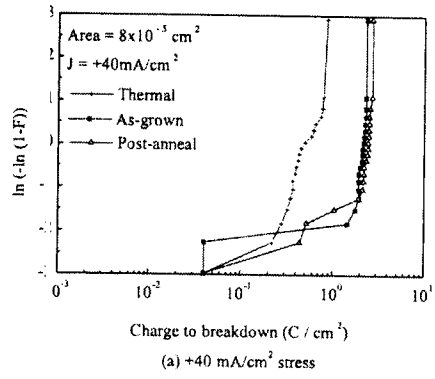
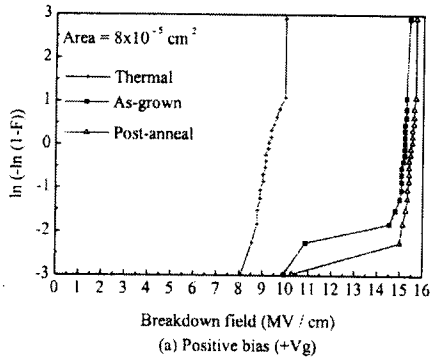
B. 我們利用液相沈積 SiO₂ 加上 N₂O 電漿處理所形成的高信賴性 LPD-SiN_xO_{2-x} 發展出低溫且高品質的閘極氧化層。從物化性及電性的分析，這層 LPD-SiN_xO_{2-x} 顯露出改善的氧化層品質和介面特性，譬如介電常數，矽充滿的現象以及介面缺陷密度。當使用在低溫製程複晶矽薄膜電晶體時，LPD-SiN_xO_{2-x} 薄膜電晶體與爐管退火及 O₂ 電漿處理過的電晶體比較，具有較好的元件表現及信賴性。

五、參考文獻

- [1] 鄭俊一，葉清發，國立交通大學電子研究所碩士論文，中華民國 81 年。
- [2] Ching-Fa Yeh, J. Y. Jao, and J. S. Liu, 1997 Electronic Devices and Materials Symposium, pp. 56-58.
- [3] 葉清發，劉政樹，"非揮發性記憶體元件之複晶矽上氧化膜形成法"，中華民國專利申請中。

- [4] Ching-Fa Yeh, S. S. Lin, C. L. Chen and Y. C. Yang, IEEE Electron Device Lett., vol. 14, no. 8, pp. 403-405, 1993.
- [5] Ching-Fa Yeh, T. Z. Yang, C. L. Chen, T. J. Chen and Y. C. Yang, Jpn. J. Appl. Phys., vol. 32, no. 10, pp. 4472-4478, 1993.
- [6] Ching-Fa Yeh, C. H. Chern, Jpn. J. Appl. Phys., vol. 33, no. 1B, pp. 234-239, 1994.
- [7] Ching-Fa Yeh, S. S. Lin, T. Z. Yang, C. L. Chen and Y. C. Yang, IEEE Electron Device, vol. 41, no. 2, pp. 173-179, 1994.
- [8] Ching-Fa Yeh, C. L. Chen, Y. C. Yang, S. S. Lin, T. Z. Yang, and T. Y. Hong, Jpn. J. Appl. Phys., vol. 33, Part 1, no. 4, pp. 375-379, 1994.
- [9] Ching-Fa Yeh, C. L. Chen, and G. H. Lin, J. Electrochem. Soc., vol. 141, no. 11, pp. 3177-3181, 1994.
- [10] Ching-Fa Yeh, T. Z. Yang, and T. J. Chen, IEEE Electron Devices, vol. 42, no. 2, p. 307, 1995.
- [11] Ching-Fa Yeh, C. L. Chen, W. Lur, and P. W. Yen, Appl. Phys. Lett., vol. 66, no. 8, p. 938, 1995.
- [12] Ching-Fa Yeh, S. S. Lin, and T. Y. Hong, IEEE Electron Device Lett., vol. 16, no. 7, pp. 316-318, 1995.
- [13] Ching-Fa Yeh, S. S. Lin, Microelectronic Engineering, vol. 28, p. 101, 1995.
- [14] Ching-Fa Yeh, and C. L. Chen, J. Electrochem. Soc., vol. 142, no. 10, pp. 3579-3583, 1995.
- [15] Ching-Fa Yeh, and S. S. Lin, J. Non-Crystalline Solids, vol. 187, p. 81, 1995.
- [16] Ching-Fa Yeh, S. S. Lin and C. L. Fan, IEEE Electron Device Lett., vol. 16, no. 11, pp. 473-475, 1995.
- [17] Ching-Fa Yeh, and S. S. Lin, and Water Lu, J. Electrochemical. Soc., vol. 143, no. 8, pp. 2658-2662, 1996.
- [18] Ching-Fa Yeh, T. J. Chen, C. L. Fan and J. S. Kao, IEEE Electron Device Lett., vol. 16, no. 9, pp. 421-423, 1996.
- [19] Ching-Fa Yeh, T. J. Chen, and J. S. Kao, Appl. Phys. Lett., vol. 70, no. 12, pp. 1611-1613, 1997.
- [20] Ching-Fa Yeh, T. J. Chen, and J. N. Jeng, J. Electrochemical. Soc., vol. 144, no. 10, pp. 3645-3649, 1997.
- [21] Ching-Fa Yeh, T. J. Chen, and J. S. Kao, J. Appl. Phys., vol. 83, no. 2, 1998.
- [22] C. F. Yeh, J. S. Liu, and M. C. Chiang, Microelectronic Engineering 48(1999)235-238
- [23] C. F. Yeh, Darren C. Chen, C. Liu, S.T. Lee, C. H. Liu and T. J. Chen IEDM98 269-272

六、圖表

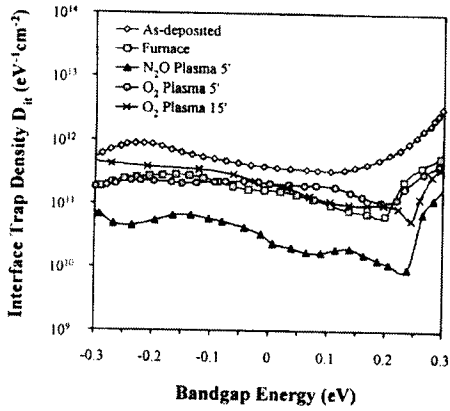


圖一

圖一將三種樣品-熱氧化法、陽極氧化與陽極氧化伴隨700°C RTA處理，所繪出的韋伯統計圖表，橫軸為崩潰電壓，其中閘極分別外加正偏壓(a)與逆偏壓(b)做測量。

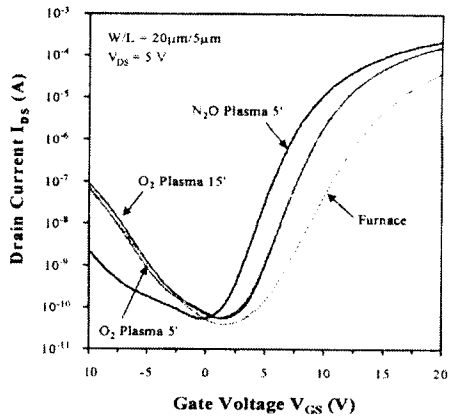
圖二

我們對三種樣品做40 mA/cm²(a)和-40 mA/cm²(b)的current stress，如圖二所示，橫軸為Qbd (charge-to-breakdown)。



圖三

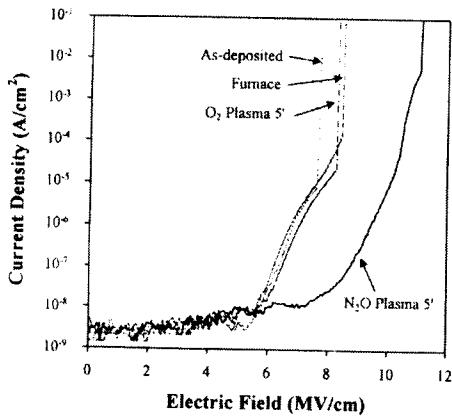
圖三是不同後續處理情況下，LPD-SiO₂介面缺陷密度的比較。



圖四

圖四顯示不同後續處理過的低溫複晶矽薄膜電晶體的轉移特性曲線圖。

表一總結了所有不同後續處理過後的低溫複晶矽薄膜電晶體計算出的元件參數



圖五

圖五是不同後續處理情況下，LPD-SiO₂的J-E特性曲線比較。

Gate Oxide Post-Annealing	V _a (V)	Swing (V/dec)	I _{on} (μA)	I _{off} (pA)	I _{on} /I _{off}	μ _{FE} (cm ² /V sec)	N _t (cm ⁻³)
Furnace	11.89	1.708	37.06	45.70	8.11×10 ⁷	7.71	1.29×10 ¹³
N ₂ O Plasma 5'	7.14	1.250	194.6	59.05	3.30×10 ⁷	16.31	7.55×10 ¹³
N ₂ O Plasma 15'	7.57	1.398	132.1	113.8	1.16×10 ⁷	13.92	6.62×10 ¹³
O ₂ Plasma 5'	8.94	1.304	146.5	99.85	1.46×10 ⁷	14.55	8.01×10 ¹³
O ₂ Plasma 15'	8.93	1.285	148.4	56.10	2.65×10 ⁷	14.80	8.10×10 ¹³