

高密度電子構裝接合與測試載具之開發(III)－總計劃
A Development of Bonding Technology and Test Vehicle
For High Density Electronic Packaging(III)

計劃編號：NSC88-2216-E009-011

執行期限：87年8月1日至88年7月31日

主持人：邱碧秀 國立交通大學電子工程所

共同主持人：謝宗雍 國立交通大學材料科學工程研究所

杜正恭 國立清華大學材料工程學系

一、中文摘要

以多層連線結構 (Multilayer Interconnection Structure)為基礎的多晶片模組 (Multi-Chip Module, MCM)構裝技術為近年來世界各先進電子工業國家為了突破傳統的構裝與連線方法所存的限制，提高積體電路之密度、增進電子產品運作的功能、速度與可靠性，同時縮小其體積與重量，全力開發的新型電子構裝技術。MCM 構裝技術包括含多層連線結構的基板製作 (Substrate Fabrication) 及晶元接合 (Chip Interconnection) 兩大部份，本計劃的目的在探討 MCM 構裝，其研究重點包括高密度構裝接合技術和測試載具之開發，本計劃為三年期計劃之第三年，研究內容包括：無鉛錒錫之潤溼性與錒接點之元素擴散分布，金屬連線及基板可靠性的改進，多層傳導結構基板可靠度的提昇製作研究。

關鍵詞：電子構裝，多晶片模組，多層連線機構

Abstract

Recently the Multi-Chip Module(MCM) has become a new packaging and interconnection approach to overcome the barriers of progress created by conventional packaging technology. It provides electronic equipment with significant reduction in size and weight, together with increase in circuit density, reliability, and high speed electrical performance. The substrate used for MCM packaging containing a multilayer interconnection structure can be fabricated by thick film, thin film, or the co-fired multilayer ceramic(MLC) technology. Among these, the silicon substrate covered with multiple layers of metal conductor and dielectric provides many advantages such as the substrate coefficient of thermal expansion is an exact match with VLSI chips, and thereby becomes the most promising type of substrate for MCM packaging bonding technology. This is the third year of a three-year project, the work studied includes: wettability and diffusional profiles of related constituents in unlead solder joints, as well as reliability enhancement of multilayer substrates and interconnection.

Keywords:electronic package, multichip module, multilayer interconnection structure

二、緣由與目的

本整合計劃包括電子構裝接合技術之改進與材料之研究，其目標係對一特定電路組件之構裝結構進行改善，研究之內容包括電路設計、接合技術與構裝基板製成，最終之目標則在改善現有之連線技術，並建立一測試載具之製程技術以供高密度電子構裝之用。我們擇定一脈寬調變器(Pulse-Width Modulation)為本計劃預定完成之構裝改良對象，脈寬調變器常見於脈寬調變整流器上，它常可在馬達控制驅動器的電路上看見。由於目前有一趨勢，將馬達的所有驅動電路全嵌進馬達的後機殼上，使用者只需輸入控制訊號便可線性驅動馬達。傳統的馬達電路一般為 PCB 構裝，故如何改變現有之構裝，並縮小產品之體積及提昇其功能以符合前述之需求為值得探討之題目，因而我們以此為研究之範例，就如何改變電路結構與佈局設計，元件與基板間之接合技術，新型構裝基板之製成以取代原有之 PCB 基板構裝等方面進行研究，以製成一新型之脈寬調變電路之構裝，以達成縮短電路訊號傳播的距離並達成功能提昇與體積縮小化為本計劃之全程目標。

本計劃之研究主要包括元件/基板接合技術與構裝基板製成兩部份。接合技術由杜正恭教授主持（子計劃一）；基板製成由邱碧秀教授與謝宗雍教授主持，此部份之研究將結合電路佈局設計，以取代傳統之 PCB 基板達成構裝之縮小化之具 X-Y 方向電路之高密度多層傳導結構基板的製成為目標，邱碧秀教授負責薄膜傳導電路可靠度改進之研究（子計劃二），謝宗雍教授則負責多層傳導結構基板之製作及可靠度提昇研究（子計劃三）。

三、結果與討論

因應現代化設計的趨勢，電子產品必須兼具袖珍及多功能的特性，因此衍生出

COB(Chip On Board)、BGA(Ball Grid Array)等接合技術，BGA(Ball Grid Array)及 COB(Chip on Board)電子元件封裝技術之鉍錫接點可能因較差之潤濕性、時效老化或疲勞問題而損壞，其中潤濕性及介金屬化合物之生成成信是較大的主因。而長期使用中因溫度變化或電源所造成的熱膨脹問題，亦是實際情況下不容忽視的課題。因之鉍接點之時效衰化，熱疲勞破裂或潛變等現象乃是微電子構裝工業中需慎重考慮希冀徹底了解的主要議題。

而欲探討鉍接點之強度及介金屬化合物在上述問題所扮演之角色，就必須對鉍接點潤濕性及金屬化合物之成長情形與成長機構有更深入的了解。子計劃一乃在於探討各種鉍錫與導電膜（膠）間之接觸角、結合時介面處之介金屬化合物之成長動力情形，在前期的計劃中執行時所容出之鉍錫（錫-銀，錫-鉍）將於本期計劃付諸於實際之鉍接工作，其介金屬之成長情形及動力擴散將配合可行之成長理論作探討，以期提供無鉛鉍錫接點之可靠度評估 並希望為未來微電子工業之無鉛鉍錫接點的研究可行性作先趨。

研究成果顯示三元鉍錫 Sn-Ag-Bi 中，Ag/Sn 重量比皆滿足共晶組成 ($3.5/96.5=0.036$)，Bi 成分添加為 4 至 6 wt %。配置後之三元鉍錫，有主要的三個相存在，分別為富 Sn 相，富 Ag，及富 B 相。隨著 Bi 含量之增加，三元鉍錫之熔點、熱膨脹係數及與金屬化基板之接觸角有明顯下降之現象。主要是因為 Bi 相對於 Sn 及 Ag 具有較低熔點、熱膨脹性質及表面張力。

利用鉍錫各組成成份之含量及表面力公式計算出之三元鉍錫表面張力數值與 wetting balance test 所測得之數據甚為相似。故在 4~6 wt %Bi 含量所組成之共晶錫銀及鉍三元鉍錫，其經計算所得之數值，是值得參考的。

隨著 Sn-Bi 鉍錫溫度升高(179~240°C)，其與 Cu/Al₂O₃ 及 Pt/Al₂O₃ 基板間之接觸角明顯

地由 130° 降為 60° 至 40° 間。再者，隨著 flux 添加於基板上之量增加，Sn-Bi/Cu/Al₂O₃ 及 Sn-Bi/ Pt/Al₂O₃ 之接觸角有明顯下降之現象，主要是因基板之表面張力由 30dynes/cm 增加至 70dynes/cm 之故。

在無鉛鉛錫與 Cu/Al₂O₃ 構件之時效過程中，金屬間化合物生成機制通常為擴散機制。金屬間化合物 Cu₃Sn(ε) 及 Cu₆Sn₅(η) 之活化能經計算後分別為 57.03KJ/mol 及 33.76KJ/mol。

經由 Matano plane 可決定鉛錫與 Cu/Al₂O₃ 基板間元素接散所形成之初接觸面。且初接觸面位於 Cu₆Sn₅(η) 之位置處。隨著時效時間的增加，Cu₃Sn(ε) 朝向 Cu/Al₂O₃ 成長；Cu₆Sn₅(η) 朝鉛錫方向成長。是故此法可提供與 IMC 生成種類及厚度相關的預測，進而選擇所需之 IMC 條件，以增進銲接點之韌性。

子計劃二是以銅及聚亞醯胺為金屬化材料，並以濺鍍法及舉離法(Lift-off)來製備銅的導線，電遷移實驗是以四點探針的 Kelvin 結構來量測導線的電阻變化。由 "Resistance-changes Method" 來求得電遷移活化能。本實驗的目的是要觀察聚亞醯胺造成銅導線的毒化效應以及金屬導線上的保護層對電遷移的影響。

聚亞醯胺是一種有機聚合物，具有低介電常數(K=2.5-3.5)、平坦化、低孔洞率、製程簡單等優點，是未來介電材料的趨勢。然而，本研究中觀察到聚亞醯胺在熱處理過程中，聚亞醯胺的揮發物質會擴散至銅導線而對銅導線造成破壞即毒化效應。毒化效應會造成整條金屬導線的劣化使導線電阻值在電遷移實驗中快速的上升。因此，在銅導線和聚亞醯胺間需墊上一層擴散阻障層。本實驗中使用正矽酸乙酯(TEOS)，聚亞醯胺/TEOS 和聚亞醯胺等不同的覆蓋來探討聚亞醯胺造成的毒化效應。且這些結構都能避免在高溫的電遷移實驗中所遇到的氧化問題。

實驗結果顯示，聚亞醯胺在 400°C 的熱處理後有 91% 的熱重損失。聚亞醯胺的揮發物質若至擴散周圍的材質，如銅膜，即會成為污染的來源。熱差分析中，聚亞醯胺在超過 600°C 後有 100% 的熱重損失。因此聚亞醯胺在 600°C 下能維持其熱穩定性。

為了抑制雜質原子的擴散，在聚亞醯胺和銅膜之間需要有一擴散阻障層，本實驗採用了三種測試結構。實驗結果顯示：150nm 厚的 TEOS 在電遷移實驗中可以有效的當作擴散阻障層。

子計劃三延續前兩年對 MCM-D 構裝用多層迴線基板之製作研究，探討反應式離子蝕刻(Reactive Ion Etching, RIE)應用於導孔成型之過程，系統功率、壓力、CHF₃/O₂ 氣體組成比率等實驗變數對導孔形狀之影響，以了解導孔壁之傾斜程度對後續導孔填充製程之影響，以期能應用於具有 X-Y 電路結構的多層連線基板之製作。實驗結果顯示，功率之增加也增加 RIE 過程之直流偏壓，進而增加正向蝕刻速度；增加系統壓力亦增加自由基之數目，其將提高側向蝕刻的速度；CHF₃/O₂ 比率增加時，蝕刻速度增加，但隨氫清潔效應與碳膜保護之效應之出現，蝕刻速度將降低，其中側向蝕刻速度在 CHF₃ 為 15% 時達最大值，導孔壁之傾斜角亦達最小，正向蝕刻速度則在 CHF₃ 為 10% 時達最大值。在 200W，400mTorr 之範圍內，導孔壁之傾斜角約為 76°；RIE 蝕刻完成的導孔可以 400mTorr 之純氧電漿清除底部的殘餘物，並以氫氣電漿清除側壁之草叢狀殘餘以利導體在導孔壁之覆蓋。

四、計劃成果、自評及結論

本計劃今年度各子計劃分別就其所需知識和技術作收集和研究，並作部份整合。子計劃之研究成果豐碩，已撰寫完成數篇論文，投稿國外期刊。

子計劃一之研究成果可提供 IMC 生成種類及厚度相關的預測，進而選擇所需之 IMC 條件以增進銲接的韌性，提昇電子構裝的可靠度。

子計劃二由聚亞醯胺的 DDSC 熱分析看出固化反應在 210°C 即進行完畢。這可以從傅立葉轉換紅外線光譜得到驗證。由熱重/熱差分析，觀察到聚亞醯胺在 400°C 以下有 91% 的熱重損失。聚亞醯胺在熱處理中所產生的揮發性物質，會對銅薄膜造成傷害。因此，實驗中使用 50nm 和 150nm 厚的 TEOS 來當作銅膜與聚亞醯胺之間的擴散阻障層。150nm 厚的 TEOS 能有效的阻擋聚亞醯胺揮發物質的擴散，但是 50nm 厚的 TEOS 則否。銅的電遷移活化能在使用聚亞醯胺的覆蓋後由 0.64eV 上升到 0.82eV。銅金屬離子的移動路徑主要是經過 SiO₂/Cu 的接面，銅膜的薄化也在實驗中觀察到。有助於對銅接合可靠度提昇之瞭解。

子計劃三探討 RIE 技術在導孔成型製程之應用，研究系統功率、壓力、CHF₃/O₂ 氣體組成比率等實驗變數對導孔形狀之影響，以了解導孔壁之傾斜程度對後續導孔填充製程之影響，以期能應用於具有 X-Y 電路結構的多層連線基板之製作。