

# 行政院國家科學委員會專題研究計畫成果報告

\*\*\*\*\*  
\*  
\* 化學氣相沉積氧化鉬在 NOBLE 金屬之動態隨機記憶體電容器 \*  
\* 之研究 \*  
\*  
\*\*\*\*\*

計畫類別：個別型計畫      整合型計畫

計劃編號：NSC88-2215-1009-035

執行期間：87年8月1日至88年7月31日

計劃主持人：羅正忠 國立交通大學電子研究所副教授

共同主持人：孫喜眾 國立交通大學電子研究所副教授

處理方式：可立即對外提供參考  
一年後可對外提供參考  
兩年後可對外提供參考

執行單位：國立交通大學電子研究所

中華民國 88 年 3 月 24 日

## 一. 摘要

此計畫之目的，主要是針對化學氣相沈積氧化鉭 ( $Ta_2O_5$ ) 薄膜沈積於 NOBLE 金屬上後，對於其在電性與物性的表現特性，加以深入研究探討。因此 MIM (Metal / Insulator ( $Ta_2O_5$ ) / Metal) 的電容結構，便是此計畫所主要的研究架構。實驗中所採用的下電極基板的材質包括錫、氮化錫和  $N^+$ -poly Si。為了符合 256M 和 1G bit DRAM 電容器的需求，此實驗中的  $Ta_2O_5$  薄膜厚度將予以儘量降低，以求高電荷儲存密度。由於直接在 Si 基板上沈積氧化鉭薄膜，於高溫的環境下或較低溫的電漿環境下進行薄膜熱處理，在  $Ta_2O_5$ / Si 介面處將發生氧化作用，而促使介面氧化層  $SiO_2$  產生，此種電容結構將使得單位面積上的有效電容值變小，進而降低有效介電常數值。此時若能採用抗氧化能力強的金屬作為下電極層，則可以有效地降低、防止介面氧化層的形成，從而獲得較大的有效電容值。

**關鍵詞：** 氧化鉭，漏電流，高介電常數材料。

## 二. 計畫緣由與目的

對於金氧半電容器或薄層電晶體閘級絕緣層而言，當元件的尺寸縮小時，爲了獲得元件所需的電容值，則必須使絕緣層的厚度變薄。但對傳統的絕緣層（ $\text{SiO}_2$ ）而言，當薄膜厚度降至  $40\text{\AA}$  以下時，其介電強度將相對的變弱，同時其缺陷密度亦會變大，此將衍生出許多不利的條件，如漏電流變大等等。

對於傳統的絕緣材料  $\text{SiO}_2$ ，在元件微小化的趨勢之下，已逐漸無法再提供良好的材料特性於元件的應用、製作上。因此在 256 Mb DRAM 的製程應用上，“ $\text{Ta}_2\text{O}_5$ ”受到極爲廣泛的研究與討論。其中主要的原因是由於  $\text{Ta}_2\text{O}_5$  ( $\epsilon_r \doteq 22\sim 25$ ) 比  $\text{SiO}_2$  ( $\epsilon_r \doteq 3.9$ ) 具有較高的介電常數，可用於彌補  $\text{SiO}_2$  於元件尺寸縮小化時所無法克服的缺陷。但是由於沈積成長出的氧化鉭（ $\text{Ta}_2\text{O}_5$ ）薄膜具有薄膜結構組成不均勻、具有高密度的氧空缺及多孔隙的特性，再加上於製程中的碳、氫等雜質的存在，而使得薄膜具有極大的漏電流特性。若 DRAM 具有此種高漏電流特性，則必須時常對電容器進行電荷恢復（refresh）的動作，這是不希望得到的結果。一般以各種方式如化學氣相沈積（CVD）、濺鍍（Sputtering）等方式所成長的  $\text{Ta}_2\text{O}_5$  薄膜，爲了改善其電特性，皆會對沈積後之  $\text{Ta}_2\text{O}_5$  薄膜進行高溫熱處理（約  $700^\circ\text{C}$  以上），此舉雖可使薄膜之漏電特性大幅降低，但是此舉也會對元件的其它特性（如 Shallow Junction 的製作困難、介面氧化層產生等）產生嚴重的影響。因此本計畫是利用低溫電漿“Plasma”熱處理的方式，對  $\text{Ta}_2\text{O}_5$  薄膜進行漏電特性改善。考慮採用此種低溫處理的方式，最主要的原因是其可以有效的降低熱處理過程對元件所可能造成的不良影響。有效的迴避了以往高溫熱處理的方法時，對電容器所可能產生的不良影響。

### 三. 研究方法及成果

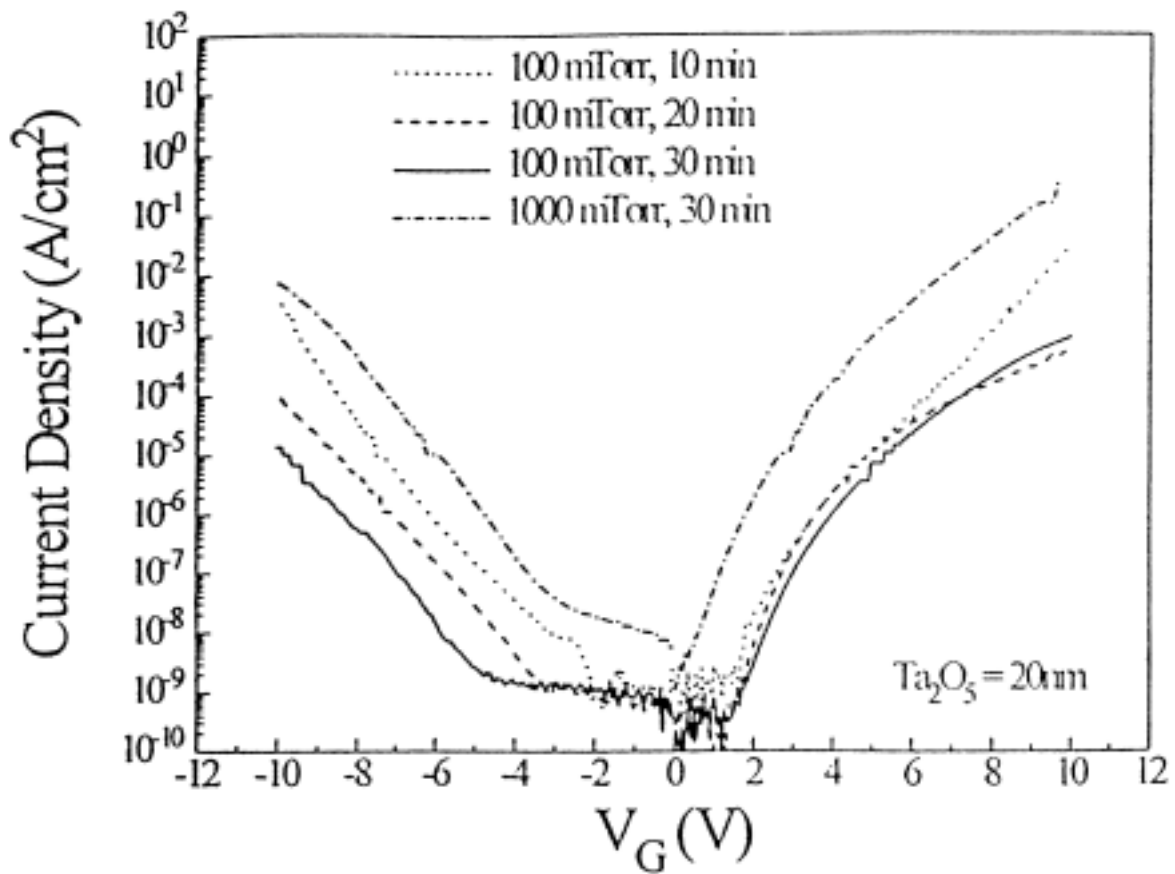
圖 1 所示為以複晶矽 ( $N^+$ -poly Si) 作為底電極，經過功率強度 300Watt 的電漿熱處理後的電流-電壓 (I-V) 特性量測。由圖中結果可以明確得知，在較低的氣體壓力下及較長時間的熱處理過後，電容漏電流可以有效的被抑制下來。由圖 2 可以得知，其介電值在低壓的環境下熱處理後，將會嚴重的衰減。表示氧化鉭電容以複晶矽 ( $N^+$ -poly Si) 作為底電極，在較低的壓力下進行熱處理，將會在氧化鉭與複晶矽的介面處產生較厚的介面氧化層 ( $SiO_2$ )。由圖 3 所示得知，氧化鉭薄膜在功率強度 300Watt、氣體壓力 1000mtorr 的條件下，以氧氣電漿 ( $O_2$  plasma) 熱處理 30 分鐘後，其電流電壓特性與傳統以爐管 (furnace) 進行高溫  $800^\circ C$ 、30 分鐘熱處理後的特性是相當的。圖 4 與圖 5 表示的是在不同的底電極結構下，分別以氧氣電漿 ( $O_2$  plasma) 或一氧化二氮電漿 ( $N_2O$  plasma) 對薄膜進行低溫熱處理後的電流電壓特性。薄膜經過  $N_2O$  plasma 熱處理過後，其漏電流將比以  $O_2$  plasma 進行熱處理後的薄膜漏電要小。圖 6 所示為氧化鉭電容器在不同處理後的相對有效二氧化矽 (effective  $SiO_2$  thickness) 等效厚度。氧化鉭薄膜經過  $N_2O$  plasma 熱處理過後，由於  $N_2O$  plasma 具有較強的氧化能力，所以其介面氧化的效應將會較顯著，所以其相對二氧化矽等效厚度將會比較厚。如先前所期望的，以鎢 (W) 或氮化鎢 (WN) 作為底電極的氧化鉭電容器，具有較低的相對二氧化矽等效厚度。主要的原因就是在氧化鉭與金屬底電極的介面處，不易因熱處理產生介面氧化層，使得電容器可以繼續維持高電容值，此外亦可有效降低薄膜漏電流。

## 四. 結論及討論

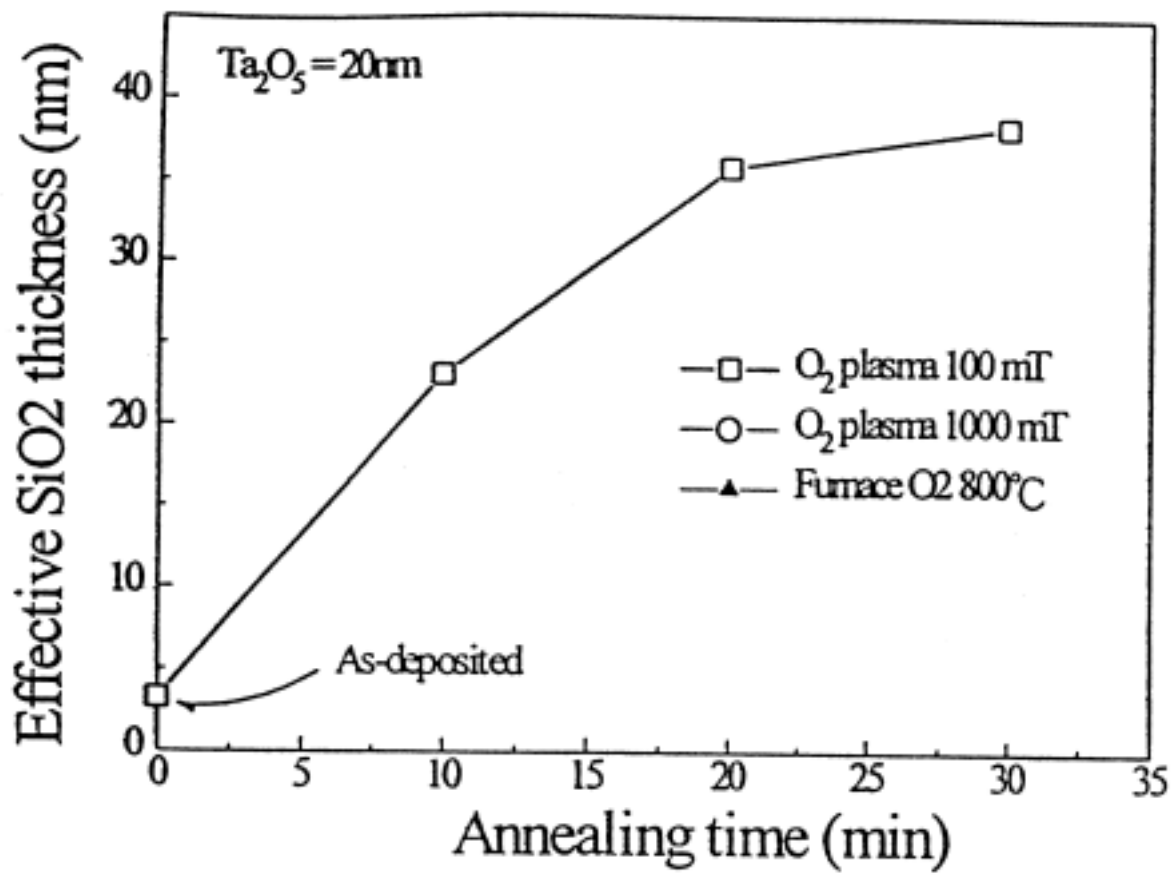
雖然在較低的氣體壓力下進行熱處理，可以有效的降低薄膜漏電流，但此舉也會使得電容器的介電值變低。N<sub>2</sub>O plasma annealing shows no benefits in leakage reduction and slightly increase the effective thickness. 以鎢 ( W ) 或氮化鎢 ( WN ) 作為底電極的氧化鉭電容器，其電流電壓特性與以複晶矽 ( N<sup>+</sup>-poly Si ) 作為底電極的電容器所量測出的結果是相當的，但是在其介面處並不會像以複晶矽 ( N<sup>+</sup>-poly Si ) 作為底電極的電容器那麼容易產生氧化層 ( SiO<sub>2</sub> )。在過高或過低的電漿功率強度下進行熱處理，將會導致薄膜漏電流特性變差。總而言之，以電漿進行低溫熱處理要比傳統以高溫爐管熱處理的方式要好。

## 五. 參考文獻

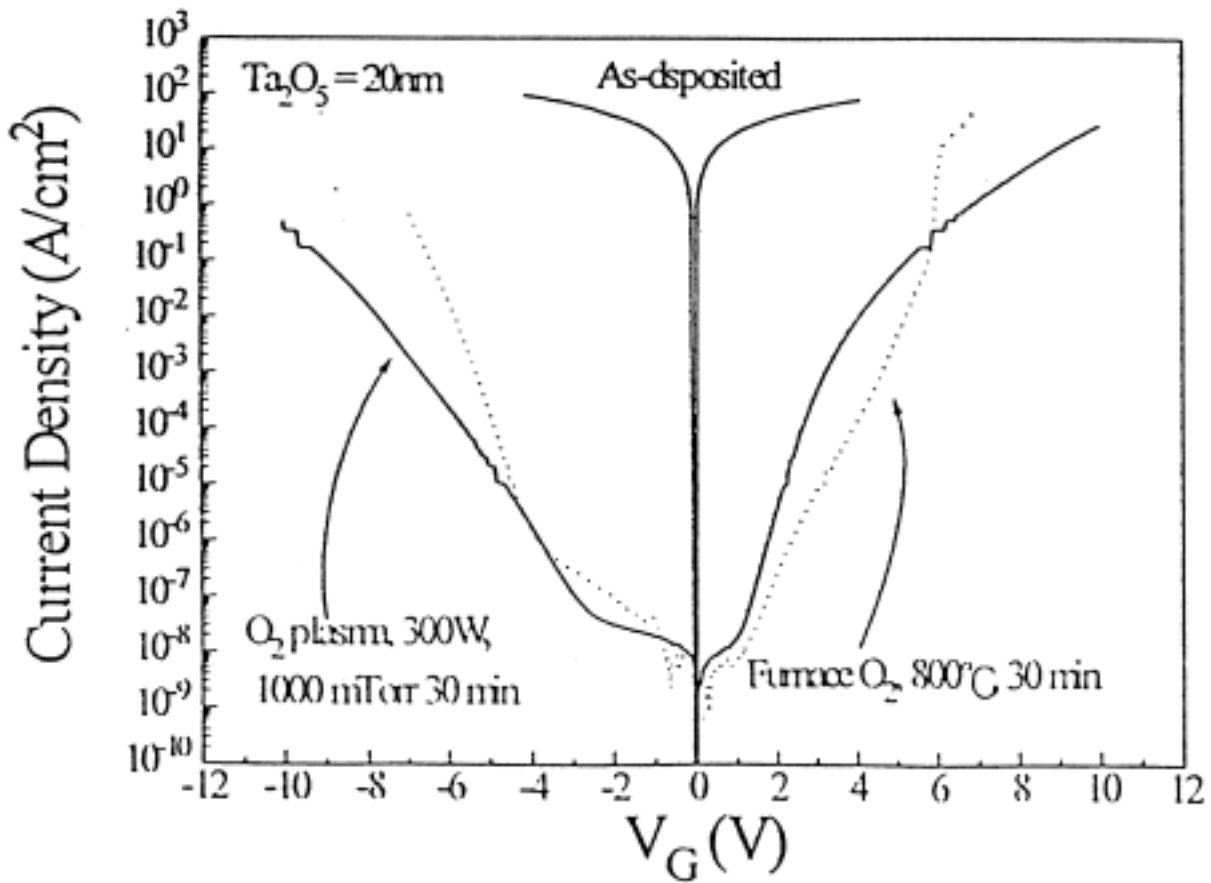
1. Y. Ohji et al., "Ta<sub>2</sub>O<sub>5</sub> capacitors' dielectric material for giga-bit DRAM", in IEDM Tech. Dig., p.111, 1995
2. L. K. Han, "Effects of post-deposition annealing on the electrical properties and reliability of ultrathin chemical vapor deposited Ta<sub>2</sub>O<sub>5</sub> films", IEEE Electron Device Lett., vol.15, p.280, 1994
3. S. Kmiyama et al., "Highly reliable 2.5nm Ta<sub>2</sub>O<sub>5</sub> capacitor process technology for 256 Mbit DRAMs", in IEDM Tech. Dig., p.827, 1991
4. G. Q. Lo et al., "Highly reliable, high-C DRAM storage capacitors with CVD Ta<sub>2</sub>O<sub>5</sub> films on rugged polysilicon", IEEE Electron Device Lett., vol.14, p.216, 1993



- 1 : Leakage current characteristics for different  $O_2$ -plasma treatment. All samples are with  $N^+$ -poly bottom electrode and the plasma power is 300W.

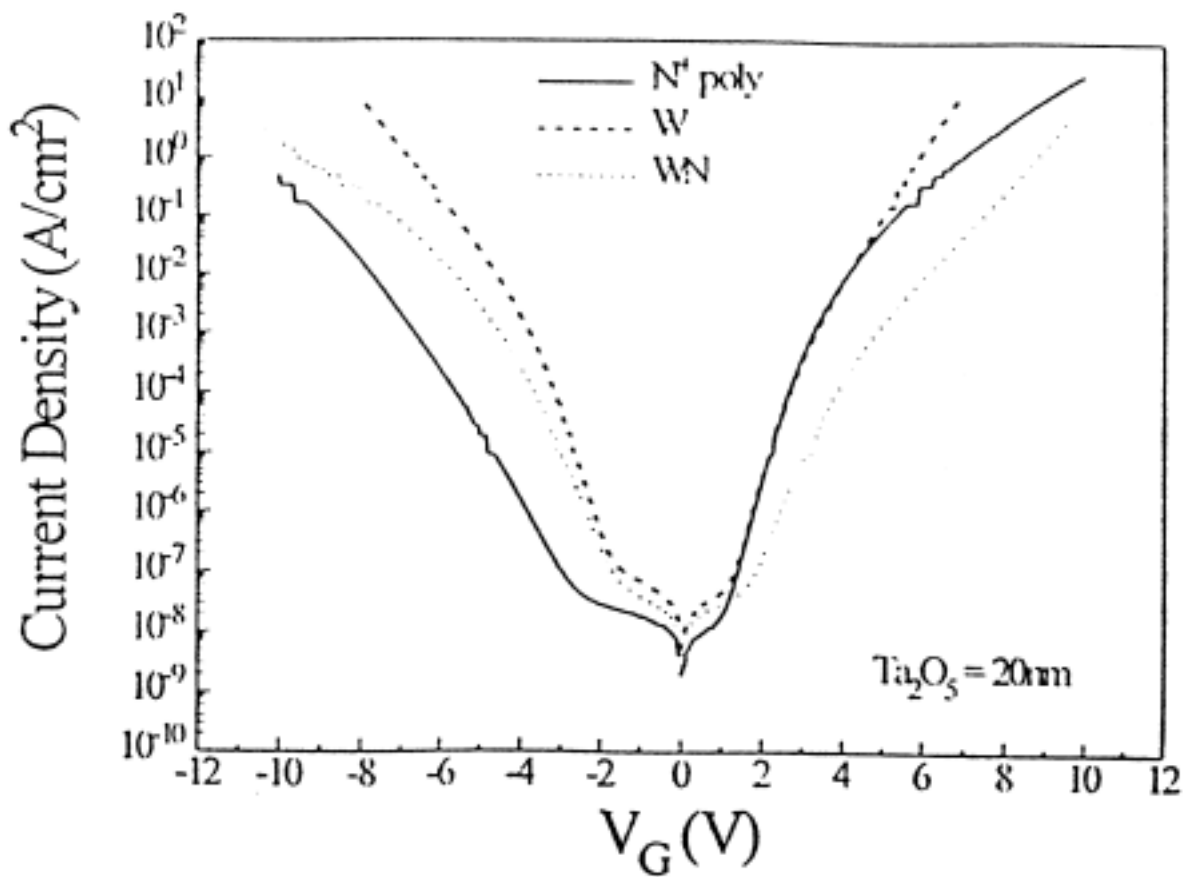


2 : Effective SiO<sub>2</sub> thickness for different O<sub>2</sub> plasma treatment.

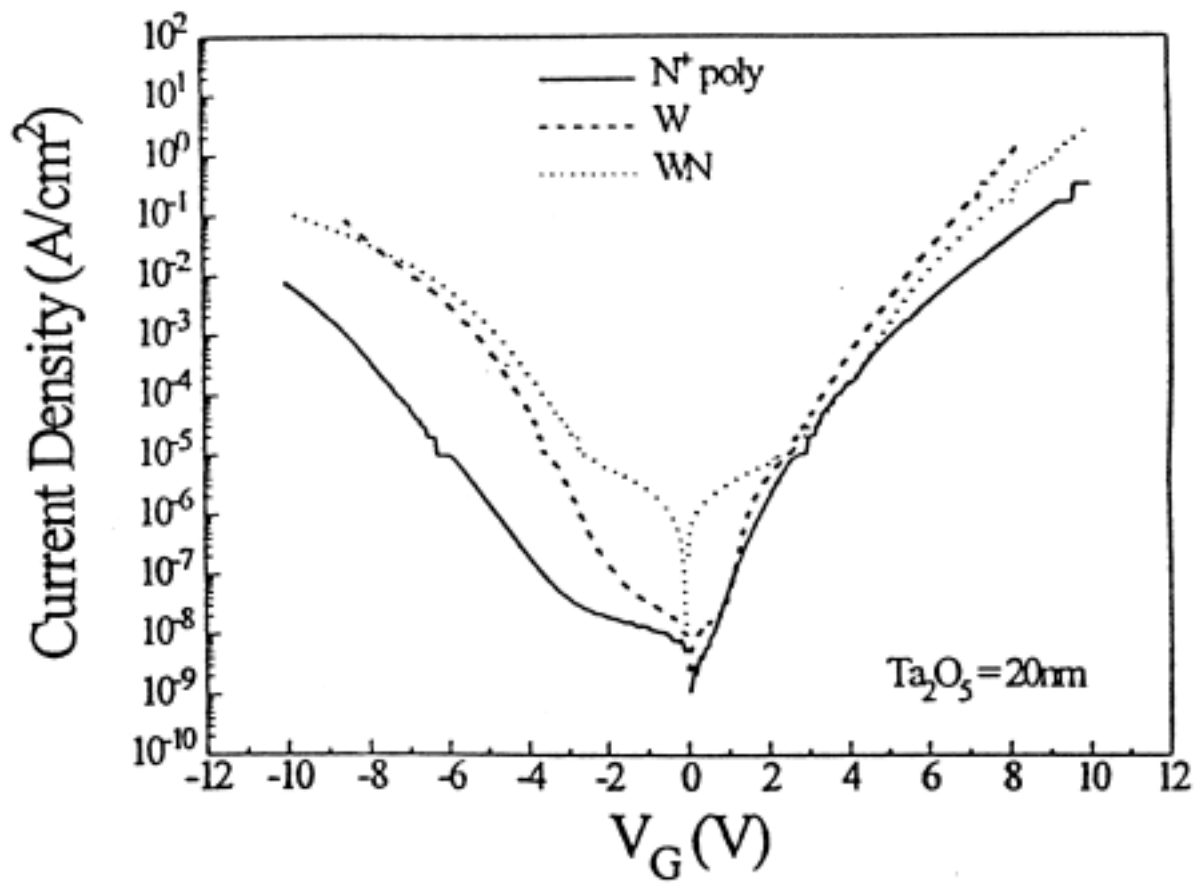


- 3 : Comparison of different current among as-deposited , furnace annealing , and O<sub>2</sub> plasma annealing of Ta<sub>2</sub>O<sub>5</sub> films. The power is at 300W and annealing time is 30 minutes.

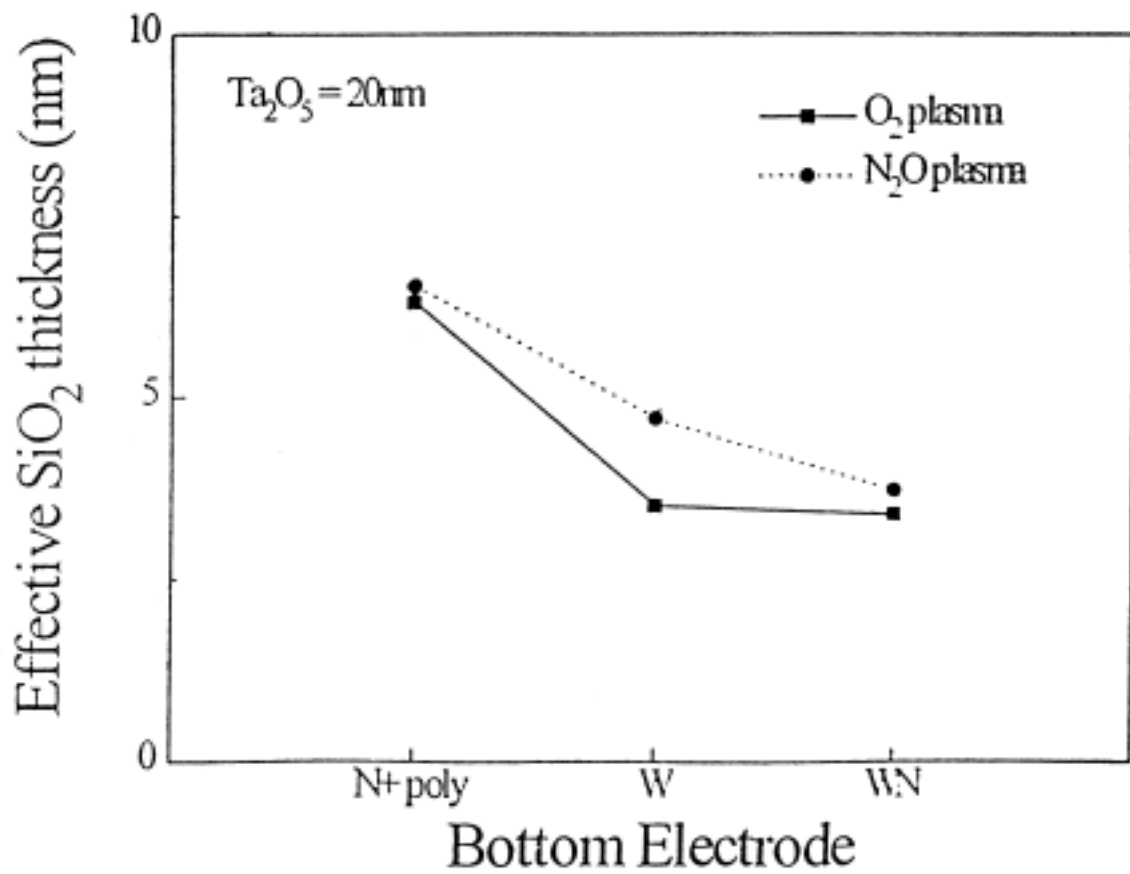




- 4 : Leakage current of samples with different bottom electrode treated by 300W  $O_2$  plasma annealing at 1000 mtorr for 30 minutes.



- 5 : Leakage current of samples with different bottom electrode treated by 300W  $N_2O$  plasma annealing at 1000 mtorr for 30 minutes.



- 6 : Effective SiO<sub>2</sub> thickness of samples with different electrode treated by 300W O<sub>2</sub> plasma and N<sub>2</sub>O plasma annealing at 1000 mtorr for 30 minutes.