

# 行政院國家科學委員會專題研究計劃成果報告

\*\*\*\*\*

應用於類比電路之整合式雙極性/互補金氧半元件/擴散式金氧半元件技術之開發  
-子計劃二:在雙極性/互補式金氧半/雙擴散金氧半(BCD)技術中雙擴散金氧半  
(DMOS)之最佳化設計與製造之計畫執行進度與成果

\*\*\*\*\*

計劃編號：NSC88-2215-E-009-055

研究期限：八十七年八月一日至八十八年七月三十一日止

主持人：鄭晃忠

執行單位：國立交通大學電子研究所

中華民國八十八年七月三十一日

在雙極性/互補式金氧半/雙擴散金氧半(BCD)技術中雙擴散金氧半  
(DMOS)之最佳化設計與製造之計畫執行進度與成果

國立交通大學電子研究所 鄭晃忠教授

計畫編號：NSC88-2215-E-009-055

研究期限：八十七年八月一日至八十八年七月三十一日止

主持人：鄭晃忠 國立交通大學電子研究所

### 1. 摘要

在許多類比電路的應用上，對於電壓及功率之需求有逐漸增加的趨勢，然為配合 CMOS 控制電路之設計，將高壓及高功率之元件利用 CMOS 技術將 Bipolar, DMOS, LDMOS 等元件與 CMOS 元件整合於同一電路上漸受歡迎及普遍，此即為 BCD 技術。計畫第一年的研究重點在於依總計畫所訂之液晶顯示器的驅動電路所須規格，以模擬方式設計元件結構，元件電性，訂出製程參數，磊晶矽晶片規格，以找出最佳化元件佈局及製程參數。

#### Abstrate

The main goal of this project is to develop a DMOS with low power consumption and low on-resistance. The applications of DMOS are LCD-Driver and power supply ..etc. We improve the on-resistance and device current density by introducing the new sub-micron fabrication technology.

In the first year of this project, we have design a new DMOS by device and

process simulation. The specification of this device is followed by the LCD-Driver. By simulation, we can get the parameter of process, the electrical characteristic and the dopant of epi-silicon wafer.

### 2. 元件之設計規格及參數

本計畫設計目標為設計依總計劃所訂定之 60V 垂直式功率電晶體，在現有標準製程下，達到最佳之元件特性，可調整的製程參數有磊晶層濃度及厚度，P 形井雜質濃度及驅入時間，而佈局的考量包括閘極複晶矽寬度及汲極 N 型井間源極的數目。

### 3. 磊晶矽層濃度及厚度

依照總計劃訂定的元件規格，定出元件所須磊晶層濃度及厚度為  $9E15\text{cm}^{-3}$ , 7 um.

### 4. P 型井植入劑量及驅入時間

經過計算，P 形井佈植劑量約為  $1E13$  至  $4E13\text{cm}^{-2}$ ，驅入溫度及時間為 1150 度 80 至 120 分鐘，由於 P 形井驅入時間及深度會影響元件崩潰電壓及導通阻值，當驅入深度過淺時，電場

易集中在場氧化層下方,造成崩潰,而當驅入時間過長時,又因通到長度過長,導致元件阻值增加,故必須對此做一適當的權宜。

#### 5. 閘極複晶矽寬度

閘極長度對垂直式功率電晶體是很重要的製程參數,由於P型基極於複晶矽閘極下的夾擊效應,當閘極長度過短時,此基極夾擊造成的接面場效電晶體的阻值  $R_{jfet}$  會大幅增加,造成元件導通特性變差,當閘極長度過長時,雖然可降低接面場效電晶體的阻值  $R_{jfet}$  的影響,確因此造成單位元件面積變大,通道密度變小,電阻不降反升,故必須對此作一權衡,以達到元件最佳導通特性。

#### 6. 汲極 N 型井間源極的數目

在 BCD 製程的元件設計上,垂直式功率電晶體以 N 型井將 N 埋層的電流導出,如圖,故深埋層間源極數量的多寡將影響元件整體特性,當汲極間 N 型井間單位元件數量太多,則距離 N 型井最遠之單所導通的電流,必須經過一層深埋層電阻,造成阻抗過大,即使省了面積,卻未必對元件整體阻值有太大幫助,而若 N 形井間的單位元件數過少,汲極 N 型井所佔面積過大,造成單位阻值電阻過大,因當汲極間 N 型井間單位元件數量過多時,並無法以模擬軟體計算,故建立以下電阻架構以做計算,

$$R(1)=1/2(2*r1+r3)$$

$$R(2)=1/2(r1+r3)$$

$$R(N)=1/2(((2R(N-2)-r3+r2)/r1)+r3)$$

if  $N>2$

$R(N)$  為兩個汲極間有 N 個單位元件時的總電阻,  $r1$  為單位電晶體電阻,  $r2$  為深埋層單位

電阻,  $r3$  為 N 型井單為電阻,經計算,所得阻值如附圖。

#### 7. 結論及成果

根據模擬所得經驗及結果,目前已具備 60V 垂直式功率電晶體之設計及製作流程調整分析及規劃能力,目前正積極與代工廠商接洽,盼能提供相關低壓 CMOS 製程,經製程調整後,以用來實現 BCD 製程技術中的垂直式功率電晶體元件。

#### 8. 附圖(依次序)

圖一 元件結構及導通電流流向

圖二. 導通阻值對深埋層距離關係

圖三 元件終端電場分佈

圖四. 元件耐壓模擬結果

圖五. 複晶矽閘極寬度與特徵阻抗係

圖六. 汲極間 N 型井間單位元件數量與值關係

#### 9. 參考資料

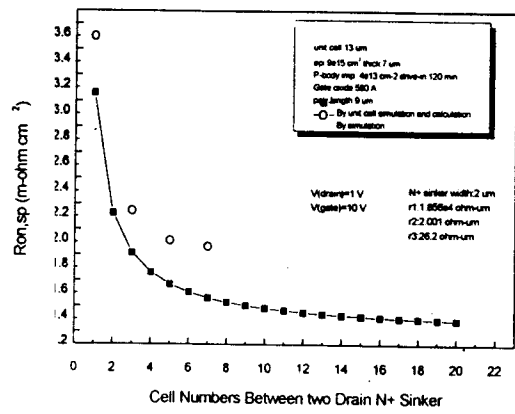
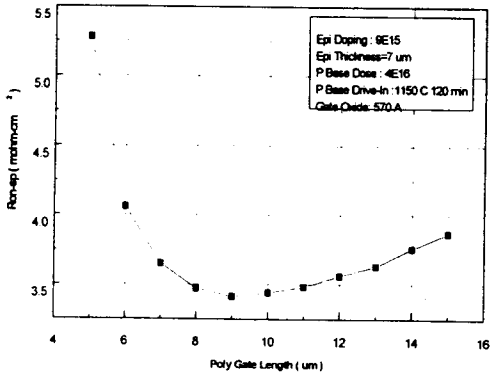
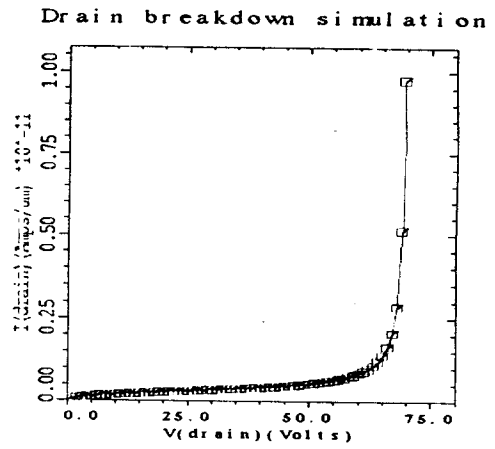
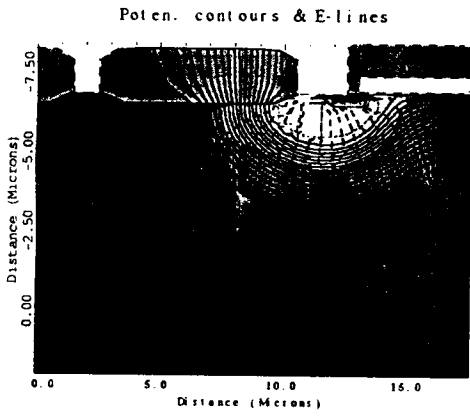
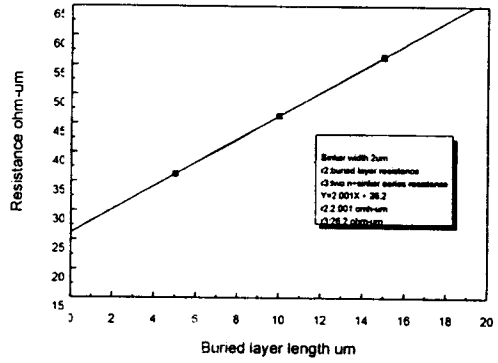
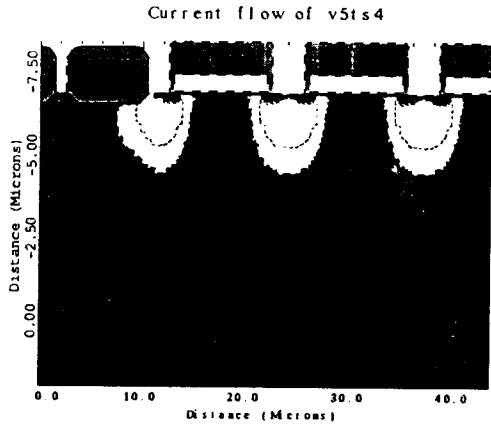
1. B.J. Galiga, MODERN POWER DEVICES, Copyright 1986 by Lattice Press

2. B. Murari, F. Bertotti, G.A. Vignola, Smart Power Icc Technology and Applications, Copyright 1996 by Springer-Verlag Berlin Heidelberg

3. Z. Farpia, J.G. Mena, and C.A.T. Salama, "A novel CMOS-compatible high-voltage transistor," IEEE Trans. Electron Devices, vol Ed-33, pp.1948-1952

4. M. Zitouni, F. Morancho, P. Rossel, H. Tranduc, J. Buxcand I. Pages, "A New Concept for Lateral DMOS Transistor for Smart Power

60 V 垂直式功率電晶體模擬結果



### 60 V 垂直式功率電晶體製作流程

1	Wafer start	P type 15-25 ohm-cm
2	N+ Burried Layer	MASK1
3	Buried Layer Implant	Sb,1e15cm-2
4	epitaxy	7 um,8e15cm-3
5	N+ Sinker	MASK2
6	Implant/Drive-in	As,3e15cm-2
7	NW Photo	MASK3
8	NW Etch	
9	NW P I/I	P/170Kev/1.1E13
10	PW Photo	MASK4
11	PW B I/I	7E13 cm-2
12	Well Drive-in	
13	Oxide	400A
14	Poly CVD	500A
15	Si3N4 CVD	2000A
16	AC Photo	MASK5
17	AC Etch	
18	Nch FLD Photo	MASK6
19	Nch Field B I/I,	B/40Kev/4.5E13
20	Deep B I/I	B/180Kev/3.5E12
21	Field Oxide	5500A
22	Nitride Remove	
23	Poly Remove	
24	Oxide Remove	
25	SAC Oxide	300A
26	Vth,Nch I/I	BF2/70Kev/2.6E12
27	Oxide Remove	
28	Gate Oxdie	MASK7

29	1st Poly CVD	
30	1st Poly POCL3	
31	1st Poly Photo	MASK8
32	1st Poly Etch	
33	Nch LDD Photo	MASK9
34	Nch LDD	I/I,P/50Kev/2.3E13
35	Pch LDD Photo	MASK10
36	Pch LDD I/I	BF2/30Kev/2.0E13
37	Pch Pocket I/I	P/90Kev/1.0E13
38	W NSG CVD	1700A
39	SW Etching	
40	N2 Anneal	
41	Nch S/D Photo	MASK11
42	Nch S/D I/I	As/20Kev/5.0E15
43	BPSG CVD,Flow	
44	Contact Photo	MASK12
45	Contact Etch	
46	N+Contact Photo	MASK13
47	N+Contact I/I	P/20Kev/1E15
48	P+Contact Photo	MASK14
49	P+Contact I/I	BF2/30Kev/3E15
50	1st Metal Sputter	5000A
51	1st Metal Photo	MASK15
52	1st Metal Etch	
53	PE-Si3N4 CVD,8500A	
54	PV Photo	MASK16
55	PV Etch	
56	WAT	