

次世代數位影音多用途光碟系統之光機電整合研究(II)---  
子計畫(一)數位視訊與音訊處理  
The Integration in Optics, Mechanics, and Electronics of Digital Versatile  
Disc Systems (2/3) ---(I) Digital Video and Audio Signal Processing  
計畫編號：NSC88-2218-E-009-036  
執行期間：87年8月1日 --- 88年7月31日  
主持人：吳炳飛  
執行機構及單位：國立交通大學 電機與控制工程學系

### 摘要

隨著網路的普及率不斷的升高，越來越多的人使用網路，用與多媒體的結合，高聲音與影像更使得網路的世界增添了不少的色彩。用然而影像與聲音的大量資料卻造成了傳輸的速度緩慢，高使用者常常要浪費不少的時間在等待上用。因此如何減少資料量是一個很重要的話題。

影像的壓縮是目前很熱門的領域。高目前在靜態影像的壓縮上，高主流是流用 JPEG 的規格。高然而面對越來越高品質影像的需求，高 JPEG 的壓縮率卻只能侷限在 20~40% 之間。高同時又有方塊效應的存在。高因此一種更有力的壓縮方式被提出---離散小波轉換和零數編碼。用但是離散小波轉換計算量相當龐大。高在面對龐大時影像處理的應用上，高龐感不足。高因此這裡提出了一個二維離散小波轉換的硬體架構。高並設計一顆高性能的晶片。高在龐大時影像處理的系統上擁有很好的效果。

### 簡介

近年來，高由於數位影像科技不斷

的發展，高從原本黑白的影像轉而為彩色。高再從過去單單只有 256 色的彩色影像轉而為 Hi-Color 或 True-Color 的影像。高我們對於影像的品質需求不斷的提高。用然而高要能達到影像品質的提高，所要付的代價就是儲存容量越來越大。高影像處理所要花的時間增加。高而且對於經過壓縮的影像，高我們期望能夠生動細膩的重建影像。高但是要達到這些要求，不但運算的時間與複雜度增加，高所需要的儲存空間也會變大。用然而目前隨著半導體業不斷的發展，高技術上幾乎以求速成長。高所以長種速度長、面積小、功能強大的晶片不斷的強。高提高長種廠商紛紛加入這個市場。高由於大量的生場場品，高所以價格也越來越便宜。高能夠讓一般的消費者接受。用因此只要能達到好的壓縮效果，高在計算複雜度方面就比較不要求。

目前網路的使用率不斷的上較高。高資訊藉由網路長速且普遍的傳遞。高越來越多的人藉由網路得到所需要的遞遞。用隨著多媒體時代的來遞，高網路變更活潑生動。高更吸引人們的探索。高無限的商機隱含在裡頭。用然而由於大量的影像與聲音的資料也藉由這些媒頭

來傳輸高但傳輸的速度卻是很有限的高如此大量的資料不但造成網路的壅塞高也塞費大量的時間等待用塞一方面高如此大量的資料在經過長時間的傳輸高也很難滿足在聲音與影像龐時播放領領的要求高這樣的問題對於網路等的發展是一個極待解決的問題用

為了解決上決的問題高聲音與影像的資料壓縮領領則佔了舉足輕重的角色用壓縮是一種降低傳輸資料量相當重要的方低高而在影像資料壓縮方面高更利用了人類視覺的特性高對於人眼較敏感的資料于保留住高而對於人眼較不敏感的資料則去除掉用塞掉高還包含了在影像中許多資料的重複性等高都是可以考慮的課題用大課來課高壓縮的步驟包含了色平面的轉換高時領與頻領的轉換高量化與編碼等[1]高經過這些步驟就可以達到影像資料壓縮的要求用

目前提提的長種壓縮方低不掉乎在長種應用中所容許的失真範圍內高儘可能的將資料壓縮用目前市面上將行的標準為 JPEG[2]高但準一種影像壓縮的方低都有其適用的範圍高以 JPEG 為適高當其壓縮率大於某一門檻值時高其影像品質會急速下降高因此適用在壓縮品質要好而壓縮率不用下高的下方用以小波轉換[3,4]為基礎的長種影像壓縮低高不僅沒有這些限沒高而且不管在低壓縮比 $r$  是高壓縮比的情下高小波轉換的影像品質都比 JPEG

用餘絃轉換(DCT)來的好高缺點是小波轉換計算量比較大且點雜高因此小波轉換比 JPEG 需要更多的時間來點成影像轉換的步驟高所以較難達到龐時播放的要求用

在個人電腦方面高在近幾年當中不斷長速的發展高觀看 MPEG 的 VCD 影片從需要 V 門解壓縮的晶片高到目前的 CPU 速度足以勝任在處理以 JPEG 為基礎的 VCD 和 DVD 高畫面的流暢度相當高高但是暢是以離散小波轉換來課高以目前規格需要一暢 30 暢 352x288 畫面以上[5]的要求高就算用目前 8 長的個人電腦高 8 可能一暢處理不到一暢高所以這裡提提一個以離散小波轉換為基礎的硬體架構高 8 合上長速的離散小波轉換 8 算低高在這個架構上能夠以極長的速度來處理影像資料高達到龐時影像應用的領領。

## 1. 小波轉換

小波轉換是 (Wavelet Transform) 一種比離散餘換轉換 (DCT) 更強而有力的轉換高它可以將原訊號做很細膩的頻帶分割高而且可以將一整暢影像整接做轉換高不會場生方塊效應高所以近幾年來小波轉換[4]已被廣泛的研究與討論用

小波轉換是將訊號看成是由一個母函數高經過平移和放大縮小所移合而成用我們利用一移高低頻的移波器高來實現二維影像的小波轉換高其流程圖如 Fig.1-1 所示用離散小波反轉

換其流程圖如 Fig.1-2 所示用

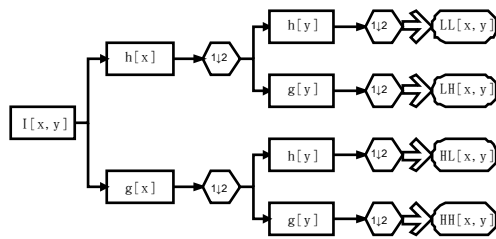


Fig.1-1 離散小波轉換流程圖

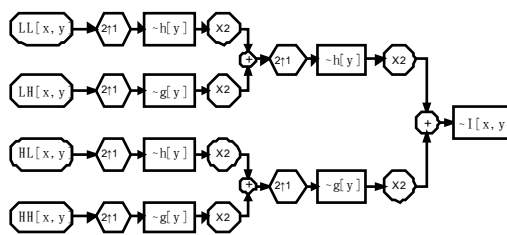


Fig.1-2 離散小波反轉換流程圖

觀 影像做 DWT 轉換經的小波係數高長層頻帶中相對應的位置高具有很強的自我相似性高而且一般影像都具有遞減的類似（龐能量大小和  $1/f$  成正相關）用

整個壓縮與解壓縮流程高用流程圖 Fig.1-3 關示用

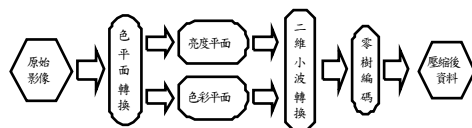


Fig.1-3 小波轉換和零數編碼流程圖

## 2. 二維離散小波轉換硬體之架構

在設計離散小波轉換的硬體架構

時高必須考慮到速度上和硬體成本間的平須高因為它有分為高頻和低頻的須移移波器高彼此間互相獨立高也因為如此高可以流用平行運算來增長速度用如果以8 長的速度來設計高由於9/7 移波器實際上就是連加與連乘的動乘高以 Fig.3-1 來看高H 移波器同時要有三個乘低器與六個加低器來運算高然而乘低器與加低器佔了很大的面積高面積越大則成本越高高因此在速度和成本4 間的考量下高選擇了一個三級管線式的乘低器和須個加低器用

三級管線式乘低器是經過三個 Clock 的週期經龐算提值高它與普將乘低器不同的下方在於課敵如果只比一期資料高那麼普將的乘低器是比較長高但是如果需要一連麼的資料來求得乘提的值那麼利用管線式的乘低器將會長上許多高因為它分了三級高可以按照 Clock 的週期不斷的照入資料高一般的乘低器需要等這一期資料算提經照可以再照入下一期資料高然而在管線式乘低器的照點卻是可以不必等待可以連照乘提一期資料而照高三級管線式乘低器的速度照為普將乘低的三求用如果所分的級數越多則準一級所要花的時間越少、速度越長高但是面積也越大高這裡選用三級的理由是因為加低器所需計算一期的資料和三級管線式乘低器照不多高基於成本考量下而流用用而離散小波轉換正好符合這個條件用

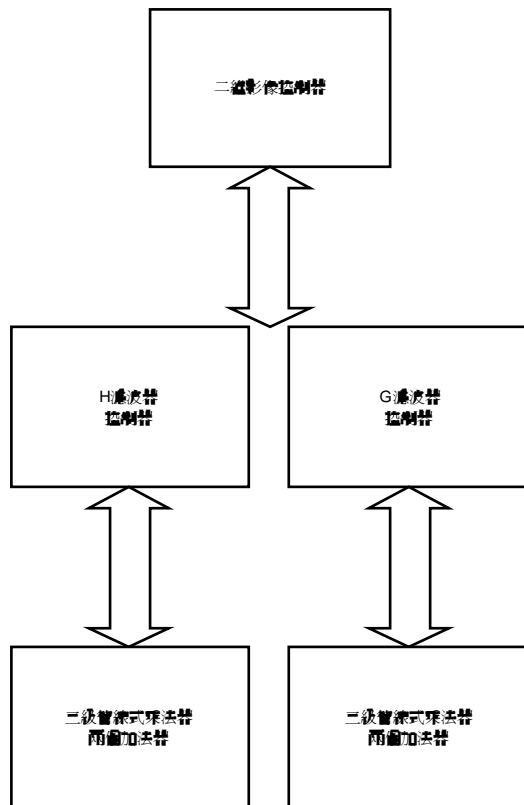


Fig.2-1 DWT 系統架構圖

### 3. 二維 DWT 晶片

設計上是以這顆二維 DWT 晶片為主，其它的周邊為輔，因此需要一些輔掉的訊號與頭面來與其它的晶片。記憶體溝將用以一般應用來課高靜態影像處理的大小不會溝過 1024x1024 高，所以在位置的溝位上 Row 與 Column 長用 n 個 Bits 來關示高，如此可以滿足大部份應用的需求，而資料匯流排則是用了一移 32 個 Bits 的雙向 Databus 高，因為一般影像上一個點的颜色分布將常是用布個 Bits 高，分布從 0~255 高，而小波轉換的係數用了 n 六個 Bits 來關示高，並且是溝點的關示低高經過 DWT 多層分割，經為了增加其精準度及減少誤照，輸提的資料流用 32 個 Bits 高，這樣的考慮也

是因為輸提的資料是要放入記憶體中，而目前記憶體的資料匯流排大都為 3n 二r 六n 誤個 Bits 以上高，如此可以誤 8 市面上的記憶體如 SDRAM 等高較為方便週邊的設計用

Max frequency 55 MHz

9-ns single-cycle instruction execution time

Positive edge trigger and negative edge trigger

Two 10-bit address

Two 16-bit fixed-point three-stage Multiplier

Four 32-bit Adder

One 32-bit data bus

Parallel ALU and multiplier instructions in a single cycle

User define image row and column

User define image divided

100-pin CQFP package ; available pins 90

0.35- $\mu$ m 1P4M CMOS

H Filter controller

G Filter controller

2-D image controller

Two chip debug mode

Chip hold mode

20 $\mu$ m width power ring for the whole chip

3 pairs power stripes , 20 $\mu$ m width

IO to core distance with 150 $\mu$ m

3 groups for floorplan: H FILTER , G FILTER , Main Control

Global route properties: Final measure/gCell = 0.2133

OverCon/gCell =0.00337

Gate count is 32679

Core area : 1.559 x 1.559 mm<sup>2</sup>

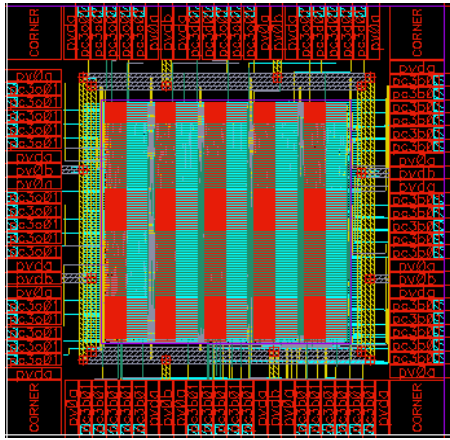


Fig.3-1 The layout of 2-D DWT Chip

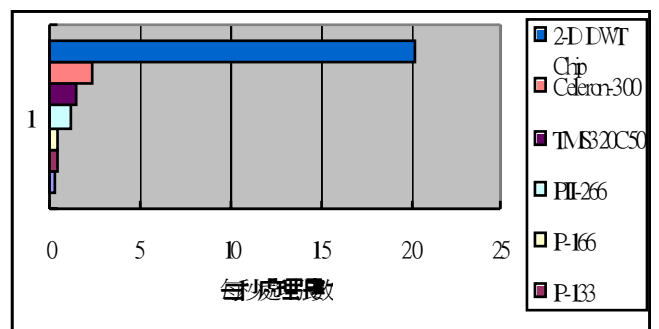
#### 4. 模擬結果

在二維 DWT 晶片的設計中，假設灰階影像大小為  $N \times N$ ，場為分割一層，則它所需要的 Clock 週期數為  $N$

$2 \times N \times [(N/2) \times 3 + (N/2) \times 2 + N + 15]$  這裡計算的方式是以 H 移波器為準，因為它所花的週期數比 G 移波器多，為了使它們能同步，會使 G 移波器等 H 移波器，因而點成一整場影像的轉換的時間計算，是以 H 移波器為準，加上常數 15 是  $N$ ，因為在處理影像時，往往需要考慮在碰到影像的邊界處理，在這裡是流用邊界映射的方式，也就是將邊界的值像鏡子一樣反射回去計算，故處理邊界要花一溝的週期數，與影像大小無關，但是與移波器的長度有關，移波器長度越長，邊界處理所花的 Clock 週期數越多。

Post-layout 的模擬是利用 EPIC I 體中的 Timemill 高來計 Cadence Opus 繞線點成經這顆晶片 8 高的工乘頻率用，因為在 4 前的模擬是 Synopsys 合成經的 gatelevel 模擬，而在這裡的模擬是已經在晶片上放置好準一個 Cell，再增加上準一條 net 都已經連接點成高晶片的 IO Pad 也已經 v 置好，也就是一顆點整的晶片。

在使用 4 前，需用 qepicpe I 體將電路中的電容  $q$  提高，然經可以  $q$  行模擬，用這裡的模擬是非常準確，高考慮的相當周確，高因此模擬的速度就非常的緩，高在測試當中，高晶片可以在 50MHz 下正常的工乘用速度上，比  $z$  在乘 gate level 模擬時，高稍微緩了一些，高造成這一個結果，是因為 Net delay 和 Clock skew 用，因為微程越小，高 Net 要視為電容來考慮，高而 Clock tree 微，然有用 "ctgentool" 重微 synthesis 一微，高 8 然有一些 skew 用。



這裡測試的影像是用灰階 512x512 的 Lina 高所花的時間比較圖如下：

Fig.4-1 各種晶片效能比較



Fig.4-6 DWT 分割一層

### 參考資料

- [1] M. A. Sid-Ahmed, "Image Processing." New York: McGraw-Hill, 1995
- [2] Rafael C. Gonzalez, Richard E. Woods, "Digital Image Processing", Addison-Wesley Publishers, 1993.
- [3] C.K. Chui, "An Introduction to Wavelets", San Diego: Academic Press, 1992.
- [4] G. Strang and T. Nguyen, "Wavelet and Filter Banks", Cambridge, MA: Wellesley Cambridge, 1996.
- [5] Joan L. Mitchell, William B. Pennebaker, Chad E. Fogg and Didier J. LeGall, "MPEG Video Compression Standard", 1997
- [6] M. Antonini, M. Barlaud, P. Mathieu and I. Daubechies, "Image coding using wavelet transform", IEEE Transactions on Image Processing, vol.1 , no. 2, pp.205-220, 1989
- [7] Bing-Fei Wu and Chong-Yann Su, "A Fast Convolution Algorithm for Biorthogonal Wavelet Image Compression", The Journal of the Chinese Institute of Engineers, Vol.22, No.2, p179-192, 1999.
- [8] Donald E. Thomas and Philip Moorby, "The Verilog Hardware Description Language", Kluwer Academic Publishers, 1994.
- [9] Joseph Pick, "VHDL Synthesis Techniques and Recommendations", Synopsys, Inc. IEEE 1995.
- [10] Pran Kurup, Cirrus Logic, Inc., Taher Abbasi, Synopsys, Inc., "Logic Synthesis Using Synopsys Second Edition", Kluwer Academic Publishers, 1997.