

低溫薄膜電晶體之相關薄絕緣層之製備研究 (I)

The Study on Thin Dielectrics Preparation Technology for Low Temperature

TFTs

計畫編號：NSC 88-2215-E-009-054

執行期間：87年8月1日至88年7月31日

計畫主持人：李崇仁 教授 (國立交通大學電子研究所)

壹、中文摘要

(關鍵字: 複晶矽, 快速退火, Disilane, TEOS, 複晶矽薄膜電晶體, 化學氣相沉積氧化層, 氮化, 交流應力)

本計畫, 特別是以利用Disilane低溫沈積複晶矽於其上長成氧化層; 以Plasma-Enhanced 低溫沈積複晶矽氧化層; 以普通快速退火 (Flash Lamp Rapid Thermal Annealing) 及準分子雷射 (Excimer Laser) 退火來改善薄絕緣層之特性; 及利用N₂O長成或退火及氟離子來改善絕緣層特性; 及將利用一新開發之交流加壓 (A.C. Stress) 來分析薄膜之故障機制及可靠度。本計畫為三年計畫, 第一年製程溫度為500°C是對上述製程作一先前可行性研究, 務期發現其製程問題; 第二年將目標降至450°C, 並試製薄膜電晶體; 第三年希望將製程完全掌握, 並能完全製成一高可靠度之薄膜電晶體。

英文摘要

(Keywords : Poly-Si, Rapid Thermal Process, Disilane, TEOS, Poly-Si Thin Film Transistors, CVD oxides, Nitridation, Ac Stress)

In this project, it is to study the preparation, and the related topics of the thin dielectrics for fabrication of low temperature thin film transistors (TFTs). Especially, it is to study the polyoxide grown on

the polysilicon prepared by the low temperature Disilane CVD; the polyoxide deposited by the PECVD; the application of the flash lamp rapid thermal annealing (RTA) and/or the excimer laser RTA to improve the property of grown polyoxides; the use of N₂O or F ions to improve the quality of grown polyoxides, and the use of a newly developed A.C. Stress technique to analyze the failure mechanism and reliability of polyoxides. This project is a three-year project. The first year is to develop the processes targeting at a temperature of 500°C in order to study the feasibility and identify potential problems of the processes. The second year is to try to lower the temperature to 450°C and at the same time to fabricate TFTs by putting together all the developed processes. The third year is hoped to be in full control of the processes and to fabricate TFTs with a considerable reliability at a temperature below 450°C.

貳、計畫緣由與目的

複晶矽薄膜電晶體是未來發展大面積電子元件, 如: AMLCD [1], linear image

sensor [2], photodector-amplifier [3] 等，以及高密度靜態隨機存取記憶體(SRAM) [4] 的關鍵技術。尤其是TFTLCD，未來將被廣泛應用在電視、筆記本電腦、交通運輸、軍事裝備等用途上，所以亟具市場價值；另外複晶矽薄膜電晶體之高密度靜態隨機存取記憶體因具備低耗電、高速、不易誤動作和小面積高容量等優點，也將是工作站上、手攜式電腦內必備零組件。因此，各國如美、日、歐洲等的工業界與學術界已投入許多人才、金錢在複晶矽薄膜電晶體的研究發展上。尤以朝向更低溫的TFT方向研究。

由於複晶矽本身有很多晶界存在而產生高缺陷密度，使得複晶矽薄膜電晶體的特性比單晶矽金氧半場效電晶體要差很多，如高臨界電壓、低載子移動率 [5]、大漏電流及元件經電壓、溫度stressing後劣化 [6] 等。為了改進複晶矽薄膜電晶體的特性，已有許多方法被提出，如氫化 [7]、氧化電漿以降低複晶矽薄膜內的缺陷密度；[8] 或以新的固相再結晶方法如快速熱退火來縮短再結晶時間並得到特性優良的複晶矽薄膜。[9]

而吾人對成長薄絕緣層已有多年的研究經驗，更將氮化製程應用於閘極氧化層及深次微米金氧半場效電晶體而得到相當好的研究成果。而吾人利用這些氮化技術諸如氮離子佈植複晶矽薄膜來製作複晶矽TFT [10] 或以 N_2O 快速加熱氮化TEOS化學氣相沉積氧化層應用於複晶矽薄膜電晶體以獲得非常好得成果[11]，因此吾人嘗試將這些製程導入低溫之TFT製程中，以得到高穩定度，高可靠度之TFT，除此之外，吾人亦導入新的可靠度分析方式，藉以得到更有用的TFT可靠度參數，以提高TFT可靠度分析的品質及可信度。

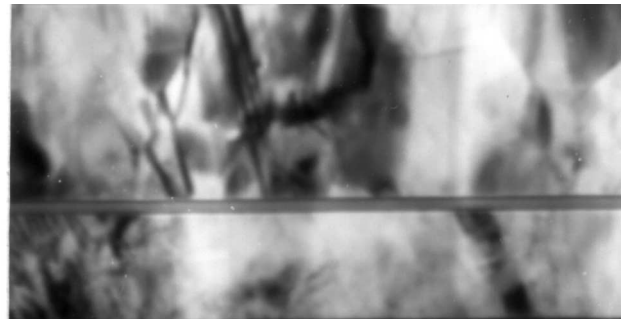
參、研究方法及成果

(一) 對磷離子佈植之二矽烷複晶矽薄膜之

快速退火研究：

1. 沈積矽烷及二矽烷複晶矽薄膜，並施以高劑量之磷離子佈植。
2. 將此兩複晶矽薄膜經 $950^{\circ}C$, 30sec之快速退火之後，測量其物性及電性。

在快速退火之後，我們發現，二矽烷之複晶矽薄膜，其片電阻為 $60 \Omega/cm^2$ ，然而，矽烷之片電阻卻高達 $130 \Omega/cm^2$ ，而我們經由TEM及AFM可以發現，二矽烷的複晶矽薄膜有較平的表面及較小缺陷密度，而此二者之TEM圖如下：



二矽烷複晶矽薄膜



矽烷複晶矽薄膜

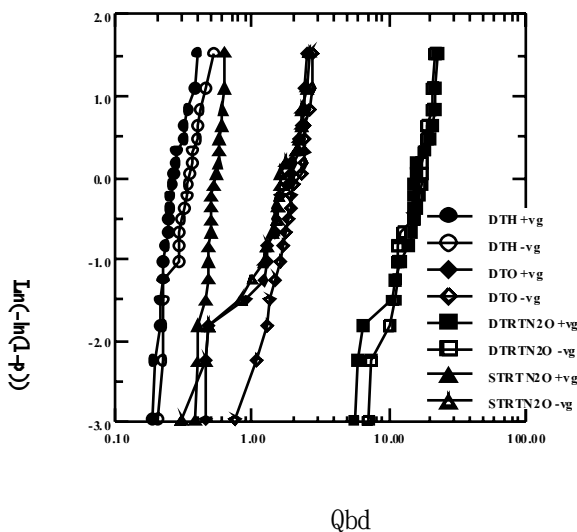
(二) 在前項所研製的複晶矽薄膜之氧化層薄膜做一系列的研究

- 1 在前向所製作的複晶矽薄膜上沈積 13nm 的 LPCVD TEOS 氧化層
2. 利用 RTN_2O 對此氧化層做 $950^{\circ}C$, 30sec 的退火，並與無快速退火及傳統氧化爐管所製程的氧化層做比較
3. 對此薄膜做電性及物性分析，其分析包括崩潰電場、崩潰電荷及電子捕捉率等。物性

分析包括 AFM、TEM 及 SIMS 分析。

4. 我們發現，在二矽烷複晶矽薄膜上利用低溫低壓所沈積的氧化層，再經過 RTN₂O 退火後，其漏電流及電子捕捉率明顯的變小了，而其崩潰電場及電壓明顯的變大了。這是由於較平的接面及較多的氮含量。

下圖所示為數種氧化層的崩潰電荷之韋伯分佈圖，我們可以發現，我們所用的方法之崩潰電荷是一般方法的數十倍。



(三) 以 PECVD 在矽晶片上沈積氧化層並施以 N₂O 快速退火，分析該介電層之電性變化：

1. 以 PECVD 在經過 RCA-cleaning 的矽晶上沈積氧化層。
2. 在不同溫度、不同氣體(N₂O、N₂)環境下施以快速退火處理，並藉此找出最佳退火條件。
3. 以 LPCVD 沈積複晶矽薄膜，再以離子佈植摻入雜質-磷，最後以 700°C 快速退火加以活化。
4. 測量該電容結構的電性，萃取 E_{bd}、Q_{bd}、Φ_b 等參數，探討其變化的原因。

由下面的 Table 可知，在 RTA 的過程中對原始的氧化層有緻密化的作用，尤其是在 N₂O 的環境下，N 的進入更能大幅提高介電層的可靠度。因此，退火過的氧化層無論在 E_{bd}、Q_{bd} 或 Φ_b 上都有大幅的改善。

RTA	120Å				220Å				340Å			
	0	950	1000	1050	0	950	1000	1050	0	950	1000	1050
Temp (°C)												
F N-Φ (eV)	1.9	3.2	3.1	3.4	1.9	3.4	3.3	3.4	1.8	3.1	3.2	3.11
E _{bd} (MV/cm)	13	13.7	13.7	12.9	11.6	12.4	12.2	12.1	10.7	12.1	12.1	12.9
Q _{bd} (C/cm ²)	0.6	68	83	79	2.7	63	61	71	2.4	14	23	11

(四) 以快速加熱氮化 TEOS 化學氣象沈積氧化層結合氨氣 (NH₃) 電漿處理應用於複晶矽薄膜電晶體：

1. 分別沈積不同厚度之複晶矽薄膜及成長不同厚度之閘極電層，再施以 N₂O 快速加熱氮化，在不同階段進行不同溫度回火，找出最佳氮化條件。
2. 將此技術應用於複晶矽薄膜電晶體，研究 N₂O 之快速加熱氮化對元件之影響。
3. 施以 H₂ 或 NH₃ 之氮化，結合氮化及 N₂O 快速加熱氮化研究其對元件之影響。

結果列於下表。從表中可得知經 N₂O 及氮化處理過的元件在電性以及熱載子可靠性上有大幅的改善，一般相信乃是由於氮累積於複晶矽與氧化層的界面而形成了較強之矽氮鍵結，而修補了許多存在於晶粒中及通道區域晶界中的損害鍵結。

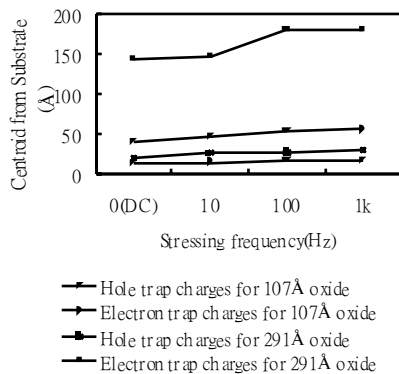
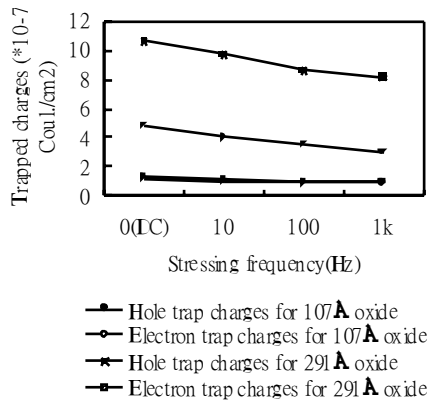
Annealing Condition	Time (sec)	Thickness (Å)	Vth (V)		S(m V/dec)		μ _{eff} (cm ² /Vsec)		Ion/Ioff (ratio)	
			Before plasma	After plasma	Before plasma	After plasma	Before plasma	After plasma	Before plasma	After plasma
As-deposited	-	321	6.25	0.55	979	196	11.2	23.67	4.2x10 ⁷	2.02x10 ⁷
N ₂ 900°C	80	322	5.87	0.46	908	175	12.9	26.41	4.42x10 ⁷	2.38x10 ⁷
	80	325	4.75	0.10	795	132	18.52	29.48	5.05x10 ⁷	3.01x10 ⁷
N ₂ O 900°C	160	328	4.73	0.06	789	122	19.21	31.25	5.11x10 ⁷	3.25x10 ⁷
	240	335	4.7	-0.14	781	109	20.05	35.11	5.24x10 ⁷	3.85x10 ⁷
N ₂ O 1000°C	80	331	4.43	-0.11	739	111	19.87	34.59	5.28x10 ⁷	3.58x10 ⁷
Thermal + N ₂ O anneal	80	280	4.05	0.05	710	118	20.38	31.55	4.51x10 ⁷	2.35x10 ⁷

(五) 分析氧化層在 AC 訊號下之可靠度變化：

1. 在 P-type 矽晶片上以爐管成長 107 及 291 Å 的氧化層，再以 LPCVD 沈積複晶矽薄膜當閘極。而閘極的雜質是以 POCL₃-doped 方式摻入。

2. 以 HP8110 及 HP4156A 兩台儀器分別提供不同頻率的 AC 訊號及量測在該 AC 應力下氧化層電性的變化。

就可靠性來講，AC 訊號的頻率越高 TDDB 越好，而其原因可由下面兩張圖得知：



所施加應力的頻率越高，在氧化層中所造成的缺陷數目越少，而該缺陷的位置也越偏向氧化層的中心（遠離界面），這些都會造成 TDDB 的改善。

肆、結論

經過一年的實驗測試，我們得知二矽烷複晶矽薄膜和 PECVD 氧化層在經過適當處理後有相當良好的特性表現，足以取代傳統的複晶矽薄膜及高溫氧化層。再加上後續的 N₂O 退火及 NH₃ 氮化處理，相信其在複晶矽薄膜電晶體上將有很大的應用空間，尤其是其低溫的特點，更能符合薄膜電晶體低溫化的需求。再者，我們已成功的在單晶矽上分析出在交流應力下，電子電洞缺陷的變化，下一步就是將之運用在複晶矽電容及電晶體

上。

伍、參考文獻

- [1] J. Ohwada et al., "Peripheral circuit integrated poly-Si TFT LCD with gray scale representation," IEEE Trans Electron Devices ED-36, p. 1923, 1989.
- [2] I. Fujieda et al., "Self-reference poly-Si TFT amplifier readout for a linear image sensor," in IEDM Tech. Dig., 1993, pp.587.
- [3] N. Yamauchi et al., "An integrated photodetector-amplifier using a-Si p-i-n photodiodes and poly-Si thin-film transistors," IEEE Photonic Tech. Lett., vol. 5, p.319, 1993.
- [4] S. Ikeda et al., "A polysilicon transistor technology for larger capacitance SRAM," in IEDM Tech. Dig., p. 469, 1990.
- [5] H. G. Hawkins, "Polycrystalline-silicon devices technology for large-area electronics," IEEE Trans. Electron Devices, ED-33, p.477, 1986.
- [6] A. Mimura et al., "High performance low-temperature poly-Si n-channel TFT's for LCD," IEEE Trans. Electron Devices, ED-36, p.351, 1989.
- [7] H. N. Chern, C. L. Lee, and T. F. Lei, "Correlation of polysilicon thin-film transistor characteristics to defect states via thermal annealing," IEEE Trans. on Electron Devices, vol. 41, no. 3, pp. 460-462, 1994.
- [8] S. Ikeda, et al., "A polysilicon transistor technology for larger capacitance SRAM," in IEDM Tech. Dig., pp. 469-472, 1990.
- [9] M. Bonnel, N. Duhamel, L. Haji, B. Loisel, and J. Stoemenos, "Polycrystalline-silicon thin-film transistors with two-step annealing process," IEEE Electron Device Lett., Vol. 14, pp. 551-553, 1993.
- [10] C. K. Yang, C. L. Lee, and T. F. Lei, "Characteristics of top-gate thin-film transistors

fabricated on nitrogen-implanted polysilicon films," IEEE Trans. on Electron Devices, vol. 42, no. 12, 1995.

[11] C. H. Kao, C. S. Lai, and C. L. Lee, "The TEOS CVD oxide deposited on phosphorus in-situ/ POCl_3 doped polysilicon with rapid thermal annealing in N_2O ," IEEE Trans. on Electron Devices, vol. 45, no. 9, 1998.