

行政院國家科學委員會專題研究計畫成果報告

高性能混合訊號積體電路與系統之設計與研製(三)-總計劃

計畫編號：NSC -88-2215-E-009-071

執行期限：87年08月01日至88年07月31日

主持人：吳重雨 交通大學電子系 教授

一、中文摘要

本研究群計畫研究工作共分為六部份五個子計畫，彼此互相支援，分工合作。第一部份為高性能混合訊號積體電路與系統之設計與研製；第二部份為低電壓互補式金氧半設頻頻率合成器晶片設計應用；第三部份為低電壓互補式金氧半射頻前置積體電路；第四部份為無線通訊中頻電路之設計；第五部份為低電壓低功率數位積體電路設計合成及基頻數位濾波器設計應用；第六部份為具學習能力及在計劃內所研發的電路及系統，其晶片研製以0.8微米以下CMOS技術為主，目前以已完成多顆晶片之研製與量測，其特性均符合預期的目標。

關鍵詞：混合訊號積體電路射頻頻率合成器，無線通訊，低功率數位積體電路，神經網路。

Abstract

The group project consists of six major research topics distributed in five subprojects. They will support one another and share the benefits of cooperation. In the first part, the design and implementation of high-performance mixed-signal integrated circuits and systems subsystems will be designed. The second part, the design and applications of low-voltage CMOS RF frequency synthesizer and power amplifier chips. The third part, the low-voltage and CMOS RF front-end IC. The five part, the low voltage low power digital IC design. The last part, the design of neural chips with learning capability and silicon retina input and their application in image processing. The circuit or systems designed in this group project will be fabricated in chips by using

submicron CMOS technology. In this year, the fabrication and measurement of many chips have been accomplished. And the measurement results are almost the same as the expected performance.

Keywords: Signal mixed integrated circuit, RF frequency synthesizer, wireless communication, low power digital integrated circuit, neural networks

二、緣由與目的

本整合型研究計畫係依據工程處VLSI/CAD推動小組『VLSI/CAD』內建議之研究主題規劃而成。計劃主題共分兩項，分別為：(1)超高速積體電路設計中之低電壓低功率900MHz射頻Transceiver晶片；(2)類神經網路晶片研究中之具學習能力及矽視網膜之類神經網路晶片。三年計劃預期可製作下列兩種雛形系統及建立其關鍵性技術，分別為：(1)900MHz無線電話泛用積體系統；(2)類神經即時影像處理積體系統，並預期可用於產業界。此兩系統之其方塊圖如圖一(a)及圖一(b)所示。

茲就計畫重點說明如下：

1. 整合之必要性：計畫之總目標在於完成上述兩種高性能混合訊號積體系統之雛形品研製，此兩種系統之設計製作均具有前瞻性、困難性及複雜性，必須集合多人智慧與研究，方足以完成，故需整合研究能量。整體分工合作架構如圖一(a)及(b)所示，其中無線電話晶片系統分別由子計畫一、二、三及四分工合作而成；類神經系統則由子計畫五、三及四支援合作而成。
2. 人力配合度：總計畫主持人過去五年曾建立混合訊號積體電路研究群，並主

持整合型計畫(計畫編號: NSC84-2215-E-009-087, 名稱: -類比數位混合式積體電路及系統之創新研究、晶方研製及應用研究(5/5)), 具有協調領導能力。子計畫之四位主持人均具有多年積體電路設計經驗, 且曾在國家晶片系統設計中心實作多次晶片, 專業能力足以共同執行此項整合型計畫。四位主持人平常即常常交流, 其中三位主持人過去三年並曾共同參與整合型計畫, 分工合作密切。本整合型計畫擬實作兩個雛型系統, 其中之次系統分由各子計畫設計研製, 再加以整合。故分工合作程度甚高。

3. 資源之整合: 各子計畫均共同使用之量測儀器設備, 設備主要放置於交大電子研究所『積體電路及系統整合實驗室』及『高頻實驗室』。各子計畫研究成果藉由兩個雛型系統之研製量測, 能充份相互支援配合與交流。而積體電路與系統設計經驗亦能整合累積。研究群除平時互相密切交流討論外, 亦將定期舉行討論會, 以密切交流, 並掌握計畫進度。
4. 申請機構或其他單位之配合度: 交大、雲技及淡大均會在空間, 學生及經費上予以配合。另園區積體電路設計公司亦會定期交流, 在技術上支援本計畫。

三、研究成果

子計畫一: 在計畫執行期間, 共完成了 1.9GHz 直接轉換正交調變器和內建射頻放大器、2.4GHz 低雜訊帶通濾波器、及 80MHz 中頻低雜訊帶通放大器。在 1.9GHz 直接轉換正交調變器和內建射頻放大器, 非但架構創新, 且其性能皆優於傳統的方法。最大的遺憾就是還沒將四相位電壓控制振盪器整合於單一晶片上, 未來改進的方法為將測試電路與鎖相回路做在同一晶片上, 用以降低寄生負載, 增加準確性。此電路已發表論文並刊於 1999 ICECS conference。在低雜訊放大器方面, 由於加上了正回授電路及可調電容, 使得晶片在製作完成以後, 仍可做增益及中心頻率的調整,

而不受限於製程的變化產生性能上的改變, 由結果看出, 此放大器在 2.4GHz 的操作頻率下, 性能可符合要求。此電路已發表論文並刊載於 1999 ICECS。在中頻 80MHz 帶通放大器方面, 許多方面多加以修改, 以得到更好的特性。最重要的為此線路的頻率控制範圍為 41 至 178MHz, 而其增益的變化高達 90dB, CMRR=45, 功率消耗僅有 11mw。未來的研究方向為將其與其它線路整合在單一晶片上, 完成整個收發機系統的設計。此電路已投稿於 2000 ISCAS conference。

子計畫二: A 1 GHz RF front-end IC, comprising a low-noise amplifier and down-conversion mixer, has been designed and manufactured in 0.5 μ m CMOS. This will be integrated with the base-band portions of a direct-conversion receiver, all sharing a common CMOS substrate. We have applied a design style with which uniquely exploits CMOS capability to implement key RF functions. Combining this with a bond-wire inductor technology, and taking into account the receiver architecture, we have demonstrated a fully integrated 1 GHz front-end in a modest 0.5- μ m CMOS process (Table I) which, in some respects, exceeds the performance of similar circuits fabricated in other well-established RF technologies. We are hopeful that this work opens new vista for today's predominant IC technology, CMOS, in an application believed to have ubiquitous importance in the future.

子計畫三:

調頻解調器可以成功得到語音訊號, 但由量測結果可看到, 仍有許多毛邊, 即高頻的雜訊, 所以需要效能較好的低通濾波器, 來得到更乾淨的波形。

限制器可以成功得到全擺幅的方波。訊號強度偵測器可以成功得到具對數特性的函數。

雖壓縮器與擴展器的 0dB 點與模擬不相同, 偏移至 400mv, 但比較在意的是訊號經壓縮後, 是否可以經擴展將訊號

還原，量測的結果可以成功得到線性關係。

子計劃四：從電路功率消耗的公式

本年度(即第三年度)在進行常見之 Baseband 數位訊號處理及 Digital Filter 設計上已有具體成果，並已完成 Verilog -- Synopsys 合成之模擬驗證。在低電壓低功率數位邏輯細胞元資料庫部分我們共做了 63 組，因此可用於低功率數位系統的合成與設計，但是由離散餘弦轉換(DCT)電路的合成發現，其效果不如預期突出。我們發現問題之所在，在於帶通式電晶體邏輯(Pass-transistor Logic)用於 Cell-Based 設計，從輸入端所看到之電容 C_g ，對 Timing Model 造成不易正確估算的影響。因此得到一結論，帶通式電晶體邏輯較適用於 Fully Customer 設計；因此並未將模擬完整的 Cell-Based 設計晶片下線。

我們針對帶通式電晶體邏輯作了更進一步的完整分析。利用 CIC 所提供之不同 IC 製程及不同的操作電壓，對不同的帶通式電晶體邏輯，進行模擬分析得到了許多重大的成果，證明我們所改良的帶通式電晶體邏輯，確實適用於低電壓低功率積體電路設計。

綜合以上討論，在低電壓、低功率數位邏輯細胞元資料庫建立上，我們使用 LCSCPTL 的電路來完成，以達到低電壓低功率的需求。

子計劃五：在本研究裡，運用新型單一片運動偵測器結構設計的圓周運動偵測器被設計出來，此一偵測器可以偵測相當大的運動速度範圍，並可與直線運動偵測器結合，為二維視覺處理晶片提供有效的處理方案設計出具有同時偵測圓周運動角速度與方向的實驗晶片，其布局圖可見圖四，而其功能也都一一經由量測驗證。

由觀測之量測結果可以得知，當物體的運動速度與方向符合設定值，在輸出端會出現連續的方波。

此外，我們利用了雙載子神經元件架構，可以實現出類比式的 Hamming 神經

網路，我們的做法是用了兩個雙載子神經元件，一個用來當作儲存，一個當作辨識用，不管是儲存或是辨識都是以電流的值來表示，利用儲存與辨識的電流相減，相減之後的大小即表示儲存與辨識之間的相似程度，再經由絕對值電路和 winner-take-all 的電路我們就可以找出輸入與儲存最相近的一組資料出來。

由量測結果印證了之前所預期的，給不同的 pattern 在每個神經元的輸出會有不同的電壓準位，及給不同的 pattern 可以學到不同的 level，當然不同的 level 所對應到的是積極不同的電壓，因此由晶片的量測可知，這是具有類似霍普菲爾德神經網路功能的電路，我們將進一步的研究它儲存的功能。

上述模擬與量測結果均已發表於國際期刊上。

子計劃六：本計劃共執行兩年在射頻前端部分雖然 LNA 及 Mixer 有一些創新如負電容電路與負電阻電路與國外已發表之成果相較能然不如。

在頻率合成及相鎖迴路部份則成果豐碩。射頻 PLL 晶片已量測成功並發表於 1998 年之 Symposium on VLSI Circuits。其中之壓制振盪器(VCO)利用新型電路之方法來變頻，因而能工作於低電壓，是一項突破，其他如頻率相位偵測器(PFD)及迴路濾波器等電路也有創新。

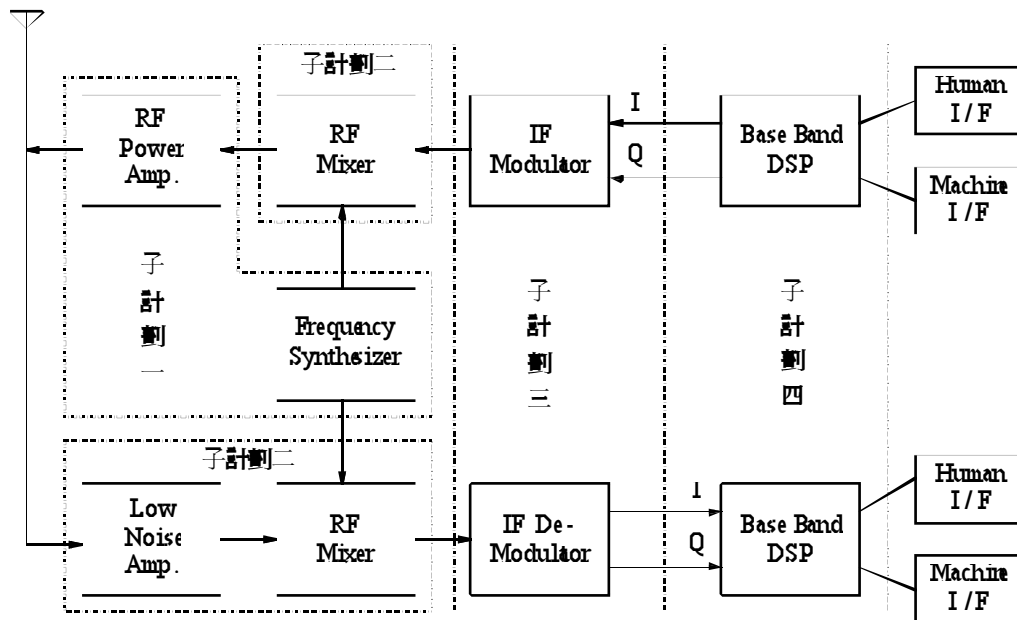
在另一類的頻率合成控制晶片晶片已量測成功並發表於 1999 年之 Symposium on VLSI Circuits。此晶片有全新之系統架構，而且是全數位方式設計具有頻率快速切換之功能，已申請專利一項。

此外在本計畫未歸畫但衍生之相關技術，我們亦開發了一種新型之全數位頻頻解調器晶片，此技術適用於低階之系統中如呼叫器及短據距離無線網路，已申請專利一項。

四、結論與討論

本計劃成果對學術理論及產業應用均有實質突破及貢獻，參與之研究生可獲得混合訊號晶片實作測試之完整訓練，以及影像處理，類神經網路系統知識，而能為工業界所用。本計畫第一年已完成預訂目標，第二年及第三年也已完成大部份預訂目標，並已將部份成果發表於國際學術會議及期刊上(請參見各子計畫之成果報告)。

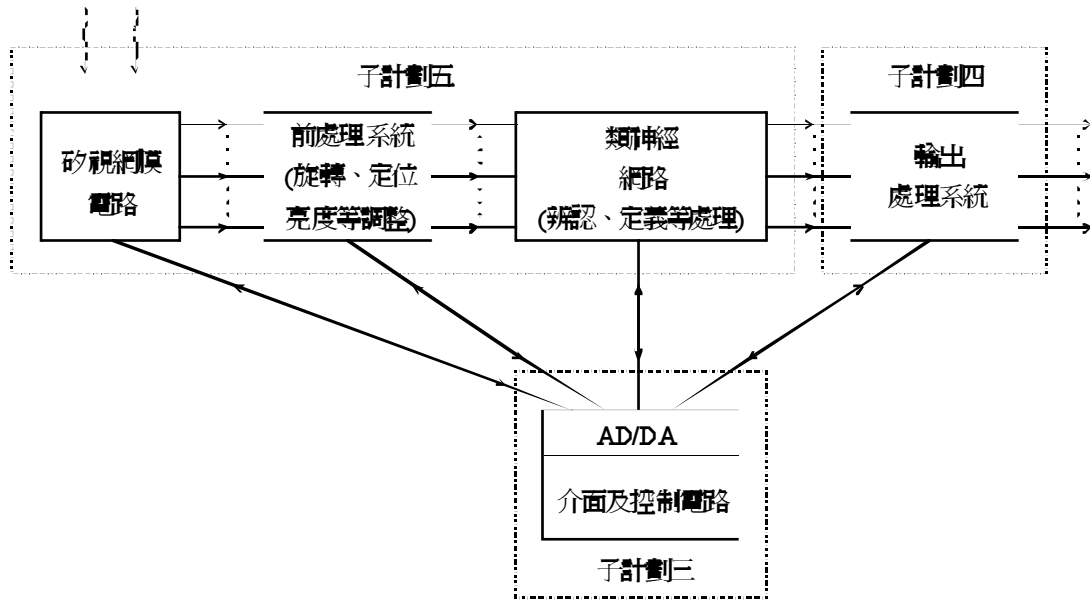
General - Purpose Wireless Transceiver Block Diagram



* IF Modulator includes D/A converter. IF Demodulator includes IF amplifier and A/D converter.

二二 (a)

類神經即時影像處理實體系統



系統(b)

理

理