

行政院國家科學委員會專題研究計畫成果報告

極大型積體電路之深次微米元件分析及模擬的研究 Characterization and Modeling Techniques of Deep-Submicrometer Devices for ULSI Circuits(三)

計畫編號：NSC 90-2215-E009-114

執行期限：90年8月1日至91年7月31日

主持人：吳慶源 交大電工系

一、中文摘要

本研究針對未來極大型(ULSI)積體電路所需之重要元件的設計問題進行前瞻性的研究，其中包括元件縮小的準則、可靠性問題、元件結構最佳化、元件模擬及模式的建立、參數粹取的方法等。探討的元件包括本體式金氧半場效電晶體、快閃記憶元件、矽／二氧化矽絕緣場效電晶體等。另外，本研究亦針對新的記憶體細胞元結構及電路作前瞻性與突破性的研究，其中包括快閃記憶體、動態隨機存取記憶體及靜態隨意存取記憶體。

關鍵詞：(關鍵詞：極大型積體電路、深次微米元件、設計、分析、可靠性、模擬)

二、英文摘要

This research project is proposed for the advanced studies on future ULSI devices, including device scaling rules, reliability problems, device structure optimization, device simulation and modeling, parameter extraction. The advanced devices under studies include bulk MOSFETs, SOI/MOSFET and Flash EEPROM. In addition, new memory cell structure and circuit for Flash memory, DARM and SRAM will be studied.

Keywords: ULSI, Deep-Submicrometer devices, Design, Characterization, Reliability, Modeling)

二、計畫的緣由與目的

深次微米技術發展相當快速，典型之技術指標的產品以中央處理系統(CPU)及

動態存取記憶體為代表。英代爾的中央處理系統以0.13微米5層金屬技術量產 Pentium IV;動態存取記憶也以0.15微米技術量產，預計2002年上述兩種技術指標將進入0.13微米的技術領域。本計畫針對國際深次微米所呈現的問題：元件的模擬與最佳化進行深入的研究。此計畫不但研發前瞻性的積體電路元件及電路，同時亦培育高階的半導體人才，供國內業界羅致。

三、研究成果

(一) 本體式CMOS元件的模擬、分析及模式

(a) 完成二維逆向短通道效應 (Reverse Short-Channel Effect; RSCE) 解析模式，並與實驗數據比較，準確性良好，如圖一(a)所示。

(b) 完成含蓋逆向短通道效應的新臨界電壓的解析模式，並與實驗數據比較，準確性良好，如圖一(b)所示。

(c) 發展新的Charge-Pumping計測技術，以分析元件之interface-traps及oxide-charge分佈，如圖一(c)及圖一(d)所示。

(二) Flash EEPROM元件的模擬、設計及分析

(a) 完成P通道結構之Band-to-Band Tunneling作為Flash Memory細胞之programming的可行性，如圖二(a)所示。

(b)完成Band-to-Band Tunneling 與源/洩雜質分佈之關連性，並找出Band-to-Band Tunneling 與洩極電壓之依賴性的機制，如圖二(b)所示。

(c) 應用新的Charge-Pumping技術，分析完成Band-to-Band Tunneling所產生的 Interface Traps 及 oxide-charge分佈，如圖二(c)所示。

(三) SOI/MOSFET電晶體模擬、分析及模式建立

(a)發展完成新的SOI/MOSFET之臨界電壓模式，並與二維數值分析的結果作比較，準確性良好，如圖三(a)所示。

(b)發展完成SOI/MOSFET之Kink effect的I-V模型，並進行與實驗結果比較，如圖三(b)所示。

(c)發展完成SOI/MOSFET之散熱問題對I-V特性的影響，如圖三(c)所示。

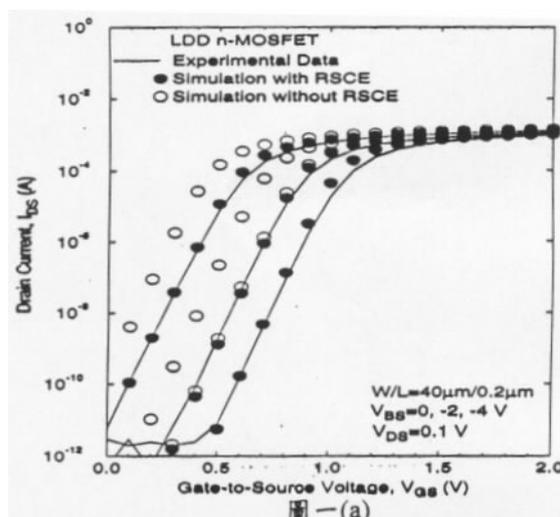
(四) 新記憶體細胞元的研究及SRAM電路設計

(a)利用SOI/MOSFET結構之Kink effect, 完成SOI結構之1T 記憶細胞元及陣列的結構，並研究讀與寫可行性，如圖四(a)、圖四 (b)及圖四(c)所示。

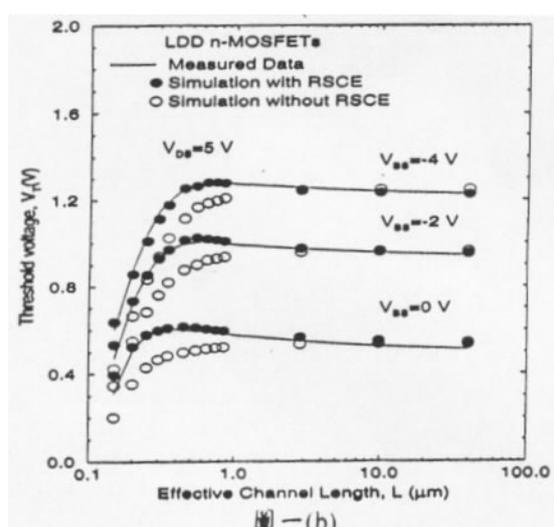
(b)完成新式電流模式讀寫6T SRAM 之感測放大器電路及128K*8 SRAM的設計 (0.35 μm)，如圖五(a)、圖五(b)圖四(c)及圖五(d)所示。

四、結論與討論

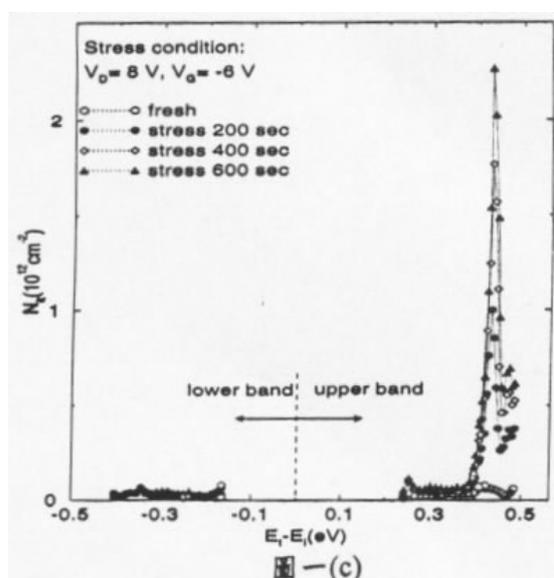
本研究在國科會的支持下已有不少的初步研究成果呈現，延續的研究均會呈現重要應用的價值。



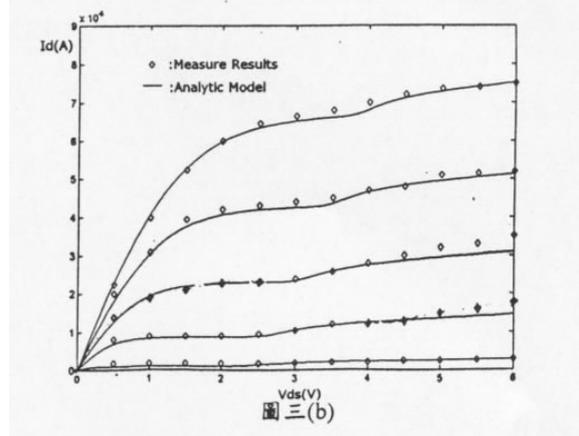
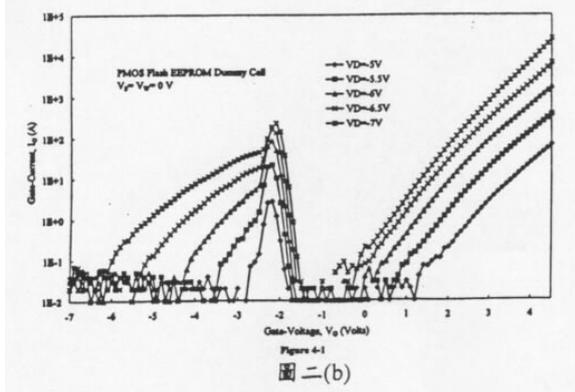
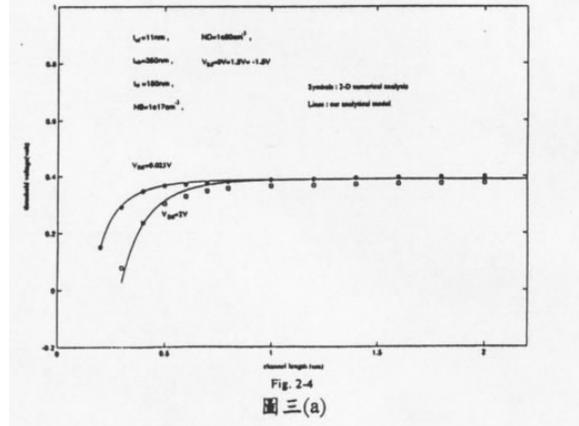
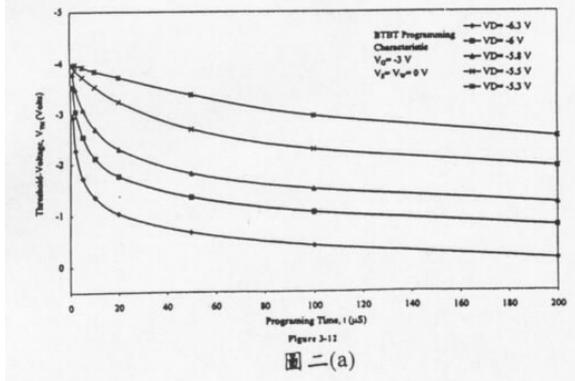
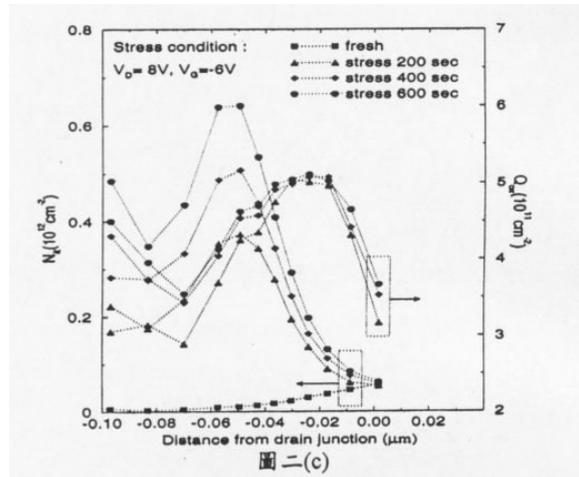
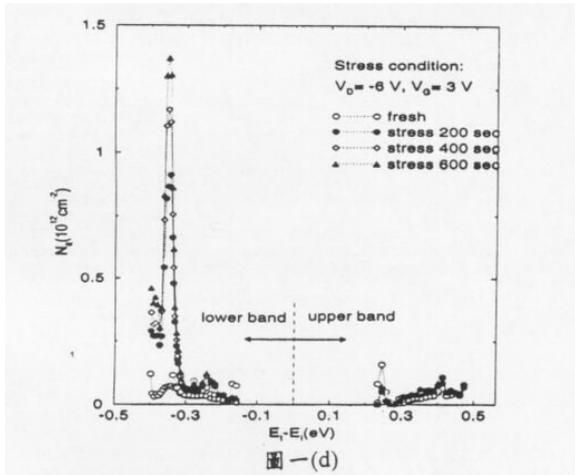
圖一(a)

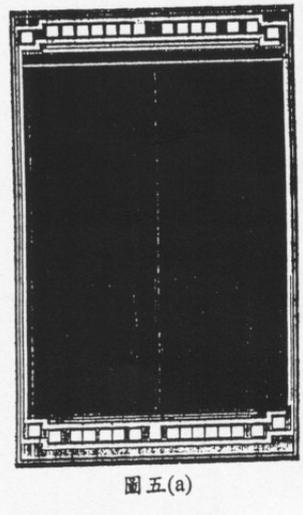
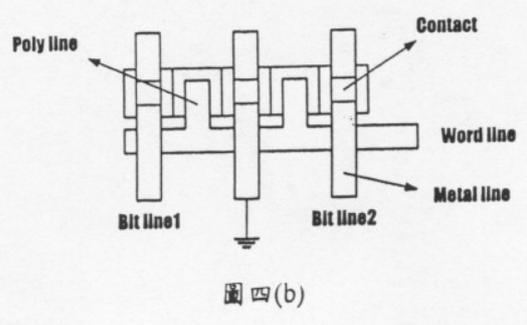
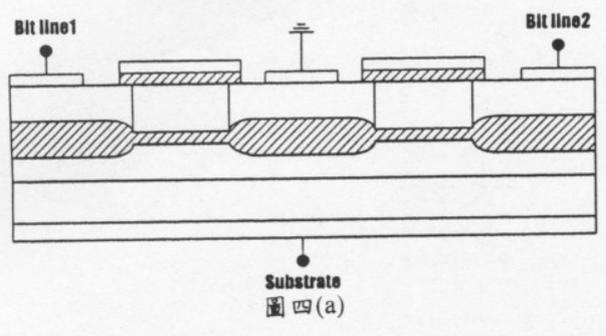
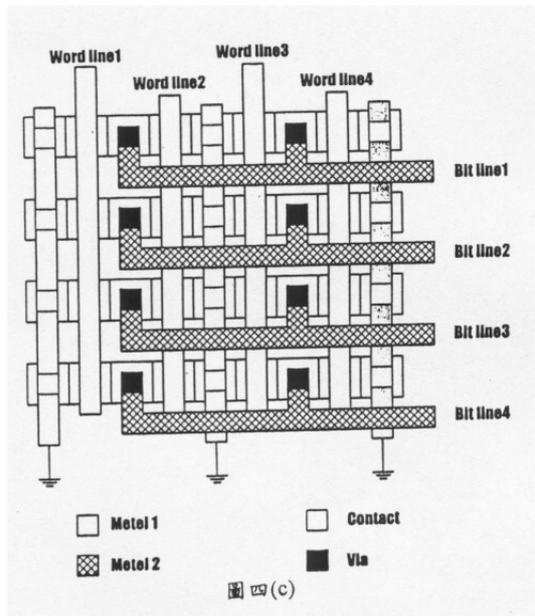
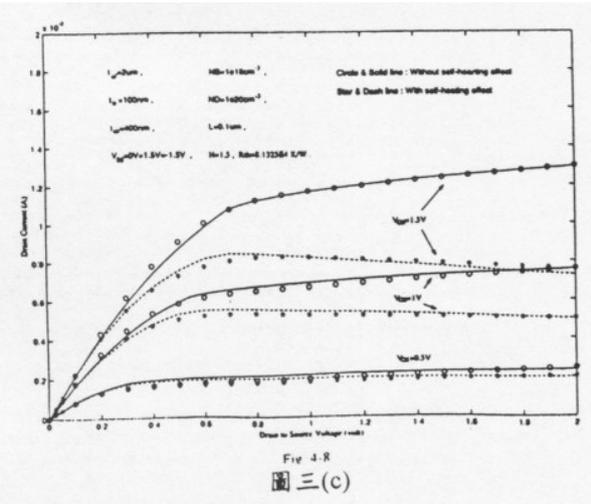


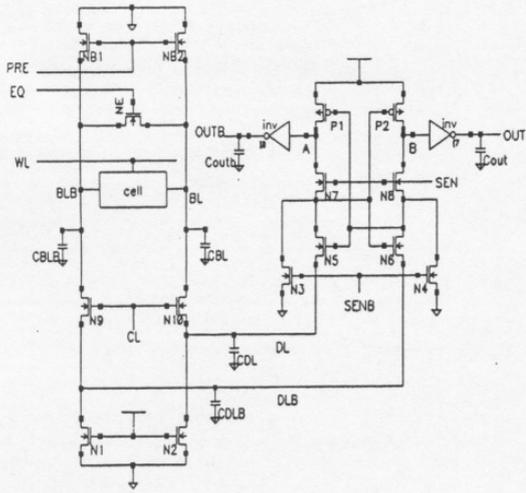
圖一(b)



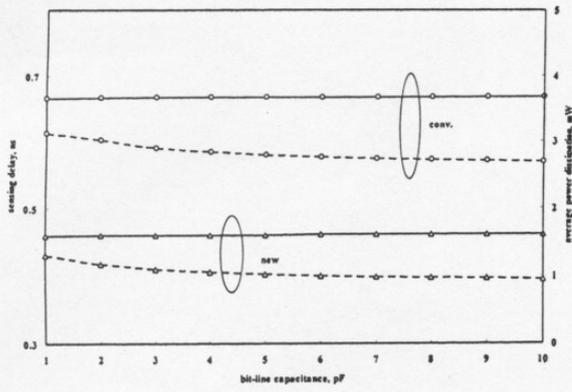
圖一(c)



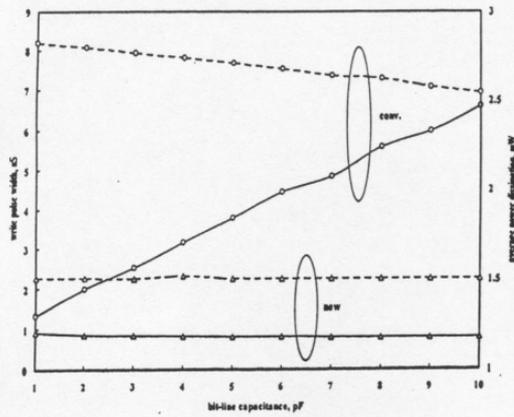




圖五(b)



圖五(c)



圖五(d)