

# 行政院國家科學委員會專題研究計畫成果報告 高速無線數據存取控制與基頻收發積體電路模組整合 IP 之設計及實作

## Integrated Circuits Design and Implementation of Medium Access Control and Baseband Transceiver for High-Speed Wireless Networks

計畫編號：NSC 90-2218-E-009-012

執行期限：90年8月1日至91年7月31日

主持人：陳伯寧/李鎮宜 國立交通大學電信工程系所/電子工程系所

共同主持人：溫瓌案、蔣迪豪/國立交通大學電子工程系所

張瑞川/國立交通大學資訊科學系所

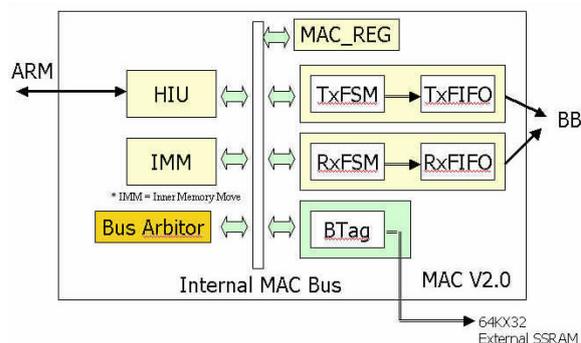
計畫參與人員：林其民、陳金源、王煦惠 國立交通大學電信工程系所

姚建、陳黎鋒、洪建仁 國立交通大學電子工程系所

### 一、中文摘要

隨著無線通訊市場的成長和可攜式 3C 應用系統的普及化，高速無線傳輸成為一必然的趨勢。目前無線區域網路所採用的技術，以直接序列展頻和跳頻展頻為主，並以 ISM 頻帶為其傳輸媒介。在此研究計畫中，我們將針對目前使用於 ISM 頻帶的基頻調變技術以及通道進行分析和研究，以利於日後系統層級的決策和軟硬體實現的參考。

於去年度的計畫中，我們已經完成高速無線數據存取控制與基頻收發各積體電路子模組的界面規劃與設計，今年則著重在核心技術的發展與系統整合。於基頻方面，我們設計了一個互補式編碼調變的 11Mbps 無線區域網路基頻處理晶片，並利用 SPW 做系統性能驗證及評估，最後再以 Verilog 做硬體層的系統模擬。為了使介質存取控制器與基頻處理器能整合於單一晶片上，介質存取控制器以標準單元式積體電路為架構，並以 ARM 為核心進行設計，如下圖：



在此架構下，我們用純組合邏輯設計達成 IEEE 802.11 所規範的具碰撞避免功能的分立架構無線載波偵測多重存取，同時也用硬體處理需及時處理的控制框架與管理框架。在與基頻處理器的介面上，採取高速 FIFO 的架構，在製程的模擬上可達到 100Mbps 以上的速度。目前系統已完成 Behavior level 與 Gate level 模擬並使用 ARM Evaluation Board 與其上的 FPGA 完成驗證。

**關鍵詞：**無線高速數據網路、分立架構無線載波偵測多重存取、互補碼、直接序列展頻

## Abstract

The recent growth of wireless communication market and the wide-spread of portable 3C applications make high-speed wireless transmission a promising future technology. The current transmission techniques over wireless LAN are primarily based on Direct Sequence Spread Spectrum (DSSS) and Frequency Hopping Spread Spectrum (FHSS); and the mediums are mostly chosen the ISM band. In this project, we will aim at the performance analysis for the ISM band modulation techniques transmitted over channels with diverse characteristics.

In last year, we have finished the interface design and development of submodules for our integrated MAC and Baseband transceiver chip. In this year, we turned the detailed design and development of key submodules. In summary, a CCK 11Mbps baseband chip has been developed, and subsequently simulated under SPW. To integrate the MAC and Baseband modules in a chip, MAC was developed in terms of pure combinational logic with an embedded ARM for upper-protocol applications. Under such a system setting, CSMA/CA and the handle of control and time-critical management frames are all performed by pure combinational logic. A FIFO interface between MAC and Baseband is adopted to achieve a 100Mbps processing speed. All our designs have been examined in behavior and gate level simulations, as well as over ARM evaluation board and FPGA.

**Keywords:** High-Speed Wireless Data Networks、CSMA/CD、CCK、DSSS

## 二、計畫緣由與目的

在解調變的技術中，傳統的設計方式是使用直接比較濾波器(Direct Matched Filter)架構，但目前普遍使用於互補式編碼解調變是採用快速華許轉換式(Fast Walsh Transform)架構，我們則是提出新的相位差轉換式(Differential Phase Transform)架構。這些架構各有其優缺點，DMF 擁有最好的效能，但是無法對抗複雜的雜訊環境；FWT 的效能略差於 DMF，但是硬體消耗較低；DPT 的效能又比 FWT 略差，但是可將硬體消耗減至相當低。因此由無線區域網路的省電需求的角度來看，我們的 DPT 應是相當好的調變架構。

另一方面，MAC 的實作方法可粗分為兩種，一種是有內嵌 CPU 的軟體執行方式，另一種是純組合邏輯設計方式。這兩種方法各有其優缺點，我們決定以後者來實作 MAC 是因為以 802.11 的 MAC 複雜度，可以使用純組合邏輯設計的方式來達成。同時以這種方式來實現 MAC，可達到非常高的傳輸速度。有鑒於架構於純組合邏輯設計較缺乏系統彈性，因此我們將 802.11 規範進行完整的規納整理後提出系統架構，採用模組化的方式來進行資料處理，並提出了晶片內部匯流排架構。而主機連接的介面，規劃成只透過 HIU 模組來進行，當未來需要擴充至其它介面一如 PCI，我們將只需修改 HIU 模組；在與 SRAM 連接的介面上，我們規劃一獨立的 Btag 模組，在更換不同類型的 SRAM 時，也只需對此模組進行更動。此外，在此架構下若需增加對外溝通的介面，亦可透過晶片內部匯流排，以及在 Bus Arbitor 模組中加入此新介面模組的分配權限。這樣具彈性的架構，對未來面對不同速度及不同介面的需求，將可提供一個相當具有可攜性的設計。

### 三、結果與討論

互補式編碼的編碼方式如方程式(1)所示：互補式編碼的字符(symbol)包含八個互補式編碼的碎片(chips)， $C_{0a} \sim C_{7a}$ ，其中  $a$  為時間指標。而訊息則是存在於四個組成相位中， $\phi_1 \sim \phi_4$ 。

$$\begin{aligned} S_a &= C_{ha}(\phi_1 a, \phi_2 a, \phi_3 a, \phi_4 a) \\ &= \{e^{j(\phi_1 a + \phi_2 a + \phi_3 a + \phi_4 a)}, e^{j(\phi_1 a + \phi_3 a + \phi_4 a)}, \\ &\quad e^{j(\phi_1 a + \phi_2 a + \phi_4 a)}, -e^{j(\phi_1 a + \phi_4 a)}, \\ &\quad e^{j(\phi_1 a + \phi_2 a + \phi_3 a)}, e^{j(\phi_1 a + \phi_3 a)}, \\ &\quad -e^{j(\phi_1 a + \phi_2 a)}, e^{j(\phi_1 a)}\} \end{aligned} \quad (1)$$

方程式(2)是 DMF 的數學運算式。

$$\begin{aligned} V_{cck}[n, \{\theta_1, \theta_2, \theta_3, \theta_4\}] \\ = \sum_{k=0}^7 r[n - kT_c] C_{7-k}^*[\theta_2, \theta_3, \theta_4] \end{aligned} \quad (2)$$

其中， $V_{cck}$  代表相關器(correlator)輸出的決策向量(decision vectors)，而  $T_c$  是碎碼的週期， $r[n]$  是從空中接收後轉基頻端的訊號， $C_x(\phi_1, \phi_2, \phi_3, \phi_4)$  是預測的互補編碼字符，其中包含在時間  $x$  時，各種的預測相位  $\phi_1, \phi_2, \phi_3, \phi_4$ 。

FWT 轉換式的定義為：

$$H_1 = \begin{bmatrix} A & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & A & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & A & 1 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 & A & 1 \end{bmatrix} \quad (3)$$

$$H_2 = \begin{bmatrix} B & 1 & 0 & 0 \\ 0 & 0 & B & 1 \end{bmatrix} \quad (4)$$

$$H_3 = \begin{bmatrix} C & 1 \end{bmatrix} \quad (5)$$

其中  $\{A, B, C = e^{j\phi_2}, e^{j\phi_3}, e^{j\phi_4}\}$ 。在實作上經過華許轉換式後將  $S_a * H_1^T * H_2^T * H_3^T$  取最大值，便可求出隱藏在 CCK 碎片中的傳送資訊— $\phi_1 \sim \phi_4$ 。

我們則提出 DPT，其運算式為：

$$V_{\phi_2 a} = \sum_{k=0}^3 s_{2-A_{2k_c}} A_{2k_c+1}^* C_{2k_c} C_{2k_c+1}^* \quad (6)$$

$$V_{\phi_3 a} = \sum_{k=0}^3 s_{3-A_{3k_c}} A_{3k_c+2}^* C_{3k_c} C_{3k_c+2}^* \quad (7)$$

$$V_{\phi_4 a} = \sum_{k=0}^3 s_{4-A_{4k_c}} A_{4k_c+4}^* C_{4k_c} C_{4k_c+4}^* \quad (8)$$

$$V_{\phi_1 a} = \sum_{h=0}^7 s_{1-A_{2h_c}} A_{2h_c-1}^* C_{2h_c} C_{2h_c-1}^* \quad (9)$$

and

$$s_1 = e^{j(b_2(\phi_2 a - 1 - \phi_2 a) + b_3(\phi_3 a - 1 - \phi_3 a) + b_4(\phi_4 a - 1 - \phi_4 a))},$$

$$s_2 = (-1)^k,$$

$$s_3 = (-1)^k * \text{sign}(1.5 - k),$$

$$s_4 = \text{sign}(1.5 - k),$$

$$b_2 = \frac{\text{sign}(0.5 - h \% 2) + 1}{2},$$

$$b_3 = \frac{\text{sign}(1.5 - h \% 4) + 1}{2},$$

$$g_a = 2k_a - m_a, \text{ and}$$

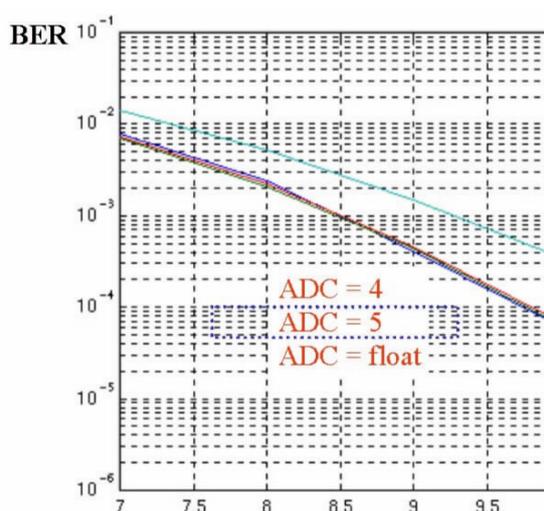
$$b_4 = \frac{\text{sign}(3.5 - h \% 8) + 1}{2}.$$

表格一是對於上述各種解調變器架構的硬體消耗分析。在表格中 Cor. 代表相關器(correlator)的個數，而 C-Add/Mul 是指複數加法器或乘法器的個數，M.P. 是指最大抓取器(Maximum Picker)的型式和個數。我們可以發現，採用 DMT 對硬體消耗的需求度最高 - 51K；採用 FWT 的方式，可以節省超過 50% 的硬體消耗；而 DPT 的方式，就可以採用硬體平行化處理的技巧，使得硬體消耗比 FWT 減少了 50%，達到 13K 左右。如果，我們再加上硬體共享的觀念，還可以再大幅的縮小對硬體的消耗達 75%，也就是只要 4K 的邏輯閘就足以應付互補編碼的解調變需求。整體來看，我們可以比 DMF 少 90%，比 FWT 少 80%。

Structures	Gate Count	Cor./C-Add/Mul	M.P. Type/#
Direct Matched Filter	51529	64/512	64 To 1 / 1
Centralized	FWT-Type	24085	28/112
	Pyramid-Type	7088	7/28
Distributed	Butt.-Based	13762	12/48
	DPT-Based	13704	12/48
Condensed	DPT-Based	4091	3/12

表格一：各種互補編碼解調變器的硬體消耗分析表

在實作上，我們必需決定真實設計所需使用的量化位階術。我們使用 Verilog 做為系統模擬分析的環境，圖二是 DPT 架構，在不同的類比數位轉換器解析度下所做的效能分析。我們分別測試了四種狀況，浮點數、3-Bits、4-Bits 和 5-Bits。結果顯示，超過 4-Bits 以上，其效能就和浮點數時差不多。考量將來的系統擴充性與提升可靠度，我們採用 5-Bits 做為我們的解析度。



圖二：以相位差轉換架構對類比數位轉換器解析度分析

在 MAC 的驗證上，我們先進行軟體的 Behavior level 及 Gate level 模擬，驗證確可達到 100Mbps 以上的處理速度，且對於規範中所定義的 IFS、CSMA/CA、Virtual Carrier Sense 等功能都可正常的動作。在實體驗證上，我們則以主機端驅動程式配合 ARM 的 FPGA 實驗板做測試，在測試的同時，另輔以模擬基頻處理器的模組來提供真實傳輸的介面速度。在這樣的條件下，兩主機端的 MAC 可做資料的交互傳輸，且傳輸規範可符合 802.11B 的 11Mbps 規格。而且在面積上整個 MAC 約 3 萬個邏輯，是市面上的 1/3 至 1/4。在速度、面積及和 Baseband 整合度而言，有很大的競爭力。

#### 四、未來工作目標

CCK Code 特性不同於 Barker Code，它的自相關特性 (autocorrelation) 相當差，所以在多重路徑的對抗上就變得相當脆弱。在展頻碼調變 (CDMA) 系統中，我們可以使用耙狀接收器 (RAKE receiver) 去做資料修復，然而互補式編碼為了使傳送速率增加，犧牲了自相關特性，換句話說，互補式編碼並不適合用耙狀接收器。而如何加強多重路徑的對抗性是我們未來的工作重點。

此外，設計不夠完善的射頻端的中心頻率漂移 (Central Frequency Offset, CFO)，或者都卜勒效應 (Doppler Effect) 的影響，都會造成接收相位的不斷旋轉。這對於以相位載送資料的互補碼調變會有很大的影響。由於互補碼的資料速率很快，所以要設計一個好的中心頻率漂移補償器相當的不容易。所以我們另一個未來的工作重點在於如何作好頻率漂移補償。

#### 五、參考文獻

- [1] Van Nee, R. D. J., "OFDM Codes for Peak-to-average Power Reduction and Error Correction", *IEEE Global Telecommunications Conference*, pp.740-744, 1996.
- [2] S.-P. Huang, *Design and Implementation of High Speed IEEE802.11 MAC Controller*, Master Thesis, Institute of Communications Engineering, National Chiao Tung University, Hsin Chu, Taiwan, R.O.C., June 2000.

產 品

