

行政院國家科學委員會補助專題研究計畫成果報告

適用於無線通訊之互補式金氧半積體電路 無線通訊之互補金氧半收發機前端電路設計-子計畫二

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 90-2215-E-009-116

執行期間：90年 08月 01日至 91年 10月 31日

計畫主持人： 吳重雨 教授

計畫參與人員：周忠昫、王文傑、蔡俊良、陳宗明、康漢彰

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：

中 華 民 國 91年 08月 21日

行政院國家科學委員會專題研究計畫成果報告

計畫編號：NSC 90-2215-E-009-116

執行期限：90 年 08 月 01 日至 91 年 10 月 31 日

主持人：吳重雨 教授 國立交通大學電子研究所

計畫參與人員：周忠昫、王文傑、蔡俊良、陳宗明、康漢彰
國立交通大學電子研究所

中文摘要

從已經發表的論文中可以看出,在無線通訊的領域中,2.4GHz 已經成為一個熱門而又確實能夠實現的射頻頻段,而在可預見的將來,5GHz 的免付費頻段也即將成為下一個重要的研究里程碑。自從 FCC 在 5GHz 的載波頻率上設定了 300MHz 頻寬的免付費頻段後,高資料傳輸率(高達 54Mb/s)的無線區域網路,也將隨之變得熱門而重要。

此計劃的目標主要是驗證以 0.18 ~ 0.13 μ m 場效金氧半電晶體的製程來實現 5.2 ~ 5.8 GHz 高頻段無線射頻金氧半電晶體收發機的可行性,預計完成的電路元件包括低雜訊放大器、混波器、中頻濾波器/限制器/放大器、電壓控制振盪器,在各元件的功能經過驗證及改進後,並進一步加以組合,而所有的電路都會經由實際測試來確認結果。

關鍵詞：無線區域網路、場效金氧半電晶體、低雜訊放大器、混波器、中頻濾波器

Abstract

As various wireless standards continue to populate the 2.4GHz range, the next natural step is to extend the communications to the unlicensed 5GHz band. With the FCC allocation of 300MHz bandwidth in the 5GHz frequency band for the un-licensed national information infrastructure (U-NII), high data-rate (up to 54Mb/s) wireless local area networks (LAN) become increasingly popular and important for mobil computing device.

It is the aim of this project to evaluate the 0.18 ~ 0.13 μ m CMOS process for the development of RF transceiver front end for fixed wireless applications in the 5.2 ~ 5.8 GHz frequency band. The design target is to implement LNAs, mixers, IF filters/limiters/amplifiers, VCOs and their combinational

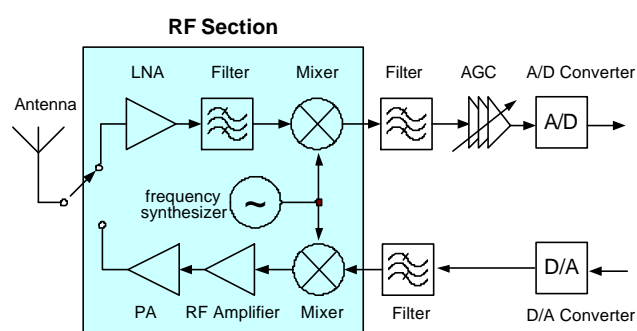
modules. All circuits will also be tested.

Keywords: Wireless Local Area Networks, CMOS, LNA, Mixer, IF Filter

一、簡介

隨著製程的改進,CMOS 的操作頻率已從過去的 Mega Hz 攀升到 Giga Hz,加上近幾年無線行動通訊市場的快速成長,應用於個人電腦、網路、通訊、消費性電子等系統的射頻發收機 IC 被廣泛地使用,以 CMOS 完成整個射頻通訊系統成了極熱門且吸引人的研究領域 [1]~[7]。而本研究計畫則是以 0.18 ~ 0.13 μ m 的 CMOS 製程,對無線區域網路所使用的更高頻率(5.2 ~ 5.8GHz),做進一步的研發。

一般而言,射頻系統能被分成二個主要架構(如圖一):接收器(receiver)和發射器(transmitter)。



圖一 無線收發機

在射頻接收器的部分,包括了低雜訊放大器(LNA)、向下轉換混波器(down-conversion mixer)、頻率合成器(frequency synthesizer)以及中頻濾波器(IF filter):低雜訊放大器將接收到的射頻訊號放大並降低系統的雜音指數(noise figure),向下轉換混波器配合頻率合成器產生的本地震盪訊號降低載波頻率以利後級的中頻濾波器做頻道的選擇。

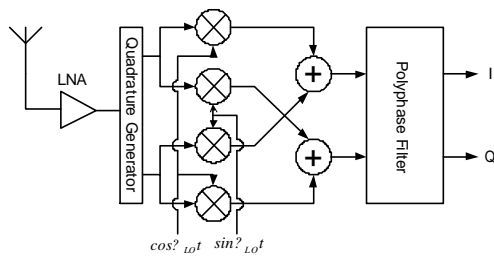
在發射器的部分，則由向上轉換混波器 (up-conversion mixer)、頻率合成器、及功率放大器(power amplifier)所構成：向上轉換混波器配合頻率合成器將基頻訊號調變後，經由功率放大器把訊號經由天線發射出去。

在架構的選擇上，整個接收器系統可根據功率消耗、整合性以及電路實現的難易做不同的考量。

二、電路實現

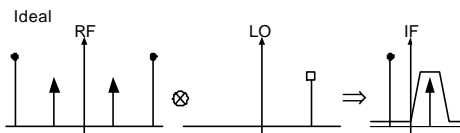
1. 雙正交架構

此架構由 Jan Crols 及 Michiel Steyaert 於 1995 年提出：

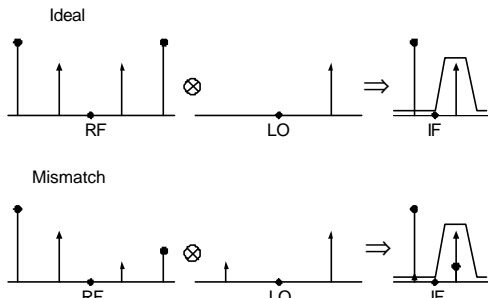


圖二 雙正交接收機架構圖

架構將 I-Q 訊號以複數的方法做分析，與傳統的 Low-IF 架構相較，此種新架構可以對 Multi-Path 電路製程上無法完全匹配的缺點有較大的容忍力，降低了鏡像訊號的干擾，其原因可以由圖三及圖四中看出



圖三 傳統 Low-IF 架構受鏡像訊號影響頻譜圖

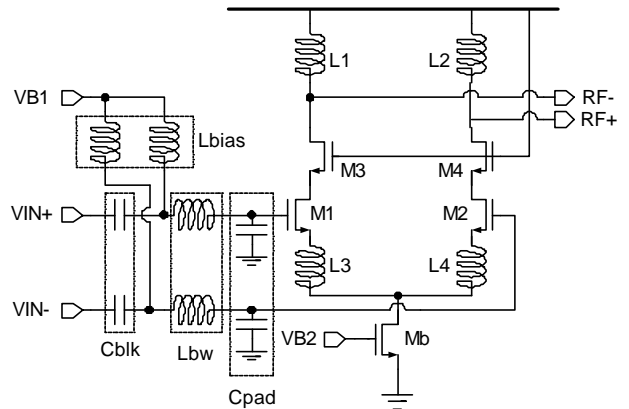


圖四 Double Quadrature Low-IF 架構受鏡像訊號影響頻譜圖

由上兩圖可以看出 Double Quadrature 因將射頻訊號也變為正交訊號，所以受鏡像訊號影響將大為減少。

2. 低雜訊放大器

低雜訊放大器是決定射頻前端電路的靈敏度最重要的元件，它將接收到的射頻訊號放大並降低系統的雜音指數，電路如圖五



圖五 低雜訊放大器

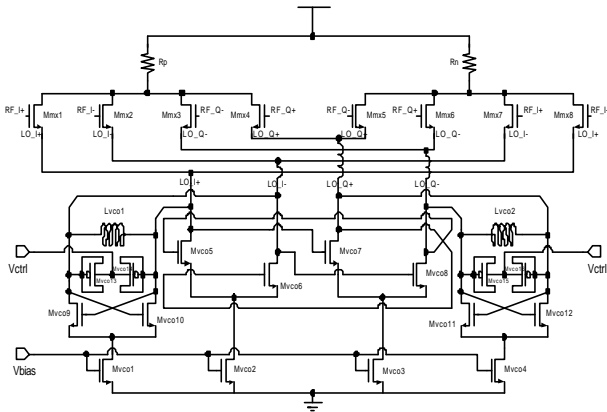
在低雜訊放大器中，對雜訊影響最大的為輸入端的兩個電晶體 M1,M2，在此次的電路設計中，參考了 Thomas H. Lee 對雜訊的分析方法，將 induce gate current noise 加入考慮，在固定功率消耗的考量下(5mW)，選擇最適當的閘極寬度，可得到最佳的雜音指數。Spiral Inductor L1,L2 採用台積電提供的最小電感 (2.307nH)，此電感的 Valid Frequency 為符合要求的 6 GHz，將與位於輸出端的寄生電容產生 5.05 GHz 的自振頻率。而 Spiral Inductors L3,L4 及 bondwire Inductors Lbw 則提供阻抗匹配以利最大功率傳輸。在做電路模擬時所有的 bondwire 及 PAD 電容均列入考慮。模擬的結果如下：

Process	TSMC018
Supply Voltage	1.8
Gain	18.7 dB
Noise Figure	3.37 dB
IIP3	-5 dBm
Power Dissipation	5 mW

3. 正交相位調變器

在此架構中需要一個能產生正交相位本

地震盪訊號的電壓控制震盪器，來提供四個混波器與正交的射頻訊號做相乘。圖六為 I-Channel 的兩個混波器及正交電壓控制震盪器(在 Q-Channel 為相同的電路，但輸入的射頻訊號接線不同，且共用相同的電壓控制震盪器)。



圖六 正交混波器及正交電壓控制震盪器

在此電路中 Mvco1~Mvco16 為電壓控制震盪器，Mvco9~Mvco12 產生的負電阻抵消掉寄生電阻提供震盪的條件，再由電感 Lvco1, Lvco2 及 Mvco13~Mvco16 產生的可變電容決定震盪頻率，Mvco5~Mvco8 則利用電壓電流彼此拉扯的特性產生正交的本地震盪訊號。Mmx1~Mmx8 則為混波器，本地震盪訊號由電晶體的源極進入，而射頻訊號則由閘極進入，利用電晶體電壓對電流的平方關係可得出相乘的結果。混波器與電壓控制震盪器共用同一電流，可以達到節省功率的效果。經過模擬震盪器的輸出訊號可以涵蓋 250 Mega Hz (5.1~5.35 GHz)，與前級的正交相位產生器配合，可以將所需要的射頻訊號降到中頻(30 Mega Hz)

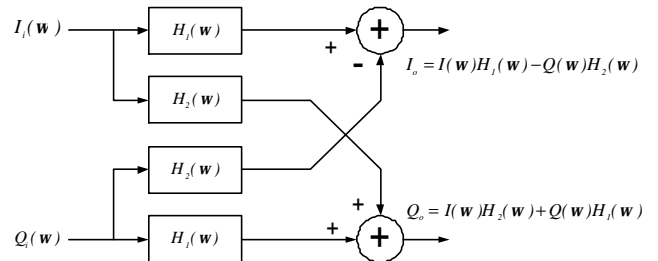
RF Frequency	5 GHz
Power Supply	1.8V
Power Dissipation	4.5 mW
Phase Error	2.04°
Amplitude Error	0.046 dB
Tuning Range	250 Mega
Conversion Gain	-0.35 dB
OIP3	-1.65 dBm

4. 多相位濾波器

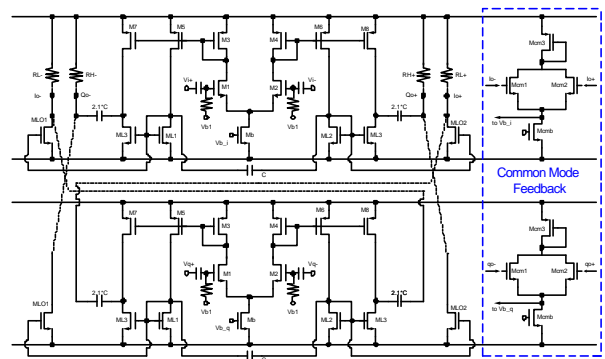
I-Q 訊號可視為一個複數訊號 $I+jQ$ ，所以一個 Polyphase Filter 即是一個複數的濾波器。因為所需要的訊號與鏡像訊號位於相同頻率的正負兩端，作為一個具備鏡像壓縮功能的 Polyphase Filter 便必須對正負頻率有足夠的選擇性。複數濾波器的操作原理如圖七，其轉移函數可以以四個實數濾波器組合而成(如圖八)，適當的選擇實數濾波器的轉移函數即可以完成對正負頻率作篩選的功能，實現電路如圖九。

$$I(\omega) + jQ(\omega) \rightarrow H_1(\omega) + jH_2(\omega) \rightarrow \begin{matrix} I(\omega)H_1(\omega) - Q(\omega)H_2(\omega) \\ + j[I(\omega)H_2(\omega) + Q(\omega)H_1(\omega)] \end{matrix}$$

圖七 複數濾波器的操作原理



圖八 以實數濾波器來實現複數濾波器



圖九 多相位濾波器電路圖

Channel Bandwidth	26 Mega Hz
Gain	9.36 dB
THD	-48 dB
IRR	> 60 dB

此部分的研究成果已撰寫成論文並發表[8]。

三、結論

目前已完成的有：低雜訊放大器、正交相位調變器、多相位濾波器。低雜訊放大器具有低雜訊、低功率消耗和高線性度等特性。正交相位調變器使用了電流重覆使用的原理，大幅

度的降低功率消耗，在電路的性能上，經過四個 corner 的模擬驗證後，皆能滿足需求。多相位濾波器則有高鏡像壓縮比、線性度、及低功率消耗的優點。

四、計畫成果自評

目前接收器的部分已經接近完成的階段，初步的量測結果證明可適用於低發射功率的通訊系統中；而在發射機上，5-GHz 功率放大器則正在進行模擬設計。

五、參考文獻

- [1] P. Gray and R. Meyer. "Future Directions of Silicon Ics for RF Personal Communications," Custom Integrated Circuits Conference, pp. 83-90, May 1995.
- [2] J. Crols and M. Steyaert, "A Single-Chip 900 MHz CMOS Receiver Front-End with a High Performance Low-IF Topology," IEEE J. of Solid-State Circuits, pp. 1483-1492, December 1995.
- [3] A. Abidi, et. Al., "The Future of CMOS Wireless Transceivers," International Solid-State Circuits Conference, pp. 118-119, Feb. 1997.
- [4] P. Gray, et. Al., "A 1.9-GHz Wide-Band IF Double Conversion CMOS Receiver for Cordless Telephone Applications," IEEE J. of Solid-State Circuits, pp.2071-2088, December 1997.
- [5] D. Shaeffer et. Al., "A 115mW CMOS GPS Receiver," International Solid-State Circuits Conference, pp. 122-123, Feb. 1998.
- [6] B. Madsen and D. E. Fague, "Radios for the future: Designing for DECT," RF Design, cover story, Apr. 1993.
- [7] K. C. Tsai, and P. R. Gray, "A 1.9 GHz 1W CMOS Class E Power Amplifier for Wireless Communications," 24th European Solid-State Circuits Conference, The Hague, Netherlands, Sept. 1998.
- [8] Chung-Yun Chou, Chung-Yu Wu, "The Design of a New Wideband and Low-Power CMOS Active Polyphase Filter for Low-IF Receiver Applications", accepted by APCCAS 2002.