

# 單晶片寬頻無線通訊系統設計技術之研究—總計畫

## The Study of SOC Design Technology for Wireless Broadband Communication System

計畫編號：NSC90-2218-E-009-035

執行期限：90年8月1日至91年7月31日

執行單位：國立交通大學電子工程學系

計畫主持人：李鎮宜、Tel: (03) 5731849; Email: cylee@cc.nctu.edu.tw

計畫共同主持人：黃家齊、任建葳、陳紹基、周景揚

### 一、中文摘要

隨著半導體製程的精進，單晶片系統(SOC)已成為未來的趨勢，單晶片系統可以整合各種不同的單元，針對不同的應用設計出適合於該系統的晶片，以期達到高效能、低功率及低成本之優勢。目前資訊產業中，無線通訊系統是一個快速成長的產業，可應用在手機、可攜式產品和無線區域網路等等應用上，而在下一代的無線通訊系統中，將朝更高傳輸速度和低功率發展，在此整合計畫中，我們所針對的是 Beyond 3G (B3G)的無線通訊網路來做研究，特別是其中的單晶片系統相關技術，計畫中分成五個子計畫，分別針對系統中的重要單元最深入的研究，子計畫一乃是探討 OFDM/CDMA 接收機之基頻架構，子計畫二則嘗試提出一應用於通訊系統中高效能低耗電之 DSP 架構，計畫三特別針對系統中核心運算單元 FFT 做深入的研究，計畫四中則是提出一 layout driven 之技術以映用於深次微米 SOC 設計，而計畫五則是研究適合於無線網路傳輸的多媒體技術，我們的研究成果部分也已發表在國際期刊上。以下為個子計畫的摘要，技術性細節請參閱個子計畫之報告。

### 英文摘要：

With the rapid progress of semiconductor technology, the System-on-a-chip (SOC) becomes the mainstream of future system.

SOC can integrate various function units into a single chip according to the demand of various applications. It can realize a high performance, low power and low cost system. Currently, wireless communication system is a rapid grows field in IT industry. The applications include mobile phone, handheld device and wireless LAN. The research is focus on higher data rate and lower power in next generation wireless communication system. In this project, our research is focus on the Beyond 3G (B3G) wireless communication system, especially the SOC related technologies. The project has divided into five sub-projects, and each sub-project is focus on the key technologies in the system. In first project, we study the OFDM/CDMA receiver baseband processor architecture. In second project, we propose a high performance and low power DSP, which is suitable for wireless communication system. And in third project, we focus on the key computation unit FFT in the system kernel. As for fourth project, a layout driven datapath complier technology is proposed to apply on deep sub-micron SOC design. Finally, the multimedia wireless transmission technology is studied in fifth project. We have developed some technology and some of them have been published on the international journals. Below is the research summary of each sub-project. For more details, please refer the report attached in this project.

### 二、子計畫相關研究發展成果

### 1. 子計畫一:以垂直正交多工調變為基礎之下一代蜂巢行動通訊系統之研究 (計畫編號: NSC90-2218-E-009-036)

下一代的蜂巢式行動通訊系統必須提供高速資訊傳輸之無線網路應用。而最可能使用之無線多重進階方式為 OFDM/CDMA。此子計畫中將探討 OFDM/CDMA 下鏈接收機之基頻架構設計及系統效能。這個接收機除了具有訊號偵測功能，還包含通道估計功能。訊號偵測的部分需要設計一個通道等化器與決策器。其中通道等化器主要有最大比例合併等化器 (Maximum ratio combination)、強制歸零等化器 (Zero forcing)、部份等化器 (Partial equalizer)、最小均方差等化器 (MMSE) 與相同增益合併等化器 (Equal gain combination) 等五種。本計畫研究各種等化器之效能以應用在下鏈接收機之架構。在通道估計方面我們是使用一已知的領航訊號 (pilot signal)，利用 FFT 匹配濾波器 (FFT Matched filter) 觀念與移動平均的技術來完成。

### 2. 子計畫二:低功率數位訊號處理器矽產核心(計畫編號: NSC90-2218-E-009-037)

此子計畫目標為設計一個應用在無線通訊的可程式化數位訊號處理器 (programmable DSP, or DSP processor)，本年度計畫完成的項目包括了新一代 DSP 處理器的相關資料搜集與整理、提出了一個可變長度的超長指令集 DSP 處理器架構，同時也提供單一指令多重資料 (SIMD) 處理的能力，我們也完成了其指令集模擬器及其應用於數個重要的數位訊號處理應用的效能評估 (包含 DLMS、motion estimation、Viterbi decoding)。

此 DSP 處理器核心主要是能支援 DAB 及 DVB-T 基頻運算處理的要求，其重要的特色有以下幾個：(1) 高速度：高於 2,000 MOPS 的運算能力 (16 位元資料在 200MHz 的工作頻率下)，(2) 低功率，低於 1mW/MOP，(3) 可變長度之超長指令架構 (variable-length VLIW; 使用多個基本的 16-bit 指令組成) (4) 提供 optional 及 user-defined (customized) 的指令空間 (5) 可分解的 (splittable) 功能模組，用來執行 SIMD 之動作，80-bit 的暫存器組可以分割為兩個 40-bit 的累加器 (accumulators) 或四個 16-bit 的通用暫存器 (6) 具可再組、可延展能力 (包含了 customizable 的指令集設計及 configurable 硬體加速器模組) (7) 提供 power-aware 的指令。高速度、低功率是無線通訊基本要求。可重新組態之能力將提供此處理器可以 (1) 支援多標準、多工作模態，(2) 具有架構台的差異性，(3) 實體操作環境的適應性 (例如高雜訊環境)。此處理器其他重要性能規格包括：32 位元定點資料，具 SIMD 與次字元平行度的能力，不同長度指令集，高程式碼密度，並採用 .18um CMOS 製程，提供高度的架構延展性等。我們所開發的 DSP 智產核心將是用於下一代無線通訊 SoC 的關鍵模組。

### 3. 子計畫三: 高效能之快速傅立葉轉換演算法架構設計及其在數位通信上的應用 (計畫編號: NSC90-2218-E-009-038)

本子計畫主要目標是針對正交分頻多工通信系統中基頻收發機有關快速傅立葉及反快速傅立葉轉換處理器的研究與設計，由於傅立葉轉換廣泛運用在有線通訊方面，如：ADSL、VDSL，在無線通訊方面，如：DAB、DVB、802.11a 等等，均是利用此一調變方法來達到高傳輸效率的目的。但在 OFDM System 中，FFT Module 不論在計算上或硬體上的複雜度都非常龐大，所以 Low Power 與 Low Cost 的考量是必要的。在本計畫中，我們完成了數項成

果：(1) 各種快速傅立葉轉換演算法的分析與比較，(2) 各種快速傅立葉轉換架構的分析與比較，(3) 提出一可變長度、定位(in place)單一 FFT 處理器架構，(4) 提出非定位一 FFT 處理器架構，(5) 提出兩個 FFT 係數(Twiddle factors)合成器架構。此外為了簡化硬體複雜度我們也探討了 FFT 與 IFFT 硬體共用的方式，在位元長度的選擇上經過精確度的模擬而選擇適當的長度，並提出依方法減少 FFT 運算中所需的係數暫存器大小。

#### 4. 子計畫四：單晶片系統上佈局驅動的資料路徑編譯器之研究 (計畫編號：NSC90-2218-E-009-039)

在 B3G 的無線通訊系統中，如何設計一個速度又快、面積又小的乘法器是非常重要的，因為乘法器是系統中許多重要部分如中央處理器(CPU)、數位訊號處理器(DSP)、快速傅立葉轉換器(FFT)裡的關鍵元件。雖然自動產生乘法器這個主題已經有很多相關研究，但是大部分的研究均採用以 XOR 邏輯閘為最小單位的速度估計方式，而這種方式當然是太過理想而不實際的，尤其在深次微米時代。因此，在此子計畫中我們研發一種以佈局考量為基礎的乘法器自動產出機，它採用以基本元件庫為基礎的速度估計方式，來取代過去以 XOR 邏輯閘為最小單位的速度估計方式，同時，在合成(synthesis)的過程中，我們還會將繞線所產生的延遲時間考慮在內；至於速度最佳化的動作，我們將它合併在元件放置(placement)的步驟中，以便將整個電路的形狀一併考慮在內；而最後一級的加法器，我們則將它整合在樹狀行距壓縮(column compression tree)的電路中一併產生，以更加簡化它的結構。藉由這種整合了合成、元件放置及重合成

(resynthesis)三大步驟的新式乘法器產生流程所產生的乘法器，由於已經將實際佈局狀況的因素考慮在內，能夠比傳統流程所產生的乘法器有更好的表現。這種以佈局考量為基礎的乘法器自動產出機不但可用在子計畫三中來自動產出高效能快速傅立葉轉換器，也可在子計畫二中用來自動產出低功率數位訊號處理器。

#### 5. 子計畫五：無線多媒體傳輸與基頻電路設計之研究 (計畫編號：NSC90-2218-E-009-040)

在此子計畫中多媒體傳輸方面，我們主要針對目前熱門的 3D 電腦繪圖做探討，在 3D 電腦繪圖的資料傳輸端，由於大部分的物體多是以多邊形來表示，此部分的資料量會隨著物體的多寡及複雜度而暴增，因此並不符合多媒體傳輸的精神，因此我們採用另一種物體表現的方式貝茲曲線(Bezier curve)，因為曲線是使用參數是來表示物體的外觀，因此可以大幅縮減所需要的資料量，並且可以做 quality of service 的控制，正好符合網路傳輸的需求，在此我們提出一適合於硬體實現的曲線拆解(tessellation)演算法和硬體單元，使其能整合進現有的繪圖處理器，達到多媒體傳輸的需求。此外我們更針對後級繪圖單元提出一頻寬降低的技術，我們結合了之前所提出的階層式 Z-buffer 和描繪(Rasterization)單元，提出一 visibility driven rasterization 的方法，使得描繪硬體在運作時也可將一些不需要的點消除，此單元可大幅將低後面運算所需的頻寬以及不必要的運算，使得 3D 電腦繪圖可以在較低的硬體資源上實現。

另外在無線通訊系統中，錯誤更正(Forward Error Correction, 簡稱 FEC)主要是用來保護數位資料，使其不會因為人為破壞或是傳輸過程當中發生錯誤而喪失。而從不同應用的規格中，錯誤更正機制主要由四個單元所組成：Randomization、Reed-Solomon coding、

Interleaving 以及 Trellis coding。在其他的應用如無線區域網路 Hiper LAN 或者 IEEE 802.11a 的規格中，整個 FEC 機制由 Randomization、Trellis coding 跟 Interleaving 所組成；而在光碟、數位影音光碟 DVD 或者光纖通訊應用上則僅選用 Interleaving 以及 Reed-Solomon coding 來作為 FEC 機制。換句話說，大多數實際應用的 FEC 機制中，使用之基本運算單元通常大同小異，並且這些差異可以用參數化的方式表現出來。藉由 FEC 運算的特性，我們定義出其專屬之特殊指令集，並且提出一個可以符合大多規格且複雜度低的多模式錯誤更正處理器，除了可以降低新光罩的成本，也可以當作加速 SOC 系統應用之 FEC Co-processor。

### 三、總計畫整合概況

考量到整合性計畫的進行，我們採取每兩週舉行一次會議，出席人員包含五個子計畫之所有人員，每次皆針對 Wireless broadband communication system 相關的議題進行報告與討論，達到研究交流與分享的目的，並檢視整體計畫進行的進度，此外為方便個別子計畫成果的共享，我們建立了計畫的網頁 (<http://si2.ee.nctu.edu.tw/4gwireless/member/>)，來放置相關的會議內容。

### 四、結論與討論

無線寬頻通訊系統之單晶片系統所包含的技術涵蓋範圍很廣，在此計畫中我們選擇了五個重要的部分分別於各個子計畫中執行，此計畫中個別子計畫皆有不錯的成果，且部分技術可交互運用，日後我們希望能靠此計畫所建立的技術應用於通訊系統設計中，並進而實現整個寬頻無線通訊單晶片系統。此總計畫已完成預估之進度，其中部份研究成果已發表在國際會議或期刊論文[1-7]，其他部份仍陸續整理投

稿中。

### 五、發表文獻

- [1] T. J. Lin and C. W. Jen, "CASCADE – Configurable and Scalable DSP Environment," *International Conference on Circuits and Systems (ISCAS'02)*, May 2002
- [2] Cheng-Yeh Wang, Ya-Chi Yang and Jing-Yang Jou, "An Automatic Layout-Driven Multiplier Generator," the 13th VLSI Design/CAD Symposium, Hsinchu, August 2002.
- [3] Hsie-Chia Chang, Chien-Ching Lin, and Chen-Yi Lee, "A low-power design for the Reed-Solomon decoder," accepted by *Journal of Circuits, Systems, and Computers*.
- [4] Cheng-Hsien Chen, and Chen-Yi Lee, "Reduce the memory bandwidth of 3D graphics hardware with a novel rasterizer", accepted by *Journal of Circuits, Systems, and Computers*
- [5] Hsie-Chia Chang, Chien-Ching Lin, and Chen-Yi Lee, "A low-power Reed-Solomon decoder for STM-16 optical communications," *IEEE ASIA Pacific Conf. on ASICs (AP-ASIC)*, August 2002.
- [6] Hsie-Chia Chang, Ching-Che Chung, Chien-Ching Lin, and Chen-Yi Lee, "A 300MHz Reed-Solomon decoder chip using inversionless decomposed architecture for Euclidean algorithm," *28th European Solid-State Circuits Conf. (ESSCIRC)*, September 2002.
- [7] Cheng-Hsien Chen, and Chen-Yi Lee, "Two-Level Hierarchical Z-Buffer for 3D Graphics Hardware", *Proceedings of IEEE International Symposium on Circuits and Systems*, vol. 2, pp. 253– 256, 2002.
- [8] Cheng-yeh Wang, Ya-chi Yang and Jing-yang Jou, "Layout-driven Automatic Multiplier Generation," submitted to *IEEE Trans. on VLSI*.
- [9] Cheng-Yeh Wang, Chaobin Lin, Ya-Chi Yang and Jing-Yang Jou, "An Effective Multiplier Resynthesis Technique," submitted to *IEEE International Symposium on Circuits and Systems*.
- [10] Cheng-Yeh Wang, Ya-Chi Yang and Jing-Yang Jou, "An Effective Physical Synthesis Technique for Multiplier," submitted to *International symposium on VLSI technology, systems, and applications*.