

國科會『系統晶片設計』專案推動小組

計畫編號：NSC 90-2215-E-009-120

執行期限：90 年 9 月 1 日至 91 年 8 月 31 日

主持人：李鎮宜 教授 交通大學電子工程系

中文摘要

為加速設計技術的提昇，有效帶動國內設計產業的競爭能力，國科會工程處於九十年九月以先期推動的方式，透過產學研代表的腦力激盪，規劃出相關的研究方向和議題，同時選派相關師資參與國際重要的 SoC 研討會和海外說明會。推動成效包含通過六件的 SoC 整合型計劃和規劃更為完善的基礎環境建制，使我國在 SoC 設計技術在短期能和國際接軌並塑造成為全球 SoC 設計的重鎮。

Abstract:

In order to enhance IC design capability as well as to promote core competence of domestic IC design industry, the Engineering Division of National Science Council launched a pre-promotion SoC program. Through series of joint discussions with representatives from industry, research institutes, and academia, a few guidelines and research topics related to SoC were derived. In addition, a few professors were invited to attend important international conferences and oversea SoC recruiting workshops. The outcomes of this pre-promotion project include 6 integrated SoC research projects and guidelines for SoC R&D infrastructure. It is expected that, together with recently launched National Si-Soft Research Program, Taiwan will gain her SoC design capability and become global SoC design foundry in the very near future.

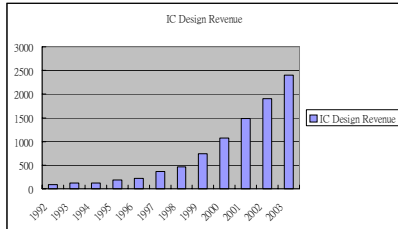
一、前言

國科會於十年前開始推動多晶片計畫實作 (MPC) 專案，藉由引進先進的設計軟體和

成熟的國內外半導體製程，並透過國家晶片系統設計中心 (CIC) 專職研究人員的協助，過去十年來不僅帶動國內學界在積體電路設計的研究發展與豐碩的成果，所培育出來的人才，更間接促成設計產業的蓬勃發展，在公元 2000 設計產業的產值首次突破千億台幣 (如圖表一所示)，成長率高達數十倍，同時所建立的整體半導體產業鍊更成為國內帶動經濟發展與成長的一項重要支柱。

然而隨著半導體產業的蓬勃發展，所帶來的經濟效益直接影響各國的經濟成長指標，因此世界各國皆爭相投入更高層次的設計和系統制訂，希望能掌握市場先機。因此系統晶片 (SOC) 成為現階段各國科發的重點項目之一，尤其大陸亦將積體電路設計與製造，列為其科技與經濟發展重點，將在北京與上海成立數十座晶圓廠與成立數百家積體電路設計公司，藉以滿足大陸內需進而爭取國際市場，如圖表二所示。我國亦然，在今年 (民九十年) 元月所舉辦的第六次全國科技會議結論中，亦將系統晶片列入國家科技發展的重要項目，如圖表三所示。加以最近國內各界所矚目的『矽導』專案，亦將系統晶片及相關基礎建設，做為台灣第二波產業躍進的重點訴求，因此若能藉由國科會推動前瞻性的『系統晶片』專案，一來提升設計層次，強化自主性的關鍵技術，另一方面擴大人才培育，滿足高科技產業發展的需求，藉由此一推動專案，希望在未來五年到十年內能再創十年前推動 MPC 專案所獲致的具體成果。

年代	設計產值 (億台幣)	製造產值 (億台幣)	比率
1998	469	1649	27.7%
1999	742	2649	28.0%
2000	1075	4940	21.8%
2001	1480	6422	23.0%
2002	1901	8092	23.5%
2003	2405	10088	23.8%



圖表一：台灣 IC 設計產業成長趨勢

- 大陸
 - 預估 2010 年將成為全球第二大半導體市場
 - 推動策略
- 於上海設立國家 IC 設計工業園區，並規劃 19 座國家 IC 設計中心
- 於上海建立十座以上 8 吋晶圓廠，成為 IC 設計、製造、與封裝基地
- 10 年內於北京建立 20 條晶圓生產線，成立超過 200 家 IC 設計公司

圖表二：大陸發展半導體產業之推動策略

- 知識創新與學術卓越（議題二）
 - 塑造知識創新的優良環境：分析國內外科技及產業研發現況，以篩選適合本土發展且具國際競爭優勢的研究重點項目
- 技術創新與產業升級（議題三）
 - 產業科技發展重點：納入系統整合技術及跨領域科技整合技術
 - 產業升級策略：政府對知識密集產業（如系統單晶片業）加以扶植及輔導。
- 科技人才培育、延攬及運用（議題五）
 - 建立彈性科技人事制度：研議建立機制，使國家實驗室積極參與研究生之培育工作

圖表三：第六次全國科技會議和系統晶片相關之結論

二、工作目標

為使此推動專案的成果能落實並帶動另一波產業的發展，基本上的重點訴求在於下列兩項：

- (一) 系統晶片研發層次的提升：此部分的工作重點在於創新系統平台以及相關矽智產的研究，塑造一有利於系統晶片設計和製作的良好環境；
- (二) 人才培育與人力擴增：擴大研發人力培育的基石，並採主動邀請參與研究的策略。

預計第一階段執行期間三年，可產出三項有利於本土產業發展的系統晶片平台，以及 15 項以上的矽智產（SIP），同時在人才培育上，可達到 1000 名學士級以上的研究人力。

三、推動方式

由於系統晶片設計，涵蓋不同的研究範疇，因此為使此推動專案能順利執行，計畫申請只接受整合型的計畫，並分階段進行，每階段以三年為執行期限，第一階段從民國九十一年八月起至九十四年七月底止，主要系統重點為 3C 領域，並能落實至單晶片的實現和關鍵矽智產的研發。

以下分別說明相關執行業務：

- (一) 前瞻性晶片系統設計：此業務推動，將以公開徵求的方式進行，預計徵選八至十個整合型計畫，一次核定三年，同時每年進行成果驗收。此部分的研究重點在於系統晶片平台的建立、創新矽智產的設計、EDA 設計和測試軟體的開發、RTOS 和應用軟體的設計等等。
- (二) 人才培育推動專案：成立北中南三個系統晶片人才培育專案小組，結合區域性發展的特色，主動邀請相關技職院校的研究人員參與系統晶片的研發，同時鼓勵參與已達研究能量的研究團隊的技術討論和研究工作的

推動。

(三) **雛形晶片系統的建立**：鼓勵技職院校提出整合型的雛形系統實作計畫，並強調系統層級的模擬、設計、以及 FPGA 的硬體驗證和系統展示。

(四) **參考系統晶片設計 (Reference Chip Design)**：此部分主要包含環境建立、測試平台、常用 IP 資料庫的提供和諮詢，以及雛形系統晶片的設計和製作，由於此部分工作，需要有專職的研究人力，方能看出具體的成效，因此建議由 CIC 研究人力來執行，預計三年後可推出適合本土產業特色的系統晶片參考設計方案，提供學界從事教學及研究使用。

另外在製程的選定上，將以成熟的 CMOS RF 製程為主要的考量，其中發展 IP 將採矽班車 (Silicon Shuttle) 方式，而 SOC 前瞻晶片的製作，則採 full-wafer 方式。對於設計環境所需求的軟體和雛形晶片系統所需求的高 gate-count 設備和軟體設計環境測試設備，亦將列入考量，為將採取共用設備模式，置放於 CIC 以達最少資源獲致最大使用成效的指標。並在第一階段的三年執行後，期望能達成(甚至超過)原先所設定的目標。

為使規劃項目能同時兼具學術前瞻研究和未來本土產業的需求，我們將邀請相關學者專家參訪國外知名研究機構和公司，主要以美西矽谷、美東及西歐地區為主要考量，預計有 2-3 梯次 (每梯次預計 2-3 名) 分別於民 91 年二月、五月、和八月出訪，詳細行程及報告如附件所示。同時在初期規劃階段和計畫審查時期，將聘請相關領域學者專家共同參與此專案的推動。執行期間，邀請 5-7 位的諮詢委員和 16-20 位的規劃委員，針對推動專案和特定議題提出具體的建議和計畫執行成效評估機制，以確保此專案能達成前瞻技術和人才擴增的目標。

四、重要時程及推動項目

以下分別說明 90/09/01-91/08/31 推動期間，各個時程所預計的工作項目：

(一) 90/09/01-90/10/31: 密集召開多次規劃委員會議，完成推動專案草案

(二) 90/11/01-90/11/30: 召開諮詢委員會議，完成規劃書定稿，並公開徵求計畫書

(三) 90/12/01-90/12/25: 計畫構想書審查、核定通知

(四) 90/12/26-91/01/31: 完成整合型計畫書撰稿

(五) 91/02/01-91/04/30: 計畫書審查作業

(六) 91/05/01-91/07/31: 計畫書複審、核定、執行前協調作業

(七) 91/08/01-92/07/31: 第一年計畫開始執行

五、附件

主要包含出訪資料和公開徵求計劃的申請案件：

出訪資料：

(1) 國立成功大學電機工程系陳中和教授

(2) 台北科技大學電子系蔡加春教授

(3) 國立交通大學電子工程系李鎮宜教授
國立交通大學資訊科學系張瑞川教授

(4) 國立交通大學電子工程系溫瓊岸教授

(5) 國立交通大學電子工程系黃威教授

申請案件：

計畫構想書明細，共計 23 件

參加 2002 年 Design Automation Conference 心得報告

成功大學電機工程系 陳中和

第 39 屆的 Design automation conference (DAC) 於 6 月 10 日到 14 日在美國紐奧良舉行。DAC 是一個 Electronic design automation (EDA) 論文、VLSI 設計、及 CAD tools 展現的年度重要會議。今年會議論文的錄取率為 30%，發表的研究論文品質相當高。除了 Paper session 外，會議上包括 Panel discussions 及 Special sessions，議題的討論相當具有前瞻性。此外，展示 CAD tool 及提供 Design services 的廠商參與也相當踴躍。相關論文集及部分錄影可在 <http://www.dac.com> 找到。

本次會議在三天內舉行達 55 個 Parallel sessions，以下分別就 Keynote speech, panel sessions, special sessions, 及 Regular paper sessions 加以介紹，最後是一些結語。

1. Opening keynote speech

今年的 Keynote speech 由 NEC 總裁 Hajime Sasaki 主講。他的主題放在 IC 設計如何進入一個新的時代，如何在未來能夠繼續維持 Moore's Law 的進展。在傳統的 Design flow 由 Function design, logic design, layout design 裡讓 Function design 提升到 C language-based design 的重要性。Sasaki 指出面對製程的微小化，如何整合 Design 與 Process 更是一項重要的議題。另外 Sasaki 也提到是否能制定一種規範來提升 Hard IP 的可攜性。

2. Panel discussions

由 Panel discussions 的 Topics 可以看出 EDA industry 關心的議題：

- Wall street evaluates EDA.

- Tools or users: which is the bigger bottleneck?
- Analog intellectual property: now or never?
- Nanometer design: what hurts next?
- Whither ASIC handoff?
- Unified tools for SoC embedded systems: mission critical, mission impossible, or mission irrelevant?
- Formal verification methods: getting around the brick wall
- What is the next EDA driver?

筆者參與了 Analog intellectual property: now or never? 及 Whither ASIC handoff? 兩場 Panels。以下是有關 Analog IP discussions 的一些觀點：

- Analog IP does not scale.
- Analog IP is process dependent; process deviation makes it different.
- Difficulty in reuse.
- Patent protected.
- Foundry supports well; 2/3 IPs are analog IPs at TSMC in 2001.
- Lasting value depends on process migration.

Analog IP can be used for the same process and same applications. Analog IP must have a delivery interface. 大部分屬於 Commodity IP 已由 Foundry support, 所以 Design house 不應做這些 IP for profits。另外，與會者認為 There is no market for commodity soft IP. 筆者也觀察到 Foundry 大量 Recruits engineers 發展 Commodity IP 的現象。如果我們想推動 IP mall，這些論點值得思考。

另外一場談到以 RTL handoff (or sign off) 的時候是否到來？Traditional hand off model 是以 Gate level net-list 進行。Sign off model 不僅是一種 Business model 更是一種 Engineering model。相關的與會心得整理如下：

- RTL hand-off is possible for low

performance design or low end product (gate count less than 1M).

- For mid-range (2M to 5M) and high-end design (> 7M), RTL signoff is not feasible because timing closure is the biggest killer.
- Placement handoff is required for high performance designs.

3. Special sessions

此次會議包括了若干 Special sessions 以論文發表方式討論未來的重大議題，譬如 CMOS process 的未來、Mixed technology SoC 的做法、大型 SoC 的設計。重要的議題包含：

- Life after CMOS: Imminent or irrelevant?
- E-textiles.
- Optics: Lighting the way to EDA riches?
- How do you design a 10M gate ASIC?
- Designing SoCs for yield improvement.
- Energy efficient mobile computing.

基本上，未來 (before 2010) CMOS process 仍被視為較可靠，到 10-15 nm 應不是問題。據此計算，CPU 到 30 GHz 可被期待。

IBM 的 Presenter 提到整合 Processor (logic) chips 與 Memory chips 的 SoC technology。IBM 稱為 Transfer/Jointing chip/package methodology (T&J)。它是在 Glass wafer 上長出給 Transferred chips (which may use different fabrication technology) 的 Interconnect wiring 及 Insulator，之後再拿掉 Glass wafer。這種提供 Chip-to-chip interconnection 的方法比原來的 Multi-chips wiring density 提高達百倍。T&J 的技術可讓個別晶片各自以最佳化的製程製作，而達到建構大型 SoC 晶片的目標。

4. Paper sessions

一般的會議論文主題包含 Design methods, testing/modeling/simulation, 及 Embedded system sessions.

Design method sessions 涵蓋範圍包括：

- Web-based IP design
- High level specification and design
- Fabric-driven logic synthesis
- Power distribution and low-power physical design
- Synthesis & design methodology.
- System on chip design.
- Verification

若干作者將論文研究的動機放在進入 Nano-process 後 Interconnection (wire)的易受 Cross-talk 影響而建構研究議題。譬如，以 Serial bus 取代 Parallel bus 時，研究 Serial bus communication protocol 合成的方法。另外 Analog synthesis 的發展亦值得注意。有研究將 Behavioral synthesis 運用在 Processor design 上，似乎意味著比 RTL 更高層的 Design 方法，其可行性值得期待。在 SoC design 方面有論文提出自動產生 Multiprocessor memory wrapper 的方法，只是其考量似嫌不足。論文發表中見到可達 520 MHz synthesizable 的 CPU core。

另外 Testing 及 Modeling focus 在

- Test cost reduction for SoCs.
- Cross-talk noise analysis.

可見重要的研究議題是在 SoC 及 Nano-process 所衍生的問題，尋找加以發展及解決的方案。

Embedded system sessions 涵蓋 VLSI design 的 Papers, 其範疇分布在

- Embedded processor design
- Lower power memory management for embedded systems
- Automation in embedded software translation
- Low power scheduling for embedded systems

其中 Low power issues 仍受重視，包括如何自動做記憶體內的 Data migration 以節省用電，也有論文從 Communication protocol 及/或 OS scheduling 層面提出方案。

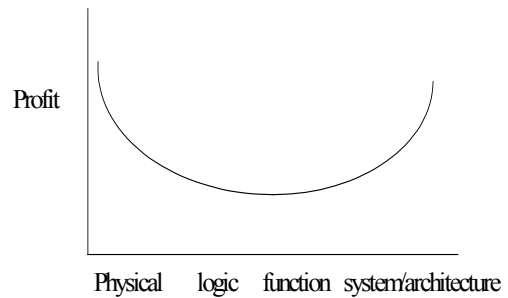
結語

- EDA tools 的發展似乎看不到盡頭，往 Physical side 看，製程的演進，使 Tool 的研發可持續不斷，也就是說，在這方面的研究與 Process 的發展息息相關。即使在未來 CMOS 達到 10nm 的製程或新材料的 Process 被開發出來，EDA 工具這個產業依然看好。從 Logical side 看，Design 往 Higher level 的 Specification design 走，其中各個階層所需的合成技術更是 EDA 產業必須發展的關鍵技術，EDA 業者不怕沒有事可做。學校的研究也可以從這兩方面切入。
- 上述 EDA 的 Development 在 IC design 方面意味著: Verification and back-end physical design take much more time than architecture and logic design.
- 學校之人才培育宜整合電子及資工之課程，以實質培養 Process, modeling, 與 Tool implementation 之基本技能。
- 在實務上 EDA tool 的 Interoperability 依舊是問題，但是，這卻是提供機會讓有心研究者創造商機。
- High performance design 必須掌握 Physical design 的技術，以有效解決 Timing closure 的問題。
- 因此，大型 SoC design 應 Focus 在
 - Design methodology
 - Physical synthesis
 - Hierarchical timing
 - Clock distribution
 - Cross talk, signal integrity
 - Inductance
 - Signal transmission
 - P&R technology.

- 由於 EDA 工具的發展，Logic design 及 Function design 不成問題，欲掌握較大獲利的 Design 關鍵在於 Physical design 及 System/architecture design。筆者將此 Profit model 以下圖表示。System designer 將寶貴且需 High performance 的 Netlist 交給正直的 Physical designer，trust is all that counts!

Designer Profit Model

- Physical design and specification/system design



參加第 39 屆設計自動化國際研討會心得報告 臺北科技大學電子系 蔡加春 教授

設計自動化國際研討會 (Design Automation Conference) 是一個高品質又專業的技術研討會，它提供給此領域的業界、學術界及系統與電路製造者等經驗交流的機會。此研討會每年在全美各地輪流舉行，今年已是第 39 屆 (DAC2002) 在美國密西西比州紐奧良 (New Orleans) Ernest N. Morial 國際會議中心舉行，超過 225 家廠商參與展覽，計有來自世界各地的專家學者投稿 491 篇文章，但只有 147 篇論文被接受在會議上發表，接受率只有三分之一弱，可見會議水準之高。



本研討會分五天舉行，6/10(一)計有全天的 Tutorial 課程「An Introduction to Embedded Software : Issue, Tools and Methods for HW and EDA Designers」；6/11 至 6/13 三天主要內容為 147 篇論文發表及 8 場座談會，計有 55 Sessions；6/14 全天則有 6 個 Tutorials。而在 6/11 至 6/13 同時有 225 家廠商作產品介紹與現場展示。

此次參與此研討會，主要在瞭解 SoC 在 DAC02 相關的論文發表、座談會與廠商的展示，與一些研究學者的經驗交流。SoC 與 IP 相關論文與座談會(Pannel)包括有「Web and IP based design」、「System on chip design」、「Unified tools for SoC embedded systems: mission critical, impossible, or irrelevant?」等 Sessions，而相關嵌入式系統論文包括有

「Design innovations for embedded processors」、「Case studies in embedded system design」、「Theoretical foundations of embedded system design」等 Sessions，在廠商展示能提供全方位的 SoC 設計與驗證環境，包括有 Cadence Design system, Mentor graphics, Synopsys, Xilinx 與 Altera 等，提供驗證功能環境有 Model Technology, Novas Software, Simplex Solution 等。與 Soc 相關 Tutorial 包括有「Intellectual property design and integration for SoCs」。

此行收穫良多，並帶回相關資料含 39th design automation conference Final program & Exhibit guide 與一片論文 CD，及與一些國際學者與業界交流經驗。最後感謝國科會「系統晶片設計」專案推動小組的推薦與經費支援。





北加州矽谷考察報告

91/07/14

國立交通大學電子工程系李鎮宜教授

國立交通大學資訊科學系張瑞川教授

前言：此次兩天多的參訪行程，主要任務為參訪 EDA 平台及 IP 提供的公司，希望透過更為密切和深入的討論，提供國內矽導計畫推動所需基礎建設的參考。由於行程安排頗為緊湊，許多細節多虧國科會駐舊金山科學組周仁章組長和葉志誠秘書的安排和協助，方能在短短兩天多的時間中，參訪了四家公司，拜會了加州柏克萊工學院院長 Prof. Richard Newton 以及和當地留學生見面，介紹矽導計畫的背景和執行重點等。

91/07/09 10:00-12:00AM at Broadon communication Inc.

7 月 9 日上午我們拜訪 Broadon communication Inc.，此公司是由 Dr. Wei Yen 所創立的以 Linux 為基礎的通訊軟體公司。由 Dr. Yen 及 Mr. Ajit Mayya 及 Mr. Christopher Nanyen 三位接待。Broadon communication 是以 Linux 為基礎應用於通訊及其他嵌入式系統。其 SoC 平台以 PowerPC、MIPS 及 X86 為主，主要的營運模式為提供客戶 value-added services 及技術諮詢，目前在通訊設備方面已有相當好的技術基礎。Dr. Yen 並對 SoC CPU core 的技術趨勢作了詳盡的分析。

91/07/09 14:00-16:00 @ SunMicro System

7 月 9 日下午我們拜訪 SunMicro System Sunnyvale Campus，由 SunMicro System Processor Products Group 之

Director of Compute Resources Mr. James Gateley 及 Vice President of Design Automation and Compute Resources Mr. Sunil Joshi 兩位簡報 SunMicro System 設計 CPU 的 EDA 設計流程及電腦資源之整合及管理機制。為了支援先進 CPU 設計及 SunMicro，近年來在矽谷、休士頓及波士頓三地建立三個 computer farm。目前總共有 7345cpu's，11.6TB 主記憶體及 356TB 容量之檔案伺服器。在此系統上支援超過 125 種外購之 EDA 工具及 125 種自行發展的 EDA 工具，此部門亦自行發展 Distributed Resources Allocation Manager (DReAM) 來管理此一超大型 EDA 平台。Mr. James Gateley 曾帶領 Ultra-III CPU 的設計團隊，對大型晶體電路設計及 EDA 設計流程有相當多的經驗。對國科會 CIC 建立 SoC 設計環境提供了相當多的寶貴經驗。

91/07/10, 09:30-11:30 AM 參訪 MIPS Technologies

接待人員: James Machale, VP of Asia sales 亞太行銷副總經理等八位

MIPS 為 Embedded Processor IP 的主要供應商之一，和 ARM 扮演類似重要的角色。目前該公司有超過 220 以上的員工，全球超過 70 公司以上的客戶群。在 Mr. Machale 介紹公司的簡介和產品趨勢後，由產品策略副總 Mr. Keith Diefendorff 介紹 MIPS 技術發展趨勢，現階段主要產品集中在 32 位元，未來除了繼續強化 32 位元的市場外，也將開拓 64 位元 CPU 的效能和潛在市場，例如工作頻率達到 1GHz 以上，功率消耗以不超過 0.2mW/MHz 為參考指標。而在 RTOS, VQ Works, WCE, LINUX 等。目前製程是以 tsmc0.18um 提供 Hard IP，而 UMC 正在轉移之中。

現階段 MIPS 所專注的應用市場，如 BroadBand Access, STB/DTV, Game Consoles & Entertainment, Printing & Imaging. 未來則將切入 smartcard, Automobile, homenetwork 等新興的市場。至於較為敏感的議題在於技術授權的方式，此部分的考量再於符合雙方的利益原則下，能夠提供國內學術研究一更好的技術資料。目前，技術授權有三大類，包含處理器架構，可合成程式碼，以及客戶式核心等三類。雖然以最後一種方式較為單純，然而考量矽導計畫所推動的矽智產(IP)，乃以前兩者較有長期的效益，不過所牽涉的法律和技術保護層面更為複雜，因此仍須有待接下來的討論以達到雙方均可接受的程度。不過在即將結束 MIPS 的訪問行程前，Mr. Machale 亦透露只要技術保護可完全掌握，取得 Soft Core 來提供國內學術界研究，仍是有頗高的可行性。後續的相關事宜，除了請 CIC 相關人員就技術移轉事宜，繼續和 MIPS 討論外，亦請科學組葉秘書協助辦理。

91/07/10 13:30-15:30 PM 訪問 UCB 工學院院長 Prof. Richard Newton

地點: Cory Hill Building

結束 MIPS 訪問行程後，隨即驅車前往宏基北美辦事處，和莊人川博士會合後直接驅車前往 UCB。此會議討論主要市了解 UCB 現階段所推出的 CITRIS 專案(類似 MIT 的活氧計畫)，以便日後於 SOC 的推動上，有更為宏遠的規劃和參考指標。現階段 CITRIS 所強調的重點有六大主軸，包含 Energy, Environment, Health, Education, Disaster, and Transportation. 此研究方案，主要是結合 UCB 的研究團隊，提供上述所提不同領域的核心技術，作為下一波科技與人文發展的重點訴求。當然 UCB 所提出的計畫，重點在於獲得企業和私人的認同，藉以取得計畫推動所需

的配合經費。不過和 Prof. Newton 討論近兩個小時的過程中，亦獲得相關的參考資料，有助於未來 SOC 計畫的推動。

91/07/10 17:00-18:30 訪問 Resonext

地點: 1754 Tech. Dr. Suite 200, San Jose, CA 95110

接待: Mr. David Tahamssebi President & CEO, Mr. Karl Kaiser Hardware ASIC Manger

Resonext 是一家新興的無線區域網路晶片設計公司，該公司近日剛完成 802.11a 兩顆晶片方案的示範系統展示，並有意於近日返國介紹其產品，以擴大其市場的佔有率。根據該公司 CEO 的口述，目前該公司已使用國內的 CMOS 製程，完成晶片組的設計製作，未來公司競爭的主要對象為 ATHEROS，因此現階段已有許多公司投入 802.11a 相關晶片組的設計，而我們討論的過程，主要著眼於該公司系統設計的平台和系統架構，希望從更多實際的設計案例中，了解設計平台的發展趨勢，有利於 SOC 計畫中，設計平台的建置和相關 EDA 軟體的引進。

從討論和實際的展示系統，對未來 soc 的測試平台，亦提供許多直得參考的資料。

91/07/10 19:00-21:00 與海外學人會面

地點: 鄭力福先生住處

此為此行程的最後一項任務，主要是希望和 SOC 相關領域的海外學人會面，一方面介紹矽導計畫專案，另一方面提供相關訊息，希望對有意願回國從事教學、研究和創業的海外學人，提供更豐富的資訊。參與人員有服務於 Resonext 的鄭力福全家，服務於 Atheros 的鄭宏旻博士，以及服務於 PLATO(現以被 Cadence 併購)的張志偉博士和其家人。雖然短暫的兩小時，無法立即獲得肯定的回國服務答覆，不過參與的海外學人對矽導計畫有更深的認識，待客觀環境較為成熟後，皆有回國

的意願。

結束此一討論後，隨即啟程前往機場，為此一訪問行程畫下一句點。

台灣 SoC 設計園區推廣美西行 參訪報告

國立交通大學電子工程系溫瓊岸教授



此次參訪團旨在介紹台灣矽導計畫的任務與最近推動的計畫，包括：新竹設計園區，南港設計園區與經濟部的獎勵投資增訂辦法，

讓舊金山灣區半導體科技人才瞭解目前台灣在推行的 SoC 國家型科技計畫，好返國共襄盛舉，同時為了長遠的發展，我們亦邀請灣區人才將設計的技术與經驗持續攜回台灣，回國創業，使台灣在既有的製造能力更增加設計的實力和產值。

此次參訪應該算是相當圓滿成功，除了絕大多數的美西菁英認同矽導計畫的策略遠見與可行外，對於執行時應注意的事項也提供寶貴的意見。令人意外的是 8 月 24 日那天的說明會座無虛席，發問踴躍，我們也一一回答來賓，收穫頗為豐富，而不少人士也相當關切何時新竹設計園區可以完工，讓他們遷入。這點可能是我們回國應加速辦理的最重要事務。

茲將比較重要的記實，載之於後：

A. 國際合作研究與訪問交流

8/23 參觀 Berkeley 電機系的 Gigascale Silicon Peresch Center 與 Wireless Research Center (詳閱下列簡介該兩單位)，該兩中心皆認同矽導計畫的規劃內容與推動策略，與本次隨團訪問的清大、交大教授表示兩方合作的意願，並希望國內推薦優秀的學生或學者至該校訪問研究或攻讀學位。

A1. 延攬海外 IC 設計人才回國

(一) 8/23 與 Berkeley 與 Stanford 大學的留學生座談中，各有 10 餘位與 20 餘位學生參加，其中有部份為大陸留學生與外國學生，均表示想瞭解回台灣發展的機會與在此計畫所能提供的貢獻，其中部份學生表示對回台灣擔任教職有意願，亦有部份表示回台創業的想法，並詢問政府的相關協助措施。

(二) 8/24 與灣區新創公司與留美學人座談，約有 200 餘位出席，由訪問

團介紹矽導計畫與政府的各項獎勵投資措施以及 SOC 設計特區規劃，絕大多數與會者認同本計畫的策略遠見與可行性，對於參與細節詢問甚詳，如在台灣成立公司的登記以及參與業界研發的程序、政府的輔助辦法(人才、資金、稅賦.....)，同時亦關心 SOC 設計特區開放進駐的時間與辦法等等，均由出席相關單位詳細回答，並將由駐美西科學組擔任接觸窗口，提供未來更進一步的服務。由此次座談的反應，顯示有許多 IC 設計業者或海外學人對回國投入 SOC 設計有很高的意願。

(三) 對海外小留學生回國服國防訓儲預備軍(士)官的反應亦相當熱烈，在 Berkeley 大學有小留學生詢問回國服國防訓儲役相關辦法。另外，在灣區海外學人座談中亦有多位與會者洽詢相關辦法，往後應可加強相關宣導活動。

A. 8月23日與主要 EDA Tool 公司會談簡報

A1. Agilent

* Agilent 代表指出，該公司對於 SoC Park 的理念非常支持，認為目前所規劃之做法，有助於 EDA 公司在 tool 整合上的推動、在 EDA tool 與 Foundry 合作上的提昇。

黃威教授具體指出 EDA 之開發需緊密結合晶圓廠資訊，台灣在這方面有絕對優勢，非常值得 EDA company 考慮建立合作關係。

* Agilent 提到在台灣因人才流失嚴重，令 Agilent 對於研發中心或其他合作項目之投資有所卻步。

吳教授指出 Agilent 如能在台灣設置 R&D Center，而非侷限於 Sales 及 AE，這對於工程背景人員的吸引會有所助益。

Agilent 認為此一觀點對於他們相當有助益，他們會慎重考慮。

* Agilent 建議在設計特區中提供各 EDA tool 的整合服務，使不同的 user 其使用不同的 EDA tools，但在設計上可以大幅縮減介面調整工作，事實上，此即 Si-Soft Program 中 Platform service 的任務。

因 Agilent 申請科專計畫已獲得通過構想書審查，規劃小組建議其增加研發人力，藉以具體實現前述 Agilent 所提出之 tool 整合服務。

* Agilent 建議在設計特區中提供 EDA transaction 功能，以單一窗口協調特區中所有設計者之使用付費模式。

* Agilent 對於南港園區所提到的 Open Lab 觀念相當認同。

* Agilent 的測試部門相當願意進駐 SoC Park。

* Agilent 認為在海外的投資，他們的主要考量是客戶來源、特殊技術優勢及成本，目前他們的初步看法覺得台灣確有優勢，他們會做審慎評估。

A2. Cadence:

* Cadence 建議在 IP 開發上應儘量與 Foundry 結合，Brand Name 也是必須加以強調的。

* Cadence 建議選擇特殊性設計，如 Low power 切入。

* Cadence 建議加強人才培養。

* Cadence 願意在 Low power 技術上與台灣合作。

A3. Synopsys:

* Synopsys 詢問南港/大鵬設計特區的區別或重複是否功能?

* 參訪團代表說明大鵬的功能定位在於半導體產業之整合群聚效用,南港的功能定位在於市場銷售機能。

* Synopsys 對於 NSoC 計畫所規劃的補助計畫有高度參與意願。

* Synopsys 李副總針對 Synopsys 技術現況作 15 分鐘簡報。

* Synopsys 偏重於 Logic 設計,多項產品均為全球領先,李副總表達了對於 NSoC 計畫的認同與支持,擬加速計畫書的申請。

A4. MAGMA:

* 居龍副總簡介 MAGMA 公司, MAGMA 係 2001 年 11 月才上市的公司,對於亞太區域的發展有高度興趣。

B. 8 月 24 日與灣區人才雙向討論報告

B1. 目前半導體界單純走 IP 業務不易成功台灣如何以矽導計畫來完成此一目標?

簡答: IP 的不易成功主要在於沒有交易的平台如果台灣能為全球建立此一平台讓發展 IP 與購買 IP 的公司能夠有交易的地方在加上發展 IP 的公司絕對可以收到其權利金自然容易發展成功當然目前方向雖然正確但如何開發豐富又可以沒問題重覆使用 IP 確未來我們大家要一起努力的。

B2. 駐進新竹設計園區後,公司如何使用 EDA Tool?

簡答:基本上,我們希望由未來負責經營的私人公司來與設置於新竹設計園區的 EDA Tool 談,如此可免除每一家新進入的設計公司都需要和 EDA Tool 公司談判的麻煩,同時我們也要求以使用 EDA Tool 的時間來計費,如此可以避免初期昂貴 EDA Tool 的資本支出,以增加小公司營運的彈性。

B3. 在台灣成立分公司是否需要登記?

簡答:我想成立公司大概都需要登記,尤有進者,如果只是想將 IP 掛在台灣 IP Mall 網站上則不一定要成立分公司;但如果希望在台灣享受 R & D 的好處,則需要有相對的研發人才在台灣島上從事技術研發工作,

當然,你因在台灣成立公司,也可以享受到上題 B2. 的益處。

B4. 在台灣成立公司,如何找到需要的人才?

簡答: IC Design Houses 應該找人才不難,當然台灣有不少經營不錯的半導體公司,它們都有分紅來吸引人才,所以你自己的公司需要有相對的競爭力與優點;目前國家知道人才的重要性,因此成立 IC 設計學院可以多培養人才,供應業界需要;另外,國防役的制度亦可以吸引人才留在企業;至於台灣早期的小留學生如獲博士或碩士學位者,也可以返國依服國防役規定來服役 4 年除役。

附註:

1. 簡介 Gigascale Silicon Perasch Center at Berkeley University
成立於 1998 年,是美國半導體協會(SIA)下的研究計畫,為解決未來 8-12 年 IC design 與 Test 可能遭遇的問題而發展的校際間的合作,包括 Carnegie Mellon University, University of Michigan, Princeton, Purdue, Stanford, UCLA, UC Santa Barbara, UC San Diego and UC Berkely....

1a. 主要希望達成目標:

技術程次達到 50 奈米(nano meter)
積體電路的集積度高於 10 億個電晶體,
同時該晶片的運作速度達 10GHz
整合不同來源的 Mixed-signal IP
晶片成本富競爭力,而且在 Power consumption and (速度)Delay 上都有好的解決方案少於 30 位設計工程師以低於 6 個月時間完成上述使命。

1b. 主要合作研究的七大題目:

Calibrating Achievable Design
Communication-/Component-Based
Designs
Constructive Fabrics
Fully Programmable Systems
Power and Energy in Design

Self-Test of Mixed-Signal System
Verification of Highly-Concurrent,
Component-Based Design

主要是集中研究設計觀念(包括 EDA Tool), Test, Interconnect 與 Power 的問題。希望以嶄新的設計觀念來提升設計的生產力, 降低 IC 產品開發的時間, 同時縮短設計與製程能力上的落差。

1c. 平均而言, 每年約有 USD\$ 10 millions 的經費, 今年因不景氣只有 8.5 millions 的預算

2. 簡介 Berkeley Wireless Research Center (BWRC) at Berkeley University 成立於 4 年前(1998), 每年補助經費約 USD\$ 6 millions, 其中 1.2 millions 來自七個廠商的捐款, 包括: Cadence, Atmel, Xilinx, Ericsson, Agilent... 等, 另外 4.8 millions 則來自政府(國防部)。

2a. 主要研究領域: Wireless Communication, Public Domain....

2b. 合作的公司派有經驗的技術人員, 提供 Technologies, Equipments, Expertise 指導學生做研究, 建立其 Unique Capabilities。

2c. 每半年 BWRC 與合作的公司開一次會, 討論運作的策略和方向

2d. 由公司與學生共同決定研究的題目

2e. Intel, Cadence, STM, Hitachi, Infineon, Agilent 等參加, 其中 Intel 對 Multiple Antenna radio, UWB, and Digital design 感興趣; STM 提供 0.13 micron 製程; Cadence 捐助價值 USD\$ 700 millions 的 Tool。

2f. 研究生約 60 人, 其中 90% in PhD degree; 另有 20 位 undergraduate。

2g. 所獲得的專利共享非歸屬於 BWRC。

參加台灣 SoC 設計園區推廣美西座談會報告
國立交通大學電子工程系黃威教授
8/23/2002~8/24/2002

第一天(8/23) 參與台灣 SoC 推廣團與美國四大 EDA tool 公司(Agilent, Cadence, Synopsys and Mentor) 會談。

台灣 SoC 設計園區推廣美西行參訪目的：

- 介紹台灣矽導計畫的任務與最近推動的計畫。
簡介新竹設計園區與南港設計園區。
說明經濟部獎勵投資增訂辦法，讓舊金山灣區半導體科技人才瞭解目前台灣在推行的 SoC 國家型科技計畫。
- 為了長遠的發展，我們也邀請了灣區人才將設計技術及經驗攜回台灣，回國創業，使台灣在既有的製造能力上，更增加其設計實力和產值。

主要議程：

- Opening: President Chang (黃威代)
- Introduction on Taiwan SoC Design Park (張原淙)
- NanKang IC Design Park (MOEAIDB)(陳俊傑)
- R&D Innovation Center Initiative (MOEADoIT)(褚偉利)
- Introduction on Hsinchu Science Park (SPA) (夏慕梅)
- General Discussions

(1) 與 Agilent 公司(EDA Tool Company)會談摘要：

- Agilent 指出，該公司對於 SoC Park 的理念非常支持，認為目前所規劃之做法，有助於 EDA 公司在 tool 整合上的推動，使 EDA tool 與 foundry 的合作可以再提昇。
- 在台灣因人才流失嚴重，令 Agilent 對於設立研發中心或其他投資合作項目，望之卻步。
- Agilent 建議，在設計特區中提供各 EDA tool 的整合服務，使不同的 user 可使用

不同的 EDA tool，以大幅縮減設計上介面調整工作。事實上，此即 Si-Soft Program 中 platform service 的任務。

- 因 Agilent 申請科專計畫之構想書已通過審查，規劃小組建議其增加研發人力，藉以具體實現前述 Agilent 所提出之 tool 整合服務。
- Agilent 建議在設計特區中提供 EDA transaction 功能，以單一窗口協調特區中所有設計者之使用付費模式。
- Agilent 對於南港園區所提到的 open lab 觀念相當認同。
- Agilent 的測試部門相當願意進駐 SoC Park。
- Agilent 認為海外投資主要考量在於客戶來源、特殊技術優勢、以及成本，目前他們的初步看法，覺得台灣確有優勢，因此會做審慎評估。

(2) 與 Cadence 公司(EDA Tool Company)會談摘要：

- Cadence 建議在 IP 開發上，應儘量與 foundry 結合，brand name 也是必須加以強調的。
- Cadence 建議選擇特殊性設計，可以低功率研究切入，有關低功率技術上，願意與台灣合作。
- Cadence 建議台灣加強人才培養。該公司在北京有訓練團隊，做人才的提升與增加 tool knowledge。
- 開發 IP 須參與製造科技，這是台灣工程師的長處，而且一般中國人有刻苦耐勞的精神，對於 IP 設計比較願意嘗試。

Discussions:

Ping Chao(Senior VP at Cadence):

- The 90-nanometer process mode requires considering retooling.
- Signal integrity, IR drop, design complexity power management and many factoring.
--related problems will worsen at 90nm
- But such issues as patristic inductance and yield optimization may not become big factors until 70nm or below.

(3) 與 Synopsys 公司(EDA Tool Company)會談摘要：

- Synopsys 詢問了南港/大鵬設計特區的區別或是否重複功能？
- 該公司有許多 SIP，比 Cadence 多，未來 IP 將往 RF/mixed mode 發展。
- Synopsys 對於 NSoC 計畫所規劃的補助計畫有高度參與意願。
- Synopsys 的李副總針對 Synopsys 的技術現況做了 15 分鐘簡報。
- Synopsys 偏重於 logic 設計，多項產品均領先全球，李副總表達了對於 NSoC 計畫的認同與支持，擬加速申請計畫。
- 對於 IP security 非常重視。

(4) 與 Magma Design Automation 公司(EDA Tool Company)會談摘要：

- how timing cross talk and IP drop effects
- libraries will need to be characterized effects and power effects

(5) 與 Mentor 公司(EDA Tool Company)會談摘要：

- Mentor 非常支持 SoC Park 的理念。
- Mentor 簡介了公司現況。

第二天(8/24)台灣 SoC 設計園區推廣座談會：

與灣區新創公司留美學人座談，座無虛席，約有 200 多位學者專家參加。首先由訪問團介紹矽導計畫、各項獎勵投資措施、以及 SoC 設計特區的規劃。絕大多數與會者認同本計畫的遠見策略與可行性，對於參與細節詢問甚詳，如在台灣成立公司的登記、參與業界研發的程序、政府的補助辦法（人才、資金、稅賦.....）

座談會所提出之問題：

- 目前半導體界純走 IP 業務不易成功，台灣如何以矽導計畫來完成此一目標？
- 進駐新竹設計園區後，公司如何使用 EDA tool？
- 在台灣成立分公司是否需要登記？

- 在台灣成立分公司，如何找到需要的人才？

以上相關問題，先後由矽導計畫主持人蔡清彥政務委員、張俊彥校長、張原淙執行長、及溫瓊岸教授答覆。

計畫構想書明細

計畫名稱：

1. 單晶片封裝系統數位電視多重標準接收器設計與實作
2. 運動控制晶片設計在光資訊儲存創新伺服控制系統上之應用
3. 百億位元的乙太網路系統晶片設計
4. 用於軟體無線電基頻處理之系統晶片設計技術
5. 整合無線區域網路傳輸系統之雛型建立與晶片設計
6. 生理檢測訊號系統的 SoC 晶片設計
7. 箱入式影像處理單晶片系統平台建置
8. 3C 系統晶片發展平台之設計與製作
9. 低功率藍芽晶片系統
10. 數位相機晶片系統平台設計環境之研製
11. 適用於數位相機/掃描器 SOC 系統之相關 IP 設計測試系統整合技術之研發
12. 高速單通道多值資料傳輸技術之研究與應用
13. 內嵌式可程式化邏輯陣列
14. IEEE802.15.1 無線個人區域網路(WPAN)系統晶片(SoC)之設計與實現
15. The eHome Multimedia and Security System
16. 可重組式圖形運算 SoC 計算系統之研究
17. A Performance-Driven Reconfigurable and Programmable SOC Design Platform
18. 「個人化語音對話介面」晶片之設計—以多用途之聲控手機對話操作介面為應用實例
19. 電子導忙犬-移動式無線通訊網之建置與 Mobil Wireless Relay SOC 之相關 IP 設計、測試及整合技術之研發
20. 光伏式生物晶片之設計與研發
21. 設計一個可重置式網路單晶片系統工作平台—以視訊串流傳輸單晶片系統整合為標的
22. 矽基底 SOC 半導體粒子電性隔絕技術應用研究
23. SD 卡控制晶片的研發與設計