

行政院國家科學委員會補助專題研究計畫成果報告

互補式金氧半射頻收發機前置電路模組設計、IP 建立及應用研究--子計畫一

計畫類別： 個別型計畫 整合型計畫

計畫編號：NSC 90-2215-E-009-108

執行期間：90 年 8 月 1 日至 91 年 7 月 31 日

計畫主持人： 吳重雨 教授

計畫參與人員：周忠昫、王文傑、康漢彰、陳宗明、蔡俊良

本成果報告包括以下應繳交之附件：

赴國外出差或研習心得報告一份

赴大陸地區出差或研習心得報告一份

出席國際學術會議心得報告及發表之論文各一份

國際合作研究計畫國外研究報告書一份

執行單位：

中 華 民 國 91 年 08 月 21 日

高性能混合訊號式發收機積體電路(3/3)
互補式金氧半射頻收發機前置電路模組設計、IP 建立及
應用研究-子計畫一

The Design of CMOS Front-end IC Modules and IP Cores for RF Transceivers in
Various Applications

計畫編號：NSC 90-2215-E-009-108

執行期限：90 年 8 月 1 日至 91 年 7 月 31 日

主持人：吳重雨 國立交通大學電子工程系所

Email: cywu@alab.ee.nctu.edu.tw

計畫參與人員：周忠昫、王文傑、康漢彰、陳宗明、蔡俊良

中文摘要

本計畫擬以互補式金氧半製程，設計低電壓以及低功率，適用於工作頻率在幾十億赫茲的射頻前端積體電路。並且，將設計應用在可攜式、多標準發收機，並將電路建為 IP；這些積體電路 IP 核心電路將設計成可工作於各頻率範圍的不同版本，以符合多標準發收機之要求。

本計畫以 TSMC 1P5M 0.25 μ m CMOS 設計並實現互補式金氧半射頻前端 IP 核心電路，主要的 IP 核心電路如下所示：(1) 低雜訊放大器(Low Noise Amplifiers)、(2) 混波器(Mixers)、(3) 四相位產生器(Quadrature Generators)、(4) 電壓控制振盪器(Voltage Controlled Oscillators) 以及 (5) 功率放大器(Power Amplifiers)。

最後，這些互補式金氧半射頻前端 IP 電路，將整合並應用於在一單晶多標準射頻前端發收機系統中。

Abstract

This project is to design and implement a low-voltage, and low-power CMOS Radio-Frequency (RF) front-end integrated circuits (ICs). This RF Front-end IC will be implemented as an intellectual property (IP) cores which

operate in the frequency range of Giga-Hertz, and the specifications of these IP cores will fit the requirements of multi-standard portable RF transceivers.

The CMOS RF front-end IP cores are designed and implemented in TSMC 0.25 μ m standard CMOS process. The main IP circuits in this project consist of low noise amplifiers (LNAs), mixers, Quadrature generators, voltage-controlled oscillator (VCOs), and power amplifiers (PAs).

These IP cores circuits are tested and proven, and will finally be integrated and apply for a multi-standards RF transceiver prototype system on a single chip.

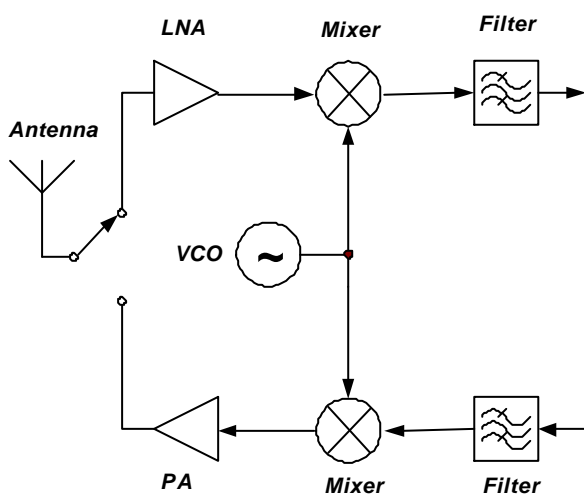
一、簡介

近年來，由於無線行動通訊市場的快速成長，帶動了對於低成本以及高性能通訊積體電路晶片的大量需求。過去，高性能的通訊用電路大多使用 Bipolar 的電路，並使用砷化鎵或矽化鎳等較昂貴、整合不易的製程技術來實現；而隨著 CMOS 製程的不斷進步，以及金氧半電晶體效能的提升，電晶體操作頻率 (f_T) 的提高，再加上 CMOS 的成本低廉，以及對於系統整合度高的優點，使的如何利用 CMOS

來完成並實現整個無線通訊系統於單一晶片，成為了近年來熱門的一個研究領域[1]-[6]。

圖(一)為一個通訊系統所使用的射頻發收機的簡單架構，主要可以分為兩個部分，即接收機 (Receiver) 以及發射機 (Transmitter)。

接收機內部的主要模組電路包含了低雜訊放大器 (Low Noise Amplifiers) 降頻混波電路(Down-conversion Mixers) 以及中頻率波器(IF Filters)。低雜訊放大器將接收到的訊號放大的同時，電路本身的雜訊能不被放大，使電路的輸出端的訊雜比 (SNR) 提高，如此可以降低系統的雜訊指數 (noise figure, NF)，由於是在整個接收機的最前端，對整個系統的 sensitivity 影響最大，如何在提供足夠訊號增益時，降低此 LNA 的 NF，為設計 LNA 的重要著眼處。降頻混波器將載波的頻率降低以利後級的率波器做頻道的選擇，為了避免所要訊號頻道在降頻時受到其他的頻道的干擾，降頻混波器的線性度很重要，此外，對於鏡像頻率 (image frequency) 的雜訊抑制也是降頻混波器設計的重要的考量。



圖一 射頻收發機架構

發射機內部的主要模組電路包含了升頻

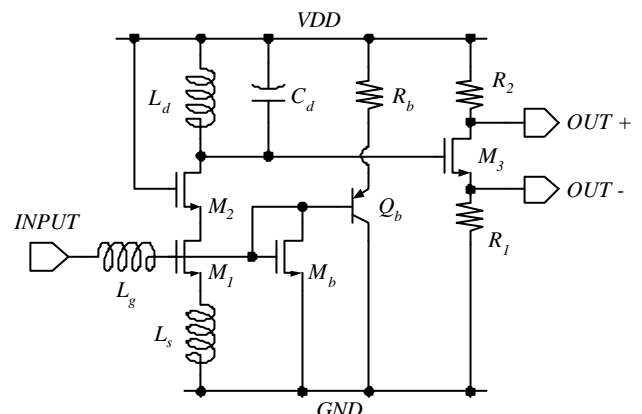
混波器 (即一般所謂的調變器, modulators), 以及功率放大器(Power Amplifier)。調變器將由基頻 (Base-Band) 送來的 I-Q 訊號調變至載波頻率後，經由功率放大器將訊號傳送。由於目前無線通訊系統的頻帶寬度逐漸變寬，設計一個高線性度的功率放大器，避免訊號間的交互調變 (inter-modulation), 並且在高線度下能夠提供高的功率效益，已減低功率消耗為設計功率放大器的一個重要考量。要能夠得到一個高性能的通訊系統，射頻前端電路的優劣，將是個非常重要的決定要素。

本篇報告剩下的部分安排如下：第二部分介紹射頻前端發收機中重要的 IP 電路，以及其模擬、量測的結果。第三部分為結論。第四部分為成果自評。

二、電路設計

1) 低雜訊放大器 (Low Noise Amplifier)

在接收機中，低雜訊放大器是第一個提供增益的電路，所以其雜音指數的大小將對整個系統有絕對性的影響。

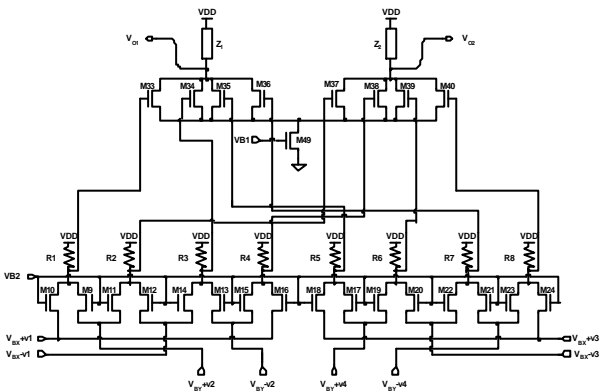


圖二 2.4GHz 低雜訊放大器

圖(二)是個操作在 2.4GHz 的低雜訊放大器，此放大器以 TSMC 0.25um 的金氧半製程做設計，操作電壓為 2.5V。以 HSPICE 模擬的結果如下：

RF Frequency	1.9 GHz
Power Supply	3V
Power Dissipation	95 mW
Unwanted Sideband	< -80 dB
LO Feedthrough	< -80 dB
IM2	< -80 dB
IM3	< -60 dG

2) 正交相位調變器 (Quadrature Modulator)
 在射頻發射器電路中，正交相位調變器是把信號由低頻帶轉換至高頻帶的關鍵元件。正交相位調變器包含兩個混波器和一個加法器。在本計畫中，一個基於類比乘法器原理的正交相位調變器被設計完成。圖(三)為此正交相位調變器的電路圖。



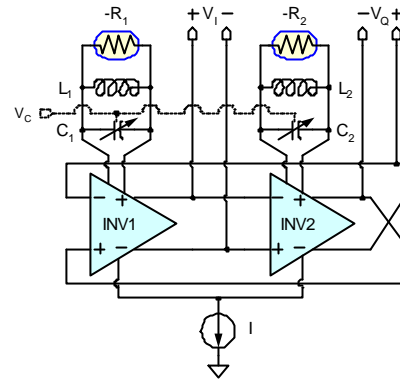
圖三 正交相位調變器

經由推導，可以證明此電路的差動輸出為 $K \times (v_1 \times v_2 + v_3 v_4)$ ，其中 K 為常數。因此這個電路可以達到正交相位調變的功能。

RF Frequency	1.9 GHz
Power Supply	3V
Power Dissipation	95 mW
Unwanted Sideband	< -80 dB
LO Feedthrough	< -80 dB
IM2	< -80 dB
IM3	< -60 dG

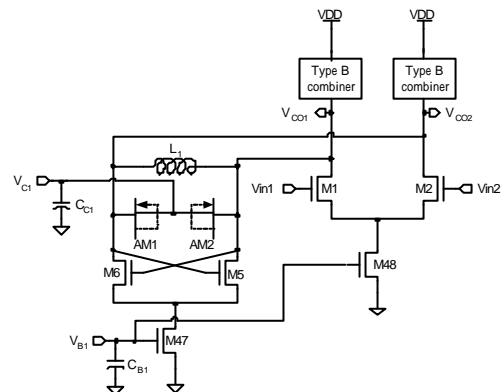
3) 電壓控制振盪器

為了產生一組相位精確正交的 LO 信號。一個偶數級環狀壓控震盪器被設計完成。此震盪器將被整合至調變器內以降低功率消耗及增加正交相位的準確度。



圖四 兩級環狀震盪器方塊圖

圖(四)是這個兩級環狀震盪器的方塊圖，裡面包括全差動反相器、電感電容共振器及負電阻。震盪器中使用具有電感電容負載的全差動反相器，其電路圖示於圖(五)。

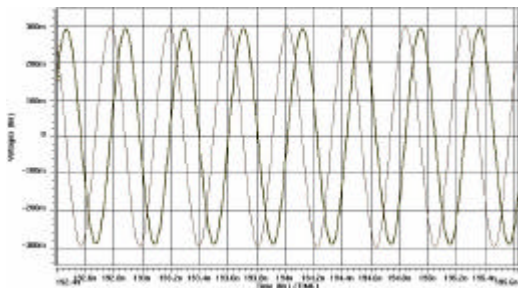


圖五 電感電容負載的全差動反相器

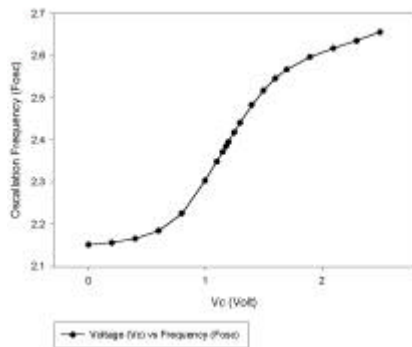
電晶體 M5、M6 形成正回授以產生值為 $-2/g_m$ 的負電阻。如果負電阻的值大於電感電容負載的損耗，這個電路就會震盪。L1 是晶片上之螺旋電感。可變電容以兩個加強式金氧半變容器實現。震盪頻率可由頻率合成器產生的 VC1 調整控制。

圖(六)是正交相位壓控震盪器的震盪波

形，圖(七)是壓控震盪器的控制電壓-震盪頻率曲線。由此圖可知壓控震盪器的可調頻率範圍在 2.65GHz 到 2.15GHz 間，如此可以涵蓋 2.4GHz ISM 頻帶。

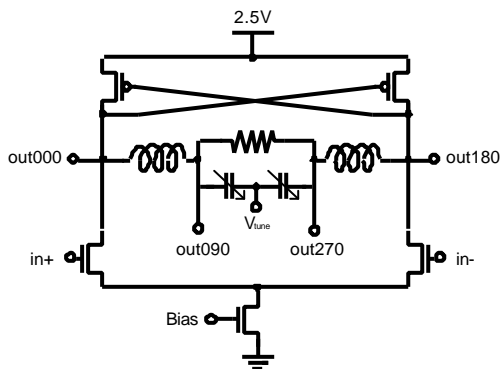


圖六 正交相位壓控震盪器的震盪波形



圖七 壓控震盪器的控制電壓-震盪頻率曲線

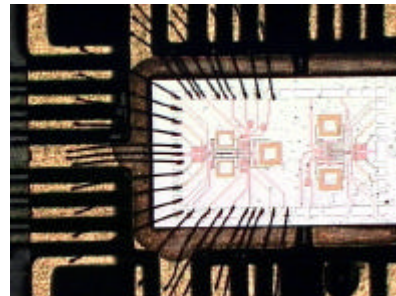
- 4) 四相為產生器 (Quadrature generator)
圖 (八) 為所提出的四相為產生器。



圖八 四相位產生器

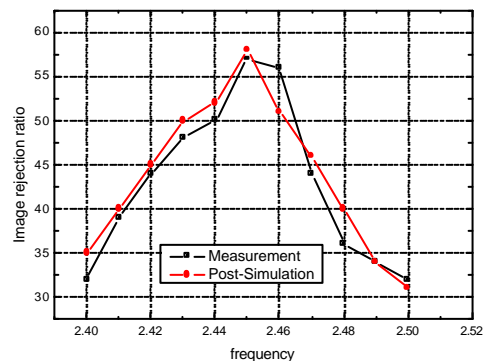
利用此電路可以將 VCO 或 RF 的差動 (differential) 訊號轉成準確的四個相位 (0°、90°、180°、270°) 的訊號。由於無法直接量測到四個輸出的相位以及振幅，因此利用相位

差以及振幅差對於 mixer 的 image rejection 間的關係來預估所設計的 Quadrature generator 的輸出性能。量測上利用一簡單的 passive mixer (on-chip)，給一個 20MHz 的訊號，將訊號做混頻後，量測 image frequency 處的訊號大小，反推後求得四相位產生器四個輸出的 phase error 以及 magnitude error。由於是利用 LC 率波器造成相位差的概念，可以再藉由改變 V_{tune} 的電壓，來改變此 LC 率波器的中心頻率，可以將所要的頻帶範圍內的 RF 或 VCO 的訊號準確的轉成 Quadrature 的訊號。下圖 (九) 為此電路的晶片照相圖。



圖九 量測配置圖

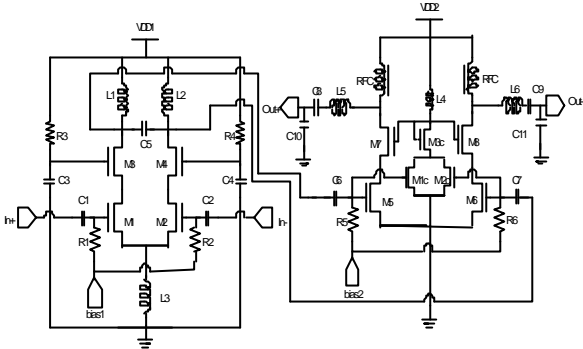
圖 (十) 為量測的 image rejection，由此可以反推 Quadrature generator 所產生的四相位輸出的 phase error < 2.5°，magnitude error < 0.5dB 此 Quadrature generator 是用 TSMC 0.25 μm CMOS 製程製作，工作電壓為 2.5V，功率消耗 30mW，在頻率範圍 2.4GHz 至 2.5GHz 皆可達到超過 30dB 的 image rejection 的能力。



圖十 Quadrature generator 的輸出給 Quadrature mixer 後量測之 Image rejection ratio (in dB)

5) 功率放大器

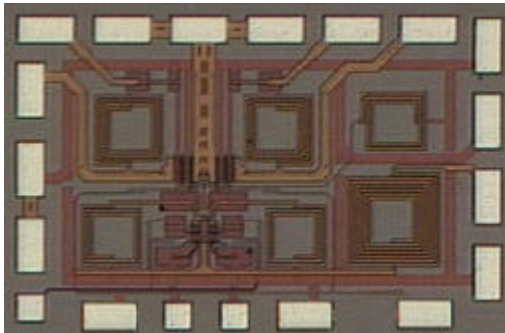
圖(十一)為此功率放大器的電路，基本架構為一個兩級串接的差動式放大器，利用此差動電路可有較大的電壓可運作，並有消除偶次諧波諧波的效果。



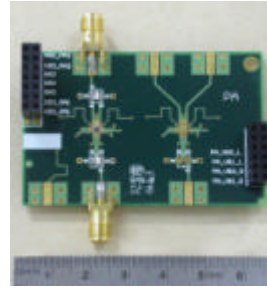
圖十一 兩級之功率放大器

藉由改變 gate 的偏壓點來調整放大器的運作類別，第一級的功率放大器工作在 A 類，目的是為了獲得較高的線性度；而第二級則偏壓在 AB 類，已獲得適當的功率效益。而使用 cascode 的架構是為了降低使放大器的米勒效應 (Miller Effect)。同時，cascode 的架構，可降低電晶體的在 gate-drain 間的電壓降，進而克服 oxide breakdown 的問題。此電路並在第二級加入了共模訊號消除的電路，以抵抗共模雜訊使的功率放大器的輸出功率以及功率效益變低的問題[7]。

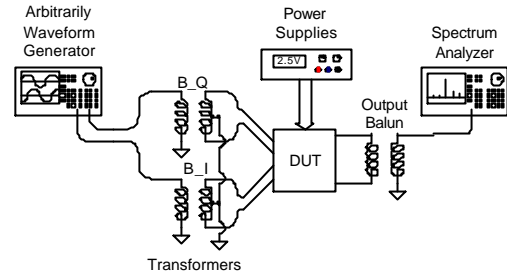
圖(十二)為此功率放大器的晶片照相圖。圖(十三(a), (b))為功率放大器的量測用的測試電路板及設置。



圖十二 功率放大器的晶片照相圖

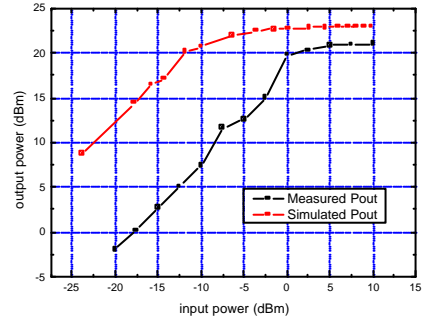


圖十三(a) 功率放大器電路版

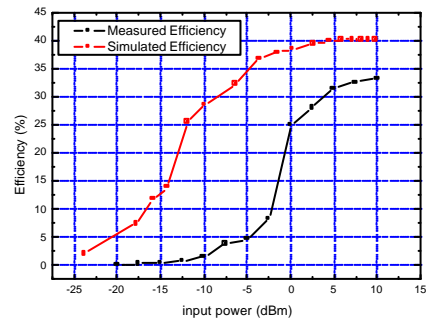


圖十三(b) 功率放大器之量測配置圖

圖(十四)及圖(十五)功率放大器輸出功率以及汲級效率(drain efficiency)的頻率響應圖。



圖十四 輸出功率的頻率響應圖



圖十五 Drain efficiency 的頻率響應圖

此功率放大器使用 TSCM 0.25 μ m CMOS 製程製作，量測後其最大輸出功率超過 20dBm，有 28% 的汲級效率，P1dB 約 -1.5dBm，功率消耗 447.5mW，工作電壓在 2.5V。

三、 結論

目前已完成的 IP 有：低雜訊放大器、正交相位調變器、電壓控制振盪器、四相位產生器以及功率放大器。低雜訊放大器具有低雜訊、低功率消耗和高線性度等特性。正交相位調變器使用了電流重覆使用的原理，大幅度的降低功率消耗，在電路的性能上，經過四個 corner 的模擬驗證後，皆能滿足需求。電壓控制振盪器可產生一組相位精確正交的 LO 信號，其可調頻率範圍在 2.65GHz 到 2.15GHz 間，涵蓋 2.4GHz ISM 頻帶。四相位產生器可以涵蓋整個 2.4GHz ISM 頻帶並產生準確的 4 個正交相位的輸出。功率放大器的設計中，一個兩級串接的差動功率放大器被設計達到足夠的輸出功率及優良的效率，具有偶次諧波消除效果及對震盪器信號產生較小干擾的優點。

四、 計畫成果自評

目前已完成射頻前端電路各個 IP 模組的設計以及量測驗證無誤。初步的結果證明這些 IP 電路可適用於低功率的無線通訊系統中。

五、 參考文獻

- [1] A. Rofougaran et al., "A 1GHz CMOS RF front-end IC for a direct-conversion wireless receiver," IEEE J. Solid-State Circuits, vol. 31, pp. 880-889, July 1996.
- [2] Behzad Razavi, RF Microelectronics, Prentice Hall, 1998.
- [3] A. Abidi, et. Al., "The Future of CMOS Wireless Transceivers," International Solid-State Circuits Conference, pp. 118-119, Feb. 1997.

- [4] K. C. Tsai, and P. R. Gray, "A 1.9 GHz 1W CMOS Class E Power Amplifier for Wireless Communications," 24th European Solid-State Circuits Conference, The Hague, Netherlands, Sept. 1998.
- [5] K. C. Tsai, and P. R. Gray, "A 1.9 GHz 1W CMOS Class E Power Amplifier for Wireless Communications," 24th European Solid-State Circuits Conference, The Hague, Netherlands, Sept. 1998.
- [6] P. Gray, et. Al., "A 1.9-GHz Wide-Band IF Double Conversion CMOS Receiver for Cordless Telephone Applications," IEEE J. of Solid-State Circuits, pp.2071-2088, December 1997.
- [7] Chung-Yu Wu, Wen-Chieh Wang, Tzung-Ming Chen, "A New High-Performance CMOS GHz Power Amplifier Design with Common-Mode Signal Cancellation Technique," is accepted by 2002 IEEE Asia Pacific Conference on Circuits and Systems, Singapore, Dec. 2002.

六、 發表論文

- [1] Chung-Yu Wu, Wen-Chieh Wang, Tzung-Ming Chen, "A New High-Performance CMOS GHz Power Amplifier Design with Common-Mode Signal Cancellation Technique," is accepted by 2002 IEEE Asia Pacific Conference on Circuits and Systems, Singapore, Dec. 2002.