

矽鍺源/汲極金氧半電晶體及電感在射頻應用之研究
A Study on SiGe Source/Drain MOSFET and Inductor for RF
Applications

計劃編號: NSC90-2215-E009-112

執行期間: 90/08/01-91/07/31

主持人: 張俊彥 教授 交通大學電子研究所

矽鍺源/汲極金氧半電晶體及電感在射頻應用之研究

A Study on SiGe Source/Drain MOSFET and Inductor for RF Applications

計劃編號: NSC90-2215-E009-112

執行期間: 90/08/01~91/07/31

主持人: 張俊彥 教授 交通大學電子研究所

一、中文摘要

在本研究計畫中,針對矽鍺源/汲極電晶體在高頻特性上做一詳盡的研究。研究顯示利用矽鍺為浮層源/汲極之金氧半電晶體大大的降低了源/汲端的電阻值,當鍺含量增加時,接觸電阻會跟著改善,這些降低的源/汲極電阻可同時改善 f_T 與 g_m 值。當閘極長度等於 $0.5\mu\text{m}$ 時, $\text{Si}_{0.86}\text{Ge}_{0.14}$ 元件較傳統元件多了 12% 的 f_T 值;當閘極長度縮減至 $0.2\mu\text{m}$ 時, $\text{Si}_{0.86}\text{Ge}_{0.14}$ 源/汲極結構在 f_T 值上,相較於傳統元件,產生了 27% 的改善效果。

關鍵詞: 矽鍺、淺接面、金屬矽化物、

Abstract

In this project, high frequency performance of $\text{Si}_{1-x}\text{Ge}_x$ Source /Drain MOSFETS is studied completely. Result shows that Source /Drain resistance can be drastically reduced by using $\text{Si}_{1-x}\text{Ge}_x$ Raised Source /Drain MOSFETS. As Ge content increases, specific contact resistance is also decreasing. Reducing of Source/Drain resistance can improve the transconductance and cutoff frequency of device. 12% of improvement in cutoff frequency compared to conventional MOS device when $\text{Si}_{0.86}\text{Ge}_{0.14}$ Raised Source /Drain MOSFETS gate length equal to $0.5\mu\text{m}$. When gate length of $\text{Si}_{0.86}\text{Ge}_{0.14}$ Raised Source /Drain MOSFETS shrinks down to $0.2\mu\text{m}$, 12% of improvement in cutoff frequency compared to conventional MOS device is observed.

Keywords: $\text{Si}_{1-x}\text{Ge}_x$, Raised Source /Drain MOSFETS, cutoff frequency

二、緣由與目的

因 CMOS 製程具有高集積度、低成本與省電的特性,使其在個人行動通信設備要求迷你、輕量與低耗電的條件下,有無比的競爭力。然而, Si-MOSFET 元件本身存在著很大的寄生被動元件效應,如閘極電阻、接面空乏電容、汲極電導...等等,這些因素都會造成其高頻特性變差。如要改善 MOSFET 之 RF 特性,必須作一些細部的分析及製程方面的改善以探討影響寄生效應的成分。

對於矽金氧半電晶體而言,當我們把閘極長度縮小至深次微米範圍時,由於載子穿越時間隨著通道長度縮短而減小,因此可得到較佳的高頻特性。同時對微小尺寸之矽金氧半電晶體在其它微波特性方面之持續改進,使其更容易應用於射頻通訊積體電路上[1][2]。然而在製造技術上仍有許多需克服之難題;譬如,當元件尺寸縮小至 $0.1\mu\text{m}$ 範圍時,源/汲極區域之面積亦應等同縮小,但卻增加了源/汲極端的接觸電阻,而無法維持元件之高電流驅動能力[3]。此外,元件微小化有幾分受限於淺金屬矽化接面(silicided junction)與低接面漏電之矛盾需求。有鑑於此,選擇性矽磊晶技術已被用來製作浮層源/汲極(raised source/drain)金氧半電晶體,以同時獲得淺接面與金屬矽化接面之漏電控制[4][5]。由於矽鍺可選擇性地成長於源/汲極區;相對於矽與氧化矽,又可被選擇性地蝕刻[6];因此,相較於矽,矽鍺是更為合適之材料。再者,由於矽鍺較矽具有較低之能隙寬,在正型(p-type)接面上有較低的蕭特基位障高(Schottky barrier height),可達到較低的接

觸電阻[7][8]。近來，我們已經成功地製作出以矽鍺為浮層源/汲極之金氧半電晶體，並研究其接觸電阻與元件直流特性[9]。在這篇文章裏，我們將針對此電晶體之高頻特性進行探討。

三、研究方法

A Raised SiGe S/D MOSFET 相關製程

浮層源/汲極結構的 p 型通道金氧半電晶體製作於六吋(100)之矽晶圓上，為了製程上的考量，採用 5500Å 厚的 LOCOS 場氧化層作為元件隔離。適當的離子佈植，調整元件的臨限電壓後，成長 40Å 的閘極氧化層與 2000Å 的多晶矽閘極，利用源/汲離子佈植，同時對多晶矽閘極做電阻值的降低，接著再用 G-line 微影製程定義閘極圖案，由於 NDL 製成的 G-line 線寬只能定義到 0.8μm，所以進一步利用光阻灰化方法將線寬縮小至 0.2μm。然後以 BF₂⁺離子佈植，形成源/汲極 extension 區，再以 800°C、20 min 的爐管退火與 1050°C、10sec 的快熱退火，使至源/汲區離子摻雜活化與擴散，此一步驟的高溫活化製程必須於矽鍺磊晶前完成，以避免矽鍺層承受過多的熱堆積 (thermal budget) 而潰散 (relaxation)。利用 TEOS 沉積與 RIE 蝕刻完成 1500Å 厚的 sidewall spacer 後，將晶片送入超高真空化學氣相沉積系統，選擇性地成長矽或矽鍺磊晶於源/汲極區。然後，以 20KeV、5×10¹⁵cm⁻² 的 BF₂⁺離子佈植 p⁺源/汲極，再以 950°C、10sec 進行快熱退火活化。為了比較，傳統金氧半電晶體(沒有任何源/汲極浮層)亦同時製造。此時完成的矽鍺浮層源/汲極電晶體之剖面圖如圖一所示，值得注意的是在磊晶成長時，閘極區同時側向成長形成 T 型結構。最後，濺鍍 Ti/TiN/Al-Si-Cu/TiN 標準四層金屬並定義圖案完成接觸金屬。

四、結果與討論

A Raised SiGe S/D MOSFET 高頻特性

針對不同鍺含量的浮層源/汲極區，所測得的接觸電阻與片電阻結果如圖二所示，可知接觸電阻隨著鍺含量的提高而降低；就我們所知，位於金屬/半導體介面之蕭特基位障高為決定接觸電阻的一項重要因素；蕭特基位障愈高，接觸電阻愈大。相較於金屬/p 型矽介面，金屬/假晶-p型-Si_{0.86}Ge_{0.14} 介面的蕭特基位障高足足減少了 0.07eV [8]，因此有效地降低了接觸電阻。此外，由於外加的浮層源/汲極，等效地增加了 p⁺-源/汲極的厚度，使矽鍺浮層源/汲極的片電阻比傳統矽源/汲極的片電阻低。

為了研究矽鍺選擇性磊晶層，對 p 型通道電晶體之高頻特性的影響，我們利用 Cascade 微波探針進行 S 參數的量測，其中量測頻率範圍由 50 MHz 到 20 GHz，並使用標準的 SOLT 校正程序。對於金屬墊片 (metal pad) 所造成的雜散元件之寄生效應，則以 de-embedded 的方法去除(量測僅有金屬墊片，不含電晶體的元件參數，將其自電晶體元件參數中扣除)。利用圖三的電晶體模型，經由 S 參數計算可以得知元件的最大穩定增益/最大有效增益 (MSG/MAG) 及短路電流增益(h₂₁)，其結果分別示於圖四與圖五。元件閘極寬度 W 等於 200μm，閘極指長 (finger length) L_f 等於 5μm，閘極長度 L_g 等於 0.25μm。元件的汲極與閘極端的操作偏壓皆為 -2.5V。圖中所量測到的矽浮層源/汲極電晶體之截止頻率 f_T 與最大震盪頻率 f_{max}，分別為 10 與 3.2GHz，這些偏低的 f_T 與 f_{max}，來自於元件的高雜散電容與高閘極電阻 (~120Ω/□)，此問題可藉由調整元件製程參數與發展 salicide 製程予以解決。然而這些低 f_T 與 f_{max} 並不影響我們的實驗結果所獲致之結論。

矽鍺浮層源/汲極元件明顯地比矽浮層源/汲極元件擁有較高的 f_T 與 g_m。為了進一步了解矽鍺浮層源/汲極結構對元件高頻特性的影響，我們經由 S 參數量測結果，萃取出在零偏壓條件下的元件雜散參數，所萃取出之雜散電阻與電容列於表一。由表可知，在相同的磊晶厚度下，源/汲極電阻隨

銻含量的增加而降低，同圖二比較，我們相信接觸電阻的降低，是造成源/汲極電阻降低的主要原因。另外，源/汲極電阻亦隨磊晶厚度的增加而降低，可能是因為片電阻的降低。這些降低的源/汲極電阻可同時改善 f_T 與 g_m 。同時如表一所示，閘極電阻隨磊晶厚度的增加而降低，這是因為在矽或矽銻選擇性磊晶期間，T 型閘極結構形成的關係。通常 f_{max} 可以下式來表示，其參數之公式如圖三所示[10]：

$$f_{max} = \frac{f_T}{2\sqrt{R_g(g_{ds} + 2\pi f_T C_{gd}) + g_{ds}(R_i + R_s)}} \quad (1)$$

其中 g_{ds} 為汲極電導， R_i 為通道電阻， C_{gd} 為閘-汲極電容， R_g 、 R_d 與 R_s 分別為閘極、汲極與源極電阻。式(1)指出增加最大震盪頻率的方法，除了增加截止頻率外，降低閘極電阻也是重要的部分，所以藉由選擇性磊晶的方式可提高 f_{max} 。由於浮層源/汲極結構，可能導致源/汲極 overlap 電容的增加，我們於表一比較源/汲極 overlap 電容，發現浮層源/汲極結構的元件，僅較傳統元件增加微量的 overlap 電容值，因此這些增加的 overlap 電容，不會明顯地改變不同源/汲極結構的元件的高頻特性。

矽銻源/汲極金氧半電晶體與傳統矽元件的 f_T 與 f_{max} 對閘極長度的關係，如圖七所示。當閘極長度降低時， f_T 會如預期般持續性地增加。閘極長度等於 $0.5\mu m$ 時， $Si_{0.86}Ge_{0.14}$ 元件較傳統元件多了 12% 的 f_T 值；當閘極長度縮減至 $0.2\mu m$ 時， $Si_{0.86}Ge_{0.14}$ 源/汲極結構在 f_T 值上，相較於傳統元件，產生了 27% 的改善效果。由圖六亦可知最大震盪頻率會隨著閘極長度的縮減而微量增加；然而，當閘極長度縮減至 $0.25\mu m$ 以下時，傳統矽 p 型電晶體的 f_{max} 開始降低，乃導因於過高的閘極電阻。我們可利用矽或矽銻選擇性磊晶方式來降低閘極電阻，從而改善短通道元件的 f_{max} 。這說明了維持低雜散電阻的重要性，尤其是對短通道之元件。

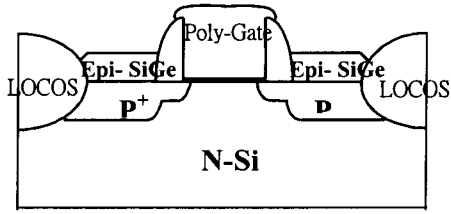
圖七中比較元件的源/汲極在不同磊

晶結構下的低頻雜訊特性，取樣頻率為 10Hz。我們發現不論其閘極長度為何，三種結構的元件之雜訊值皆相近，可知源/汲極結構的改變並不會影響元件的低頻雜訊特性。通常元件的低頻雜訊包含了通道雜訊與源/汲極電阻雜訊，當源/汲極部分的雜訊、電阻或是電流增加時，源/汲極部分對雜訊的影響將逐漸增加。雖然矽或矽銻磊晶結構無可避免的含有一些差排缺陷，而增加其電阻雜訊，但是我們所設計之元件的源/汲極電阻很低，整個低頻雜訊成分主要為通道雜訊，即使元件偏壓在高電流的情況下亦是如此，因此源/汲極部分的影響並不顯著。

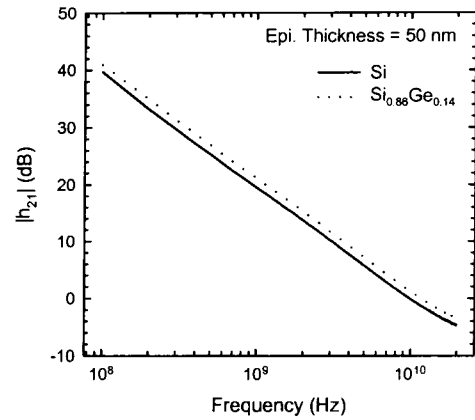
五、參考文獻

1. M. Saito, M. Ono, R. Fujimoto, C. Takahashi, H. Tanimoto, N. Ito, T. Ohguro, T. Yoshitomi, H.S. Momose, and H. Iwai, Advantage of small geometry silicon MOSFETs for high-frequency analog applications under low power supply voltage of 0.5V, in *Symp. on VLSI Tech.*, pp.71-72, 1995.
2. J.N. Burghartz, M. Hargrove, C.S. Webster, R.A. Groves, M. Keene, K.A. Jenkins, R. Logan, and E. Nowak, F potential of a 0.18- μm CMOS logic device technology, *IEEE Trans. Electron Devices*, vol. 47, no. 4, pp. 864-870, 2000.
3. Y.-S. Chieh, A. Y. Perera, and J. P. Krusius, Series resistance of silicided ohmic contacts for nanoelectronics, *IEEE Trans. Electron Devices*, vol. 39, no. 8, pp. 1882-1890, 1992.
4. S. Wong, D. Bradbury, D. Chen, and K. Chiu, Elevated source/drain MOSFET, in *IEDM Tech. Dig.*, p. 634, 1984.
5. T. Uchino, T. Shiba, K. Ohnishi, A. Miyauchi, M. Nakata, Y. Inoue, and T. Suzuki, Raised source/drain technology using in-situ P-doped SiGe and B-doped Si for 0.1 μm CMOS ULSIs, *IEDM Tech. Dig.*, pp. 479-482, 1997.
6. F. S. Johnson, D. S. Miles, D. T. Grider, and J. J. Wortman, Selective chemical etching of polycrystalline SiGe alloys with respect to Si and SiO₂, *J. Electron. Mater.*, vol. 21, no.8, pp. 805-810, 1992.
7. V. Aubry, F. Meyer, P. Warren, and D. Dutartre, Schottky barrier heights of W on Si_{1-x}Ge_x alloys, *Appl. Phys. Lett.*, vol. 63, no. 18, pp. 2520-2522, 1993.
8. H. Shinoda, M. Kosaka, J. Kojima, H. Ikeda, S. Zaima, and Y. Yausda, Electrical properties of metal/Si_{1-x}Ge_x/Si(100) heterojunctions, *Appl. Surf.*

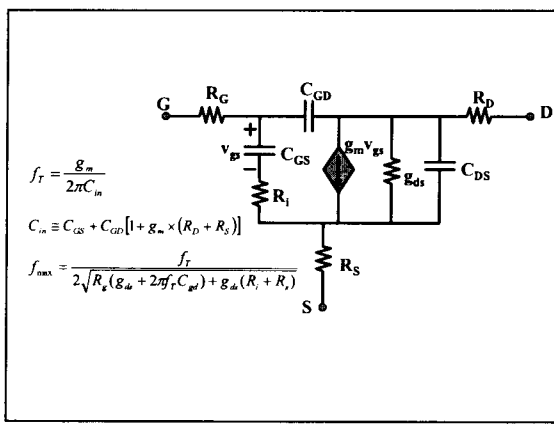
- Sci.* vol.100/101, pp. 526-529, 1996.
9. H. J Huang, K. M Chen, C. Y Chang, L. P Chen, G. W Huang, and T. Y Huang, Reduction of source/drain series resistance and its impact on device performance for PMOS Transistors with raised $\text{Si}_{1-x}\text{Ge}_x$ source/drain,? *IEEE Electron Device Lett.*, vol. 21, no.9, pp. 448-450, 2000.
 10. S.P. Voinigescu, S.W. Tarasewicz, T. MacElwee, and J. Flowski, An assessment of the state-of-the-art 0.5 μm bulk CMOS technology for RF applications,? *IEDM Tech. Dig.*, pp. 721-723, 1995.



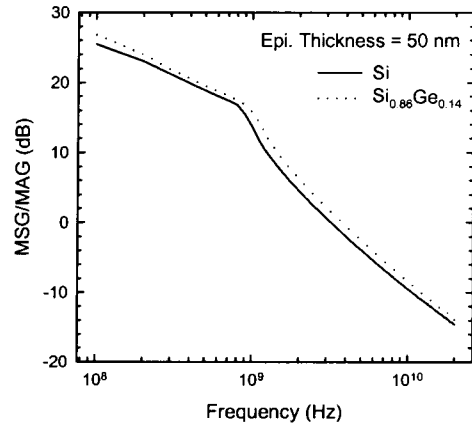
圖一、矽鍺浮層源/汲極p型金氧半電晶體之結構圖。



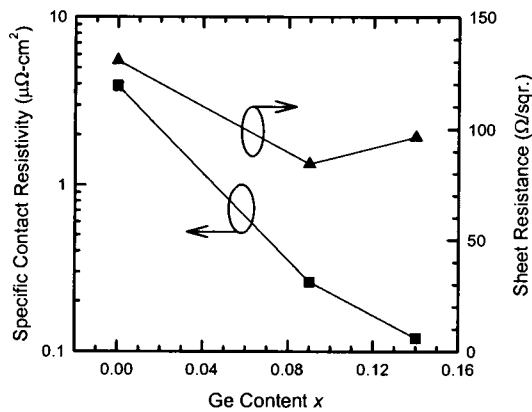
圖四、0.25 微米 p 型金氧半電晶體的電流增益對頻率之關係圖。



圖二、矽鍺浮層源/汲極p型金氧半電晶體之模型。



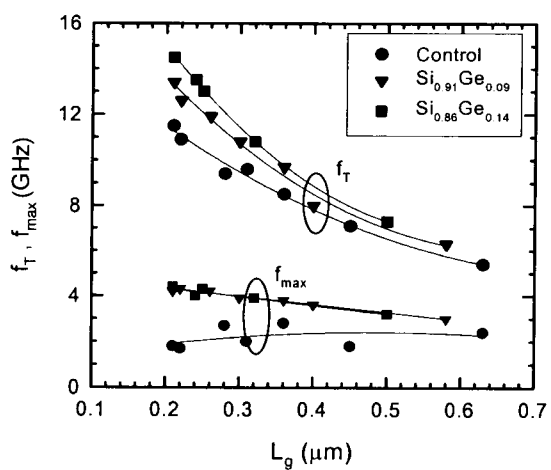
圖五、0.25 微米 p 型金氧半電晶體的 MSG/MAG 對頻率之關係圖。



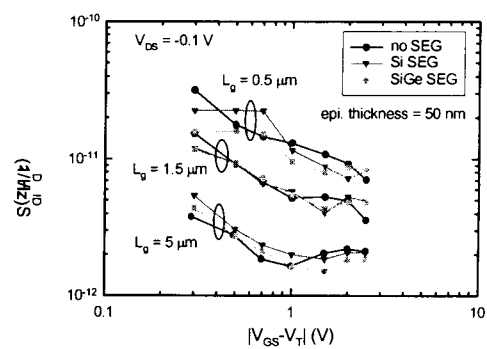
圖三、元件源/汲極區的接觸電阻與片電阻對鍺含量之關係圖。

表一、p型金氧半電晶體的雜散電阻與電容值。

Sample No.	Epi. Thickness (nm)	Ge Content x (%)	Gate Resistance (Ω)	S/D Resistance (Ω)	S/D Overlap Capacitance (fF)
Control	0	0	214	22.7	91.9
1	50	0	133	9.7	96.0
2	50	14	125	6.2	95.1
3	100	9	115	5.9	96.4
4	100	14	116	5.3	98.4



圖六、p型金氧半電晶體的 f_T 與 f_{max} 對閘極長度之關係圖，矽鍺磊晶層之厚度為



圖七、矽鍺源汲電晶體與對照組之低頻雜訊比較圖