

“The Study of CAD for System-on-a-Chip”

計畫編號：NSC 90-2215-E-009-106

執行期間：90 年 8 月 1 日 至 91 年 7 月 31 日

主持人：周景揚 交通大學電子工程系教授

一、中文摘要

隨著深次微米科技的演進，晶片設計與製造的方法突破了傳統的限制，現在將數千萬顆電晶體整合到一個單一晶片上已非難事，因此，單晶片系統（將一整個系統實現在單一晶片上）不但是可行的，而且已經引起學界與業界廣泛的注意。然而，配合技術的演進，將單晶片系統由概念轉到實際的成品，新的問題不斷的出現，因此迫切需要大量關於電腦輔助設計工具的研究。

用現在已有的積體電路設計自動化的環境為基礎，我們研究了一些重要的問題並研發在單晶片系統設計時所需要的工具。關於單晶片系統設計時所需要的設計流程，我們會在稍後再作闡述。接下來我們將對兩個我們的研究題目做簡短的描述。

1. 硬體規格描述語言之電路設計的功能性錯誤診斷:

在現今設計的流程中，電路以及規格之間在功能上的不吻合經常會發生。然而，因為現今的數位設計的複雜度越來越高的情況之

下，以人力從程式中找到錯誤的位置越顯困難。因此，我們針對自動功能性錯誤診斷提出了一個有效的方法。

2. 同時性平面規劃與緩衝區規劃:

深次微米時代，電路之連線是決定效能最關鍵的因素。但是，傳統的實體設計流程中，必須到繞線甚至是佈局完成後才處理連線最佳化的問題。當模組之間的訊號溝通的量急遽上升，這樣的處理方式將無法應付。為了解決這樣的問題，希望在流程的初期就能估計連線部分的延遲與整體的面積，現有的研究是在平面規劃之後才考慮緩衝區的規劃，這樣的做法無法克服原來的平面規劃的先天問題。於是，我們提出了將緩衝區的規劃整合到平面規劃的方法。

英文摘要

The advent of deep submicron technology is changing the way chips are being designed and manufactured. Especially, it is now possible to have tens millions transistors integrated into a single chip. Therefore, to realize an entire system

into a single chip (so called System-on-a-Chip) is highly possible and bring a lot of people's attention. Certainly, new problems are arising so that extensive researches on the related CAD tools are needed to successfully take a design from concept to reality.

With the existing design automation system of IC design, we conduct researches on those important issues and tools to satisfy the needs of SoC designs. A complete design flow of SoC will be shown later. In the following, we will briefly describe several proposed research topics.

1. Functional Error Diagnosis for Designs in HDLs:

Functional mismatches between the register-transfer-level (RTL) HDL simulation and the specification often occur during the design stage. However, the complexity of modern designs is getting higher and higher such that manually tracing the codes to find the bugs becomes more and more difficult. Therefore, we propose an effective approach for automatic functional error diagnosis.

2. Simultaneous Floorplanning and Buffer Block Planning:

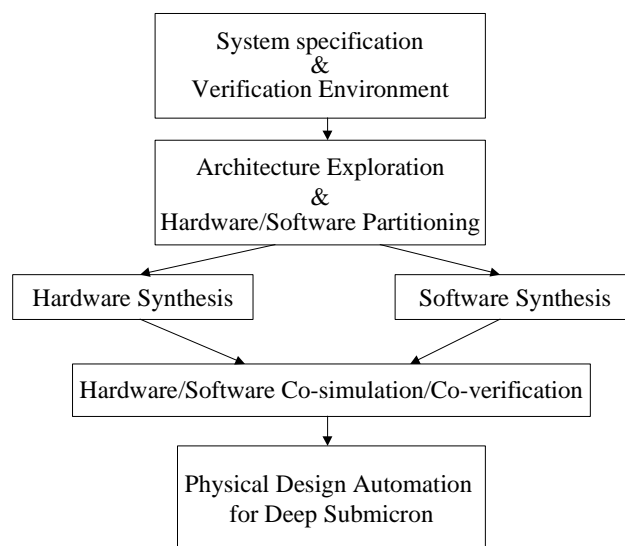
For deep submicron designs, interconnect dominates circuit performance. However, the conventional physical design flow handles interconnect optimization at the routing or the post-layout stage. When the amount of communication among modules rapidly increases, it is almost impossible to remedy interconnect only at late stages. To overcome the

problem and deal with interconnect delay and overall area, previous work plans buffer blocks after floorplanning, and thus cannot overcome the imitation of a bad initial floorplan. Therefore, we address simultaneous floorplanning and buffer block planning.

二、計畫的緣由與目的

深次微米科技的出現，使得將一整個系統實現在一個單一晶片上（稱為單晶片系統）已經變得可能而且也已經引起很多人的注意。的確，為了要將一個設計由概念轉到實際的成品，新的問題正在出現，因此大量關於電腦輔助設計工具的研究是需要的。

圖一是單晶片系統設計流程上包含的主要工作流程，我們將簡略的說明各個工作流程上所需之研究。



圖一、單晶片系統設計之主要工作流程

1. 系統規格的描述及驗證環境

一個系統可以被描述成一堆相互進行溝通且同時根據一些系統事件是否成立來進行運

算的實體。在這方面的研究方向可以是研究各種語言的價值及其相對應的驗證環境。

2. 架構的探討及硬體/軟體間之分割

一個整合而且一致的 codesign 系統應該要能抓住完整的設計規格，並支援基於軟/硬體費用指標的最佳化來進行設計空間的探索。

3. 硬體合成

在硬體合成的部分，目前的合成科技仍然存在可以被改進一些議題。譬如說目前合成的工具如 Synopsys HDL compiler 所採用的栓的推論方式並不完全正確。

4. 軟體合成

對嵌入式的系統而言，由於軟體的程式碼是存在晶片的唯讀記憶體中，因此程式碼的大小直接影響到晶片的面積及製造費用。因此同時最小化程式碼的大小及最佳化程式碼的速度是非常重要的而編譯程式碼所需要的時間變得不是那麼重要。

5. 硬體/軟體的 co-simulation 及 co-verification

因為一個典型的系統同時包含軟體及硬體，在這個議題上主要的問題是軟體及硬體間的同步化及整合的方法。

6. 在深次微米下的實體設計自動化

在深次微米的科技下，雜訊及訊號間的相互干擾變成在作效能最佳化的一個重要的議題。

三、研究方法及成果

在本報告中，我們針對前一節所提到的兩個議題分別提出了一些創新的演算法，這些議題分別是硬體規格描述語言之電路設計的功能性錯誤診斷，以及同時性平面規劃與緩衝區規劃。

1. 硬體規格描述語言之電路設計的功能性錯誤診斷:

我們針對自動功能性錯誤診斷提出了一個有效的方法。一個可以處理多個設計錯誤且僅需一個能導致錯誤之測試向量的方法。對於錯誤可能發生的範圍，我們首先去除掉一堆不可能為錯誤的敘述以獲得一個敘述的集合稱為錯誤空間。我們的目標是，以保持真正錯誤來源在錯誤空間裡的前提下，把錯誤空間的大小最小化藉著一些在模擬的階段就已經收集好的資訊。小一點的錯誤空間對電路設計者而言是喜歡的，因為他們可以更快速的從錯誤空間裡的敘述之中找到真正的錯誤來源。然後，與其以更複雜卻不見得能獲得多好效果的方法來進一步縮小錯誤空間的範圍，我們計畫將錯誤空間裡的所有敘述以一個對偵錯有用的順序顯示出來。此順序稱之為偵錯順序。比較有嫌疑為錯誤來源的敘述將會顯示在前幾行，較不可能者則顯示在後面。如果電路設計者依照此順序來偵錯，將很有可能在前幾行中就找到真正的錯誤來源，如此一來可以大大的減少偵錯的時間。由我們所做的幾個實驗中，我們可以錯誤空間的大小確實很小，而且真正導致錯誤的敘述也總是被顯示在前面幾行。證實我們的方式確實是有效的。利用我們方法，

傳統在針對以硬體規格描述語言所寫的電路做偵錯的時間將大大降低。初步的結果相當令人滿意，並將發表於國際性會議中[Jia02]。

2. 同時性平面規劃與緩衝區規劃:

自深次微米時代以降，電路之連線是決定效能最關鍵的因素。但是，傳統的實體設計流程中，必須到繞線甚至是佈局完成後才處理連線最佳化的問題。當模組之間的訊號溝通的量急遽上升，這樣的處理方式將無法應付。為了解決這樣的問題，希望在流程的初期就能估計連線部分的延遲與整體的面積，現有的研究是在平面規劃之後才考慮緩衝區的規劃，這樣的做法無法克服原來的平面規劃的先天問題。於是，我們提出了將緩衝區的規劃整合到平面規劃的方法。我們採用模擬冶鍊法來修整平面規劃，這樣可以更有效的安插緩衝區。對每個產生的平面規劃，先建立連線樹，安插緩衝區，並使用拉式鬆綁法將面積以及速度作最佳化。最後，我們提出超模組分割法進一步降低問題的大小。實驗結果顯示我們的方法可以有效地改進連線的延遲並減少緩衝器的使用量。初步的結果相當令人滿意，並已投稿至國際性期刊[Iris02]。

四、結論與討論

在本報告中，我們提出了一個硬體規格描述語言之電路設計的功能性錯誤診斷，初步的成果相當令人滿意，並將發表於國際性會議中[Jia02]。我們還提出了一個同時性平面規劃與

緩衝區規劃，並已投稿至國際性期刊[Iris02]。

表一簡列近年本研究群的相關研究成果。88年發表會議論文12篇，期刊論文4篇，並於IEEE期刊與ACM期刊各發表一篇論文。89年發表會議論文5篇，期刊論文6篇，並有4篇論文於IEEE期刊發表，90年發表會議論文10篇，期刊論文3篇，並有3篇論文於IEEE期刊發表，91年及以後發表會議論文5篇，期刊論文5篇，並有4篇論文於IEEE期刊發表。

Year	Number of Papers				SCI
	Domestic		International		
	Conference	Journal	Conference	Journal	
1999	4	0	8	4 (IEEE:1) (ACM:1)	4
2000	0	0	5	6 (IEEE:4)	6
2001	2	0	8	3 (IEEE: 3)	3
2002>	3		2	5 (IEEE:4)	

表一、本研究群近年相關研究成果

五、參考文獻

- [Jia02] Tai-Ying Jiang, Chien-Nan Jimmy Liu, and Jing-Yang Jou, "Effective Error Diagnosis for RTL Designs in HDLs", the Eleventh Asian Test Symposium, Guam, USA, November 2002.
- [Iris02] I. H.-R. Jiang, J.-Y. Jou, Y.-W. Chang, and K-Y Chao, "Simultaneous Floorplanning and Buffer Block Planning," submitted to IEEE Trans. on TCAD.