



# 高密度多層構裝基板與接合材料研究(III)

計畫編號：NSC 90-2216-E-009-031

執行期限：90年8月1日至91年7月31日

計畫主持人：邱碧秀 國立交通大學電子工程學系

共同主持人：謝宗雍 國立交通大學材料科學工程研究所

杜正恭 國立清華大學材料系

## 一、中文摘要

以多層連線結構為基礎的基板構裝技術為近年來世界各先進電子工業家因應電子系統的小型化、快速化、多功能化與輕量化的需求而採取的研發重點之一。在此高密度多層構裝基板的製作中，除了電路設計和製程技術的改良與開發外，新型原材料的開發亦不可或缺。

本計畫擬研究開發高密度構裝基板所需的介電絕緣層材料、絕緣材料和導體材料之界面與電遷移現象之防制及元件與基板的接合材料及其金屬化。計劃的整體目標為開發能與當今導體相容的低介電係數之材料與錫鋅接合材料，以期能製成一性質優良的構裝基板供高密度接合之用。第三年的主要工作包括：以溶液聚合法製備低介電係數材料，無電鍍 Ni/Au 與 UBM 界面之介金屬化合物的相變化與再溶解機制探討，及銅-低介電材料之界面可靠度提昇研究。

**關鍵詞：**電子構裝、多層基板、接合材料

## Abstract

Multilayer interconnect structure provides electronic equipments with significant reductions in size and weight, together with increases in circuit density, reliability, and high speed electrical performance. In order to reduce the RC time delay, it is essential to utilize a low k dielectric in a highly dense multilayer package.

In this proposed research, low k dielectric materials will be developed using solution polymerization process, interaction between the low k and copper will be studied to enhance the interface reliability; metallurgical reactions among the unlead solder, the under-bump metallurgy, and the metallization will be investigated. The ultimate goal of this research is to develop a low k and a high density packing process compatible with Cu metallization and unlead solder. In the third year, the research work includes: Preparation of low k dielectric with solution polymerization process; phase transformation and redissolution mechanism of IMC between electroless Ni/Au and solder; and reliability of Cu-low k dielectric interface.

■**Keyword** : electronic package, mulilayer substrate, interconnection

## 二、緣由與目的

隨著電腦、資訊與通訊產品小型化、快速化、多功能化與輕量化的發展趨向與需求，積體電路(Integrated

Circuit, IC)元件的構裝也必須朝高密度/大規模集積化、多腳數/微細化、薄型化與多晶片化發展。在最近幾年裡，新型的 IC 元件構裝，例如球柵陣列式構裝(Ball Grid Array, BGA)、晶片尺寸構裝(Chip Scale Packages, CSP)、晶片直接結合(Direct Chip Attach, DCA)等紛紛被提出；許多已是眾所周知的構裝與連線技術，例如覆晶結合(Flip Chip, FC/C4)、多晶片模組(Multichip Module, MCM)、晶片整合構裝(Wafer Scale Integration, WSI)等，因為其能符合電子產品輕薄短小的設計趨向，也成為當今電子構裝技術的熱門研究題目之一。

上述的 IC 元件構裝技術均致力於縮小構裝的體積，伴隨而來的是構裝元件的引腳將變得更為微細，腳距(Pitch)而更為縮小，因此當它們進行下一層次的組合時，基板上的接墊(Pad)面積與電路分布的密度也必須因應此一接合技術的變革而縮小；換句話說，開發高電路密度、細線與微小導孔(Via)、薄型多層構裝基板必然是下一世代的構裝技術研發的重點之一。

在高密度多層構裝基板的製作中，除了電路設計與製程技術的改良與開發之外，新型原料之開發及其可靠度的研究亦屬必要，其中包括：低介電係數材料、無鉛錫材料等。是以本整合計劃涵蓋三個子計劃，子計劃一研究錫鋅接合材料，內容包括開發無鉛錫的材料以及其接點底部金屬化之結構，並對錫鋅與底部金屬的擴散反應、構裝基板的介電絕緣材料與底部金屬材料的相容特質等進行研究，以了解其應用於高密度構裝基板的覆晶接合時之特性與最佳化結構；子計劃二研究介電絕緣層/導體層界面特性，內容包括研究銅與低介電係數材料之界面結構與反應，開發介電層材料以防制微細電路的電遷移現象以提升此一應用界面的可靠度；子計劃三開發低介電係數材料，內容包括進行低介電係數材料的合成，配合電性量測與結構分析探討低介電係數之成因。本計劃為三年期計劃的第三年，主要工作為各分項子計劃就上述的工作項目進行研究。

## 四、結果與討論

由子計劃一的研究成果得知無電鍍鎳與介金屬化合物有脫離無電鍍鎳表面的現象，進而溶入錫鋅中。結果發現介金屬化合物的脫離與介金屬化合物的量有關，而無電鍍鎳之脫離則是與無電鍍鎳之表面狀態有關。

子計劃二比較 SiLK 及 oxide 抗電遷移能力的優劣，並分析其原因。發現以 oxide 當介電質的的試片比 SiLK 有較佳的抗電遷移能力，這是因為 oxide 的楊式係數大、強度大、熱導大、而殘餘應力的效應並不明顯。當介電材料遭受金屬電遷移推擠時，大的楊式係數材料代表產生較

小的應變。大的強度代表介電材料較不容易產生永久性的形變。大的熱導代表熱量容易排出。

子計畫三以溶液聚合法 (solution polymerization) 製備具有低介電常數特性的芳香族聚亞胺以供層間絕緣材料之應用。黏度量測結果顯示芳香族聚亞胺的固有黏度範圍是 0.45~0.57dL/g, 在氮氣環境下對聚亞胺所做的熱性質分析結果顯示, 聚亞胺 5% 熱裂解溫度大約 486~498 °C, 證明聚亞胺具有優良的熱穩定性, 實驗結果並顯示聚亞胺具有低介電常數 (範圍從 2.23~2.97)、低吸濕性 (小於 6%) 和高崩潰電場 (範圍從 0.86~3.81MV/cm) 的優點, 但散逸因子量測結果顯示, 測試頻率超過數個 MHz 之後, 聚亞胺之介電損失特性不盡理想, 其有待後續之研究改進。

#### 四、結論

1. 在 63Sn-37Pb, 42Sn-58Bi 兩種錒錫及 Ni-5.5wt%P 及 Ni-12.1wt%P 兩種無種鍍鎳 (EN) 的交叉實驗中, 發現  $Ni_3Sn_4$  及  $Ni_3P$  在錒錫和 EN 間生成, 高融點之錒錫宜用較高之 P 含量的 EN。
2. 就抗電遷移的能力而言, SiLK 不及  $SiO_2$ 。
3. 聚亞胺低介電材料確可以用 solution polymerization 方法製作, 但其介電損失之降低尚須更進一步的研究。