

# 高性能互補式金氧半影像感測器 矽視網膜及具學習能力之影像處理類神經網路晶片系統設計研究 (三)

## The Research on Chip Design of High-Performance CMOS Imagers, Silicon Retinas, and Image Processing Neural Network Systems with Learning Capability (3)

計畫編號：NSC 90-2215-E-009-113

執行期限：90年8月1日至91年7月31日

主持人：吳重雨 國立交通大學電子工程系所

E-mail：[cywu@alab.ee.nctu.edu.tw](mailto:cywu@alab.ee.nctu.edu.tw)

計劃參與人員：鄭秋宏, 廖以義, 施育全, 林俐如, 黃冠勳

### 一、中文摘要

在以前十年之研究計劃成果中，已先後完成新型矽視網膜積體電路晶片[1]，具有相對記憶體之類神經晶片[2]，以及神經元雙載子電晶體[3]等。本計劃擬進一步運用這些成果，加以改進及整合，並進一步研製一個以雙載子電晶體為新架構之具學習能力及相對記憶體之細胞元化類神經晶片，加上必要之介面電路及處理控制電路，研製影像分類、辨識等處理系統雛型，並加以測試、驗證，以期運用於電腦智慧型 I/O 或多媒體資訊處理系統等。

在本次計畫中提出並分析一個新型的 CMOS 影像電路，稱之為類主動像素感測器架構。它具有比傳統被動像素感測器和主動像素感測器更小的暗電流、較大的訊號雜訊比、和較大的填充係數。並且我們也設計了一個 176x144 格式的 CMOS 顯像器。

**關鍵詞：**矽視網膜、影像處理、運動感測、細胞化類神經網路、學習式類神經網路、CMOS 顯像器、影像感測器、讀取電路

### Abstract

In the previous research projects, new silicon retina chip, Hopfield neural chips with learning and ratio memory, and neuron-BJT have been successfully developed. In this project, the previous results will be improved and integrated. Moreover, The new compact neuron-bipolar

cellular neural network structure with adjustable layer chips for learning and ratio memory will be developed and implemented. These chips together with the necessary interface control chips will be integrated to form a prototyping system for image pattern classification and recognition. It is expected that the system can be applied to the intelligent computer I/O or multi-media systems.

A new CMOS imager circuit called the pseudo-active-pixel-sensor (PAPS) structure is proposed and analyzed. It has the advantages of low dark current, high signal-to-noise ratio (S/N), and high fill factor over the conventional passive-pixel sensor (PPS) imager or active-pixel-sensor (APS) image. An experimental chip of new CMOS imager with QCIF (176x144) format is designed.

**Keywords:** silicon retina, pre-image-processing chip, motion detecting sensor, RMCNN, vBJT

### 二、計畫緣由與目的

將細胞元神經網路當成聯想記憶體以用於學習、辨認及聯想樣本的觀念已被提出[4]-[5]。圖一為我們所提出之細胞元類神經網路之方塊圖，各個細胞元之相互關係經由學習之後便儲存於比例式記憶體之中。在聯想時，若我們從中輸入一含雜訊之樣本，則其他的神經元便會經由類神經

網路之聯想而輸出其正確之樣本。

目前在類神經網路上的硬體製作上，一個神經元往往都需要好幾個電晶體來完成。因此神經網路需要耗費大量的面積，而且做出來的神經元遠比人類的神經元少太多，因此我們利用一個雙極性電晶體架構來實現一個神經元，如此可以大大的降低所需的面積，以同樣的面積可以製造出更大的神經網路電路系統。現有的版本僅能記憶 3-5 個樣本，現於模板 A 加入自我回授之鍵值並新增含臨界值鍵值之模板 Z，使其能夠記憶更多之樣本。

運動偵測一直是影像處理中非常重要的一部份。為達到體積小、功率低、即時性等要求，將影像感測器與運動影像處理單元整合成單一晶片，形成所謂 Focal Plane Motion Sensor，已成為未來發展的趨勢。在本年度計畫中，我們將以過去發展出來的矽視網膜架構，與運動偵測單元整合，用以偵測二維空間的圓周運動。未來可能的應用包含數位相機的影像穩定控制、馬達控制、機械人等方面。

近幾年來，整合了光偵測器，讀出電路，數位控制電路，影像加強電路等等功能在同一晶片上的 CMOS 影像感測器已經廣泛應用在很多方面。隨著 CMOS 製程技術的快速進步和縮小，高解析度的 CMOS 影像感測器 [6] 如 :VGA(640x480)，或 SVGA(1024x768)變得越來越重要。故在本報告中提出了一個稱之為類主動像素感應器架構來達成上述目標。

### 三、結果與討論

在比例式記憶體方面，Matlab 軟體被用來驗證演算法之正確性；之前的版本所習得之模板 A 並不包含自我回授之鍵值，也無含臨界值鍵值之模板 Z；即使將所測試之樣本解析度由 9x9 改為 18x18 後，亦只能記得 5 個樣本，僅較 9x9 樣本可記得 3 個多了 2 個。

在加入模板 A 之自我回授之鍵值後，發現該含比例式記憶體之細胞非線性網路可記得八十七個以上之樣本；圖二(a)為其中的三十個樣本，圖二(b)則為部分相對應

之含雜訊的測試樣本；圖二的所有樣本均可被該新型含比例式記憶體之細胞非線性網路辨識並還原回正確的樣本。若再加入含臨界值之模板 Z，發現其可還原含較多雜訊的測試樣本。

在運動偵測方面，圖三為利用矽視網膜架構設計之圓周運動偵測器之晶片照相圖。此晶片的特點是將像素陳列成極座標結構，使晶片能藉由簡單的 correlation-based 演算法，將圓周運動的角速度偵測出來。晶片對旋轉物體的角速度具選擇性。透過控制不同的時脈頻率，我們可以精確的控制所要選擇的角速度為何。圖四所示為邏輯分析儀所捕捉到的晶片輸出。影像朝順時針方向旋轉，並且角速度為利用時脈訊號所選擇的角速度。由圖四可以看到只有順時針方向的輸出 (CW2 及 CW3)有反應，當輸出為”0”時，表示晶片偵測到所選定的轉速與方向。圖五說明片對旋轉物體角速度的選擇性及可控性。縱軸為每八十次輸出中，輸出為”0”的比例。當轉速與由時脈訊號所選擇的轉速一致時，比例會達到最大。利用選擇不同的時脈訊號，我們可以偵測出不同的轉速。

採用 MxN 格式類主動像素感測器的 CMOS 顯像器方塊圖如圖五所示。影像感測的部份是由 176x144 個單位像素所組成，列(行)解碼器、列(行)驅動器、和列(行)計數器分別用來選擇不同的列(行)；再將訊號傳送到輸出端。在感測器陣列頂端的是行讀出電路，用來傳送依序的感測器訊號和重置訊號到輸出端以完成雙重的相關兩次取樣動作以消除一些電路及製程中固定的雜訊。

圖六顯示了類主動像素感測器電路架構，在這當中，單位像素電路是由列選擇訊號 P 型 MOS 和一個光二極體所構成。光二極體是由 P+/N-well 組成，在單位像素電路的左邊掛了 287 個不在選擇狀態的列選擇器，這樣就可以把整條行上的漏電流效應都相加起來。整個行上的漏電流也因為所有的二極體逆偏壓皆接近 0 伏，所以可以降至很低，也可以相對地增加訊號雜訊

比。

同時，在取樣保持電路上，利用補償電路將訊號傳輸路徑上的通道電荷效應和時脈饋入效應造成的雜訊減至最低狀態，再兩次相關取樣電路將一些固定式雜訊降低。

另為得到較均勻的感測器特性，在所有感測器的周圍又多包了兩層的假感測器，其偏壓狀態皆與內部感測陣列相同及即皆偏壓在 0 V，其上方均用金屬遮蓋避免照光，使的這些假二極體的特性和真正使用的光二極體在暗電流方面一樣，以避免感測器周圍的不均勻性。

#### 四、計畫成果自評

在比例式記憶體方面，發現加入自我回授之模板 A 之比例式記憶體細胞非線性網路可記憶超過 61 個樣本，但其可辨識樣本之時間則較短；若是只學 5 個樣本，則其可辨識樣本之時間則與無自我回授者一樣長。若在加入含臨界值之模組 Z，發現不論是學習 5 個或 61 個樣本，其可辨識之時間均同僅含自我回授模板者。其詳細比較數據見表一。

比較其可還原樣本之程度，加入自我回授之模板 A 之比例式記憶體細胞非線性網路其在記憶 61 個樣本後對雜訊為標準差 0.35 的測試樣本之還原能力僅較只記憶 5 個樣本之無自我回授者稍差。若再加入含臨界值之模板 Z，則即使記憶 61 個樣本，其還原能力仍較記憶 5 個樣本之原始比例式記憶體細胞非線性網路稍佳。其詳細比較數據見表二。

在運動偵測方面，我們實現了一個使用雙載子電晶體矽視網膜之新型圓周運動偵測器，此圓周運動偵測器具有角速度及方向的選擇性。實驗結果驗證此晶片完全能符合預期的功能，是一相當成功的設計。

在光感測器方面，在這個實驗的晶片當中，讀出速度最快可以達到 30frames/sec，當變化圖六中  $V_{com}$  的值會造成 photodiode 的偏壓改變間接對影像的特性形成雜訊，量測結果如圖九所示，顯示使用維持 photodiode 零偏壓和改進型取

樣維持電路確實可以達到改善影像品質的效能。

#### 五、參考文獻

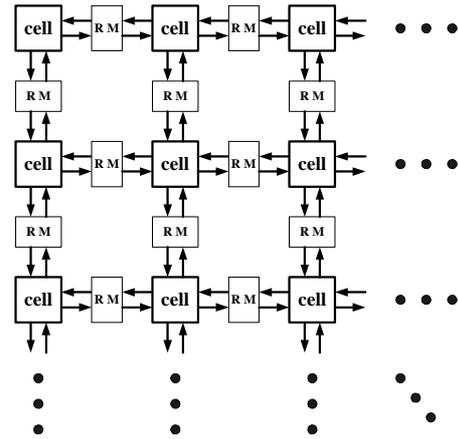
- [1]. H. C. Jiang, C. Y. Wu, "The BJT-based silicon-retina sensory system for direction- and velocity-selective sensing," The Proceedings of *IEEE International Symposium on Circuits, and Systems*, vol. 4, pp. 77-80, Monterey, C.A., May, 1998.
- [2]. Chung-Yu Wu and Chiu-Hung Cheng, "The Design of CMOS modified Hopfield Neural Network for pattern Recognition," *International Symposium on Multimedia Information Proceeding*, Session O pp585-590 Dec. 1997.
- [3]. W.-C. Yen and C. Y. Wu, "A new compact neuron-bipolar cellular neural network structure with adjustable neighborhood layers and high integration level" accepted by *IEEE International Symp. on Circuits and Systems*, Orlando, Florida, ISCAS' 99.
- [4]. C.Y. Wu and J.F. Lan, "A new neural associative memory with learning", *International Joint Conference on Neural Networks, Baltimore, USA*, vol. I, pp.487-492, June 1994.
- [5]. J.-F. Lan and C.Y. Wu, "CMOS current-mode outstar neural networks with long-period analog ratio memory," *1995 International Symp. on Circuits and Systems*, Seattle, USA, vol. III, pp.1676-1679, Apr. 19-May 3 1995.
- [6]. R. Daniel McGrath, Vincent S. Clark, Peter K. Duane, Lisa G. McIlrath, and William D. Washkurak, "Current-Mediated, Current-reset 768x512 Active Pixel Sensor Array," in *ISSCC Digest of Technical Papers*, pp. 182-183, Feb. 1997.

#### 六、發表論文

- [1]. C.-Y. Wu and K.-H. Huang, "A CMOS focal-plane motion sensor with BJT-based retinal smoothing network and modified correlation-based

algorithm," *IEEE Sensors Journal*, to be published.

- [2]. C.-Y. Wu; C.-Y. Hsieh; S.-H. Chen; B. C.-Y. Hsieh; C.-R. Chen, "Non-saturated binary image learning and recognition using the ratio-memory cellular neural network (RMCNN)," in proceedings of *IEEE International Workshop on CNNA2002*, July, 2002, pp. 624-629.
- [3]. C.-H. Cheng; C.-Y. Wu, "The design of ratio-memory cellular neural network (RMCNN) with self-feedback template weight for pattern learning and recognition," in proceedings of *IEEE International Workshop on CNNA2002*, July, 2002, pp. 609-615.
- [4]. T.-C. Tsai; M. S.; L.-J. Lin; C.-H. Cheng; C.-Y. Wu, "A new two-layer quantum-dot large-neighborhood cellular nonlinear network (QLN-CNN) using quantum-dot cellular automata," in proceedings of the *IEEE Conference on NANO2002*, Aug. 26-28, 2002, pp. 355-357.
- [5]. Y.-Y. Liow; C.-Y. Wu, "The design of high-speed pipelined analog-to-digital converters using voltage-mode sampling and current-mode processing techniques," in the proceeding of *IEEE International Symposium on Circuits and Systems ISCAS 2002*, May 2002, vol. 3, pp. 117-120.
- [6]. C.-Y. Wu, H.-C. Huang, L.-J. Lin, and K.-H. Huang, "A new pseudo-bipolar-junction-transistor (PBJT) and its application in the design of retinal smoothing network," in the proceeding of *IEEE International Symposium on Circuits and Systems ISCAS 2002*, May 2002, pp. 125-128.
- [7]. C.-Y. Wu; J.-L. Lai, "Improvement of pattern learning and recognition capability in ratio-memory cellular neural networks with non-discrete-type Hebbian learning algorithm," in the proceeding of *IEEE International Symposium on Circuits and Systems ISCAS 2002*, May 2002, pp. 629-632.



圖一、應用比例式記憶體之細胞元神經網路之方塊圖

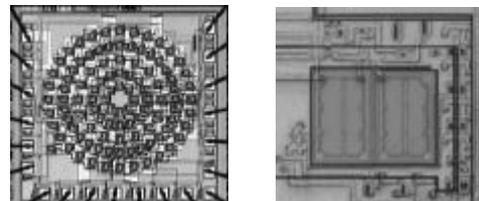


(a)

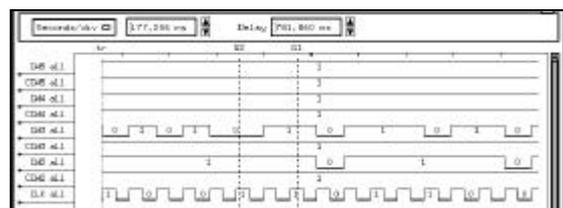


(b)

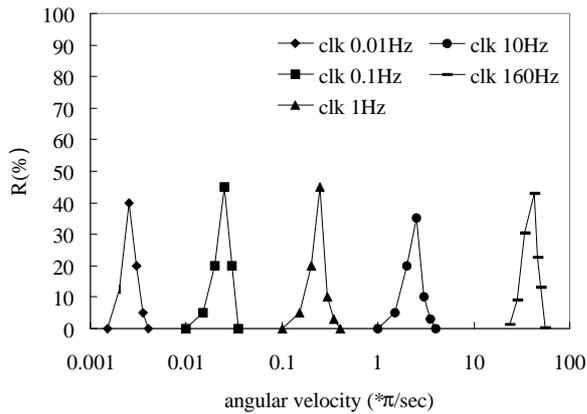
圖二 (a)部分正確樣本輸入 (b)相對應之含雜訊樣本輸入



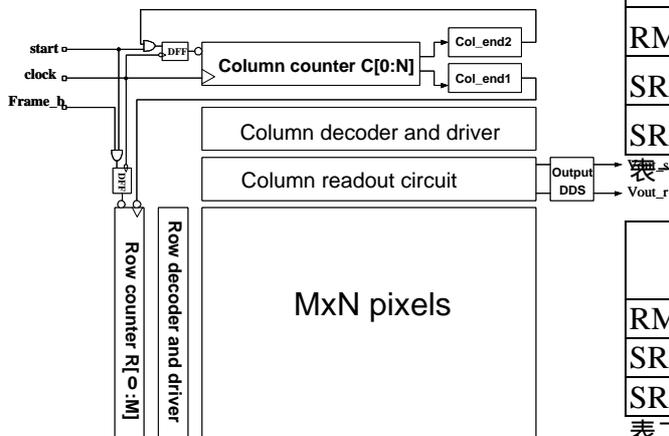
圖三、晶片照相圖(a)全部晶片 (b)單一像素



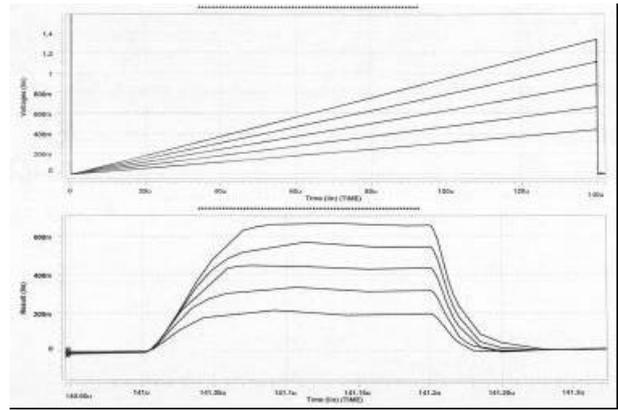
圖四、晶片輸出波形



圖五、晶片的速度選擇性



圖五、類主動像素感測器的 CMOS 顯像器方塊圖



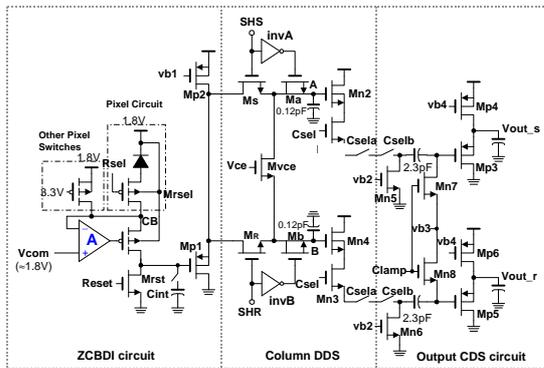
圖九、光感測器量測結果

	Learned patterns	Recognizable Time
RMCNN	5	1500s~2500s
SRMCNN	61	2450s~2500s
SRMCNN+Z	61	2450s~2500s

表一、可學習樣本個數之比較。

	Standard derivation	
	0.3	0.35
RMCNN	86%	53%
SRMCNN	87.8%	52.6%
SRMCNN+Z	89.8%	54%

表二、可還原測試樣本之雜訊程度之比較。



圖六、類主動像素感測器電路架構