

# 蕭特基能障金氧半電晶體元件研製與理論分析—子計畫二：

## 蕭特基能障 SOI 金氧半電晶體元件研製與分析

計畫編號：NSC 90-2215-E-009-080

執行期限：90 年 08 月 01 日至 91 年 07 月 31 日

主持人：黃調元 國立交通大學電子研究所

共同主持人：林鴻志 國家奈米元件實驗室

### 一、摘要

本報告是整合蕭特基源/汲極元件於 SOI 晶片上。因為蕭特基元件是以矽化金屬取代傳統離子佈值產生源/汲極的方式，所以具有製程簡單、適用於低溫製程步驟，以及可同時操作於 n 和 p 通道等優點。但是傳統蕭特基源/汲極元件由於天生金屬與半導體接面具有較大漏電流的現象，造成蕭特基元件具有大漏電流，進而減少其導通與關閉電流的比率，大大的扼殺了蕭特基電晶體的應用。在研究中，我們結合了所謂新式場引發汲極延伸 (field-induced drain) 的結構，可有效的壓抑在汲極端所產生的高電場，抑制大漏電流的現象，使得元件的特性更加理想，得到對於 n 通道和 p 通道而言，On/Off 電流的比率分別為  $10^6$  和  $10^8$ 。

### Abstract

In this study, we have fabricated Schottky barrier (SB) MOSFET on SOI wafers. SB MOSFET employs silicide source/drain in lieu of ion implanted source/drain. So it is simple in processing, well suited for low temperature process. Further, it can operate both as n- and p-channel transistors (i.e., ambipolar). However, traditional SB MOSFET suffers from extremely large leakage current inherent in metal-semiconductor Schottky junction and therefore poor on/off current ratio, which severely restricted its application to mainstream integrated circuits. In this study, we have proposed and demonstrated new SB MOSFET devices that incorporated the field-induced-drain (FID) structure in an effort to

reduce the large leakage current. Since FID can effectively reduce the high field in drain-side and the device performance greatly improved. We obtained the on/off current ratio for n- and p-channel devices to be  $10^6$  and  $10^8$ .

**Keywords:** SOI, Schottky barrier, field-induced drain (FID), On/Off current ratio.

### 二、緣由和目的

蕭特基能障電晶體是目前深具潛力的元件，其元件的製作方式是由金屬源/汲極取代傳統離子植入的方式[1]-[5]，如此可省去離子植入的動作以及後續退火的製程。蕭特基能障電晶體不僅製程步驟簡單，適用於低溫製程，且元件同時具有 N 通道與 P 通道元件的特性等優點[5]，所以相當適用於未來奈米級元件的應用。

蕭特基能障電晶體傳統上是由自我對準金屬矽化製程形成源/汲極[1]-[5]，氧化矽邊襯可有效的避免源/汲極矽化物與閘極產生橋接現象。然而，蕭特基能障電晶體普遍遭受嚴重的漏電流與較差的 On/Off 電流比率，這是因為蕭特基二極體本身便具有較大漏電流的緣故。

近幾年我們已經成功製作具有優異元件特性的蕭特基能障薄膜電晶體[6]-[8]，在本篇報告中，我們將嘗試運用此經驗製作於 SOI 矽晶片。此新式元件是利用次閘極感應產生汲極端延伸區，電場感應汲極

可有效的降低元件關閉電流，並且維持固定的導通電流，進而提高元件的 On/Off 電流比率。

蕭特基能障電晶體的元件結構如圖 1 所示。在元件正常操作狀態下，次閘極連接固定電壓，以便在次閘極區域下產生電場感應汲極，如此可藉由次閘極連結正或負電壓，元件可分別操作在 N 通道或 P 通道。

### 三、元件製作

圖 2 為主要的元件製作步驟，元件建構在厚度為 50 nm P 型 SIMOX 的矽晶片上。在定義出主動區之後，6 nm 後的閘極氧化層與 200 nm 的 N 型多晶矽依序沈積於晶片上，以 N 型多晶矽蝕刻作為主要閘極。之後，利用化學氣象沈積 200 nm 的氧化矽，配合使用微影技術定義出電場感應汲極的偏移區。首先先沈積 30nm 的鎳金屬，經由快速退火 (550 °C, 30 sec) 與選擇性蝕刻製程 ( $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 3:1$ ) 移去未反應的金屬，因此以自我對準矽化金屬技術形成源/汲極。值得注意的是，不管是通道或是源/汲極，都不需額外的離子植入動作，因此可省略植入後退火的製程。晶片最後經由標準的後段製程完成，此新式元件的金屬次閘極是在蝕刻金屬連線時同時形成，並不需額外的製程步驟。

### 四、結果與討論

圖 3 和 4 為蕭特基能障電晶體結合電場感應汲極的雙極性電流-電壓特性，當操作於 N 通道或 P 通道，on/off 電流比率分別可達到  $10^7$  或  $10^8$ ，此外，關閉漏電流與閘極電壓大小並沒有相對關係，這完全歸功於電場感應汲極的功效。由圖中可觀察到，元件操作於 P 通道的特性遠優於操作於 N 通道，主要是因為鎳金屬矽化的蕭特

基能障對於電洞 (約 0.4 eV) 遠低於電子 (約 0.7 eV) [9]。

圖 5、6、7 與 8 顯示次閘極電壓，對於元件操作於 N 通道 ( $V_{G,\text{main}} = +2.5$ ) 與 P 通道 ( $V_{G,\text{main}} = -2.5$ ) 的汲極電流影響，將此特性與圖 3 比較可以明顯看出具有大漏電流，特別是在 N 通道操作的模式下，而且會隨著次閘極電壓的大小而改變。

上述的電流特性可由圖 9 對四種不同狀態的 N 通道能帶圖來做說明，圖 9 中 ( $V_{G,\text{main}} = +2.5$  V,  $V_{G,\text{sub}} \ll 0$ ) 的大電流，主要來自於汲極端的高電場電洞穿透，不過此現象會隨著  $V_{G,\text{sub}}$  逐漸增加至 0 V 而減小；當  $V_{G,\text{sub}}$  增加至一大正電壓時，相當於元件正常導通的情形 ( $V_{G,\text{main}} = +2.5$  V, 圖 9C)，從源極端的高電場電子穿透會成為主要的汲極電流來源[2]-[5]，換句話說，當  $V_{G,\text{main}}$  切換至關閉狀態 (如  $V_{G,\text{main}} \sim 0$  V)，且  $V_{G,\text{sub}}$  維持在高正電壓，在偏移區的電場感應汲極會抑制汲極漏電流 (即電洞的高電場穿透) [6]，此關係如圖 9D 所示，所以可有效的減小元件關閉狀態的汲極漏電流。

我們已經成功的製作蕭特基能障電晶體於 SOI 晶片上，而且經由次閘極的功用，不管是長通道或是短通道元件都可有效的減小蕭特基電晶體傳統大漏電流的現象，並且能有效的提高 On/Off 電流比，對 n 或 p 通道操作，分別可達  $10^7$  或  $10^8$ 。

### 五、參考文獻

- [1] M. P. Lepselter and S. M. Sze, *Proc. of IEEE*, pp.1400-1401, 1968
- [2] J. R. Tucker, C. Wang, and P. A. Carney, *Appl. Phys. Lett.*, vol.65, pp.618-620, 1994.
- [3] W. Saitoh, A. Itoh, S. Yamagami, and M. Asada., *Jpn. J. Appl. Phys.*, vol.38, pp.6226-6231, 1999.

[4] J. Kedzierski, P. Xuan, J. Bokor, T. J. King, and C Hu, in *IEDM Tech. Dig.*, 2000, pp.57-60.

[5] M. Nishisaka, Y. Ochiai, and T. Asano, in *Proc. Device Res. Conf. (DRC)*, 1998, pp.74-75.

[6] H.C. Lin, C.Y. Lin, K.L. Yeh, T.Y. Huang, and S.M. Sze, in *IEDM Tech. Dig.*, 2000, pp.857-859.

[7] H. C. Lin, K. L. Yeh, R. G. Huang, and T. Y. Huang, *IEEE Electron Device Lett.*, Vol.22, pp.179-181, 2001.

[8] H. C. Lin, K. L. Yeh, R. G. Huang, and T. Y. Huang, in *AMLCD Tech. Dig.*, 2001, pp.247-250.

[9] S. M. Sze, *Physics of Semiconductor Devices*, 2<sup>nd</sup> Ed., 1982, p.292.

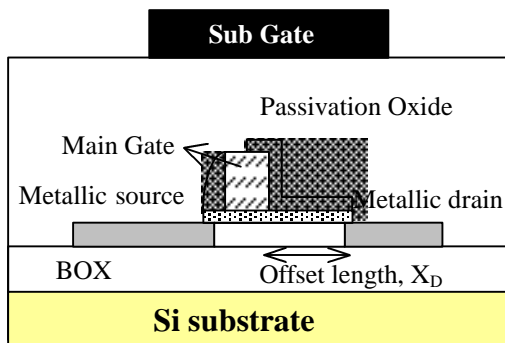


圖 1 SOI SB MOS device 的結構圖。

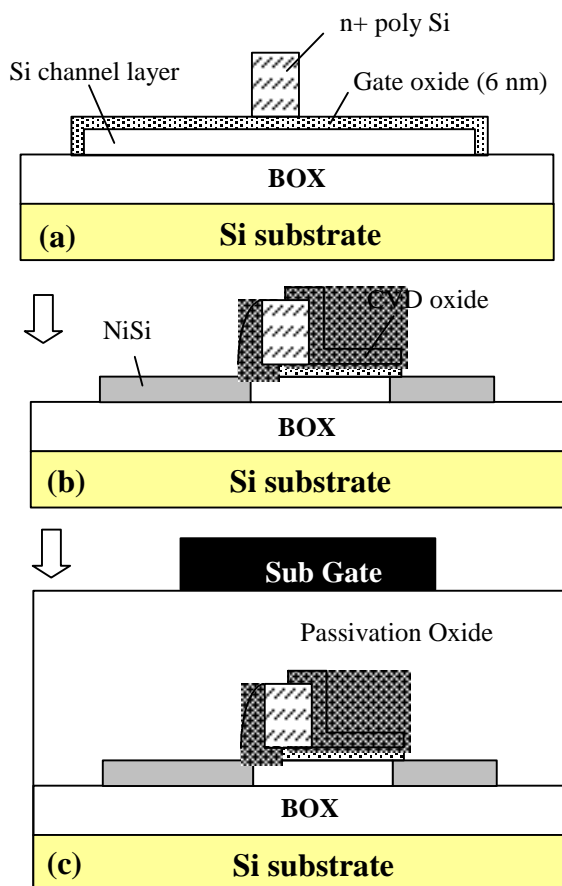


圖 2 元件製作流程圖。

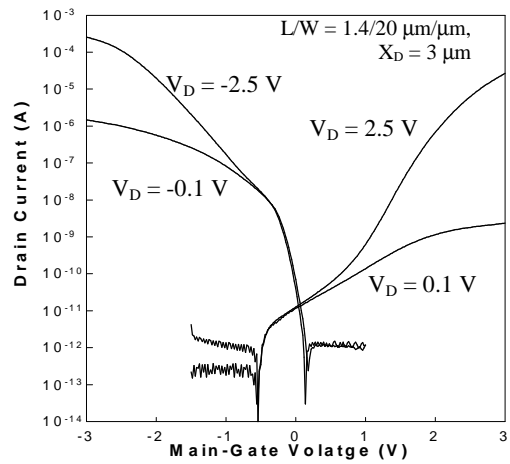


圖 3 元件電流-電壓圖。次開極電壓分別為 30 和 -30 V 對 n- 及 p-通道操作而言。

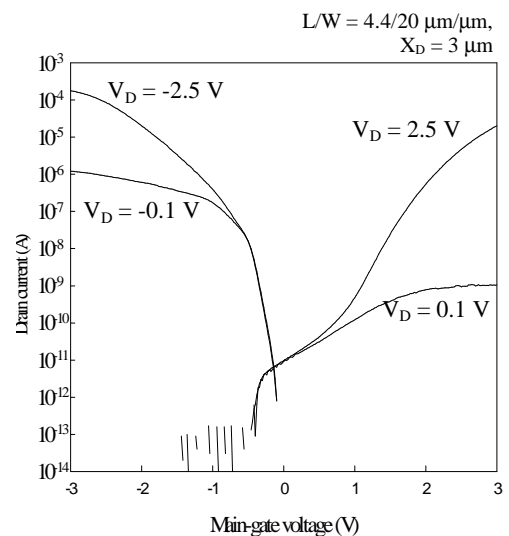


圖 4 元件電流-電壓圖。次開極電壓分別為 30 和 -30 V 對 n- 及 p-通道操作而言。

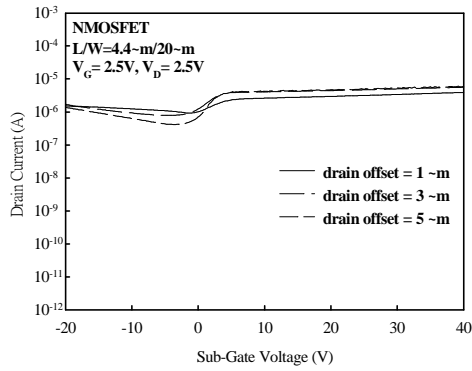


圖 5 次閘極電壓對於 n 通道元件的影響。閘極和汲極電壓固定為 2.5V。

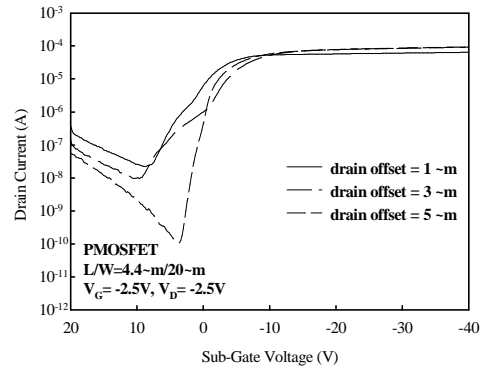


圖 6 次閘極電壓對於 p 通道元件的影響。閘極和汲極電壓固定為 -2.5V。

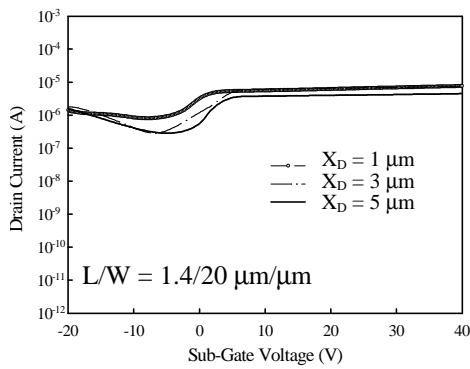


圖 7 次閘極電壓對於 n 通道元件的影響。閘極和汲極電壓固定為 2.5V。

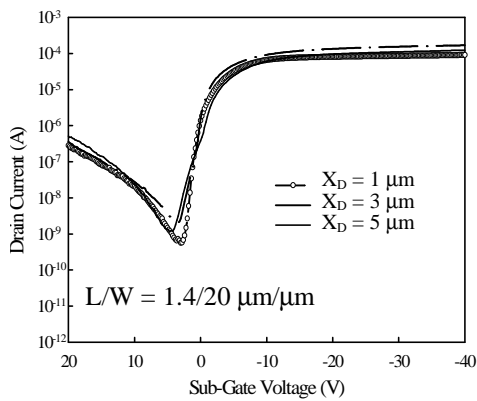


圖 8 次閘極電壓對於 p 通道元件的影響。閘極和汲極電壓固定為 -2.5V。

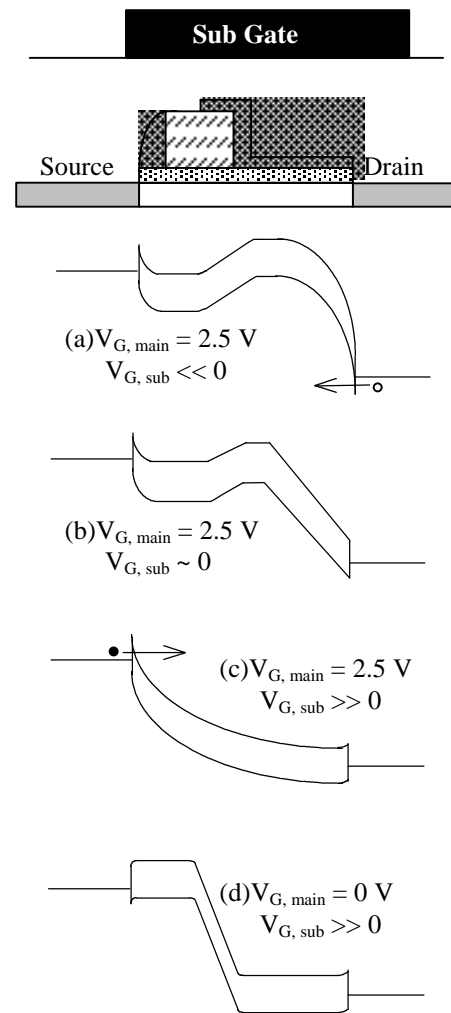


圖 9 不同 n 通道操作電壓對於元件能階示意圖。