

電極/鐵電薄膜/絕緣層/矽晶體結構之薄膜製程及特性劣化研究(I):
Sr_xBi_yTa₂O₉ 薄膜在 Al₂O₃ 金屬-鐵電薄膜-絕緣層-半導體(MFIS)結構
之電性影響

Characteristic Degradation and Processing Development of Ferroelectric

Film for Metal-Ferroelectric-Insulator-Semiconductor (I)

計畫編號：NSC-90-2215-E-009-061

執行時間：90/08/01 ~ 91/07/31

主持人：陳三元 副教授

交通大學材料科學與工程學系

一、摘要

本研究主要將不同Sr/Bi含量比的SBT鐵電薄膜沈積在Al₂O₃(10nm)/Si基材的MFIS結構上來研究不同高溫度熱處理(>800°C)條件對SBT薄膜在MFIS結構上電性變化的影響。SBT薄膜是採用金屬有機分解法方式(MOD)製備，而Al₂O₃超薄膜是使用電子束蒸鍍系統方式製備。實驗結果顯示過多Bi含量的SBT，在高溫燒結下，會出現揮發、擴散和界面反應等問題，造成C-V曲線變形、空乏區電荷量增高或界面非晶質物和氧化物的形成，進而增加或減少在電性上Memory window或漏電流密度的大小。

關鍵詞: PZT 壓電薄膜、P-E curve、疊層、微懸膜

Abstract

The electrical properties of Metal-Ferroelectric-Insulator-Semiconductor (MFIS) structure, in which Sr_xBi_yTa₂O₉ (SBT) and Al₂O₃ were used as ferroelectric and insulator layers, respectively, was studied in this work. It was found that memory window measured from Capacitance-Voltage (C-V) properties would be related to the coercive field of SBT with different Bi ratios. It has been reported that the coercive field would increase when Bi contents in SBT were closed to 2.0. Moreover, it was found that memory window would decrease with applied voltage over 10V, indicating the charge injection caused by dielectric breakdown of Al₂O₃ insulator. On the other hand, the reduced leakage current density with the higher Bi content is owing to the formation of interfacial Bi-oxide.

二、前言

在非揮發性鐵電記憶體(NVFRAM)中，以金屬-鐵電-絕緣層-半導體(MFIS)為主的單一電晶體(1T)記憶結構(memory cell)，具有快速寫入(Fast writing)、資料長久保持性(retention time)和資料非破性讀取(NDRO)的優點。¹⁻³

在許多鐵電陶瓷薄膜特性中，則以SrBi₂Ta₂O₉在MIM結構，具有良好的耐疲勞特性，低電壓驅動和高反轉極化次數(>10¹²)等優點^{4,5}，因而在1T1C非揮發性記憶體結構上，受到廣泛地研究。然而其不同的Sr/Bi含量比例變化，有不同的鐵電特性，會對於MFIS結構上會產生不同的電性影響^{6,7}。而Al₂O₃與Si之間具有較低的介面電荷(Q_{it})濃度和熱穩定性的優點⁸，可避免Si和鐵電材料之間的介面問題，因此Al₂O₃常成為絕緣層的選擇材料之一。然而在傳統場效電晶體元件製作過程中，常會經過超過850°C高溫熱處理的熱循環過程，來達到為源極(source)和汲極(drain)摻雜物(dopant)界面擴散(junction diffusion)的目的，但是SrBi₂Ta₂O₉鐵電材料最佳燒結溫度在750°C~800°C之間。

故研究將探討SrBi₂Ta₂O₉鐵電薄膜覆鍍在Al₂O₃超薄阻絕層之矽基板上，Sr/Bi比例含量變化經過不同超高溫度熱處理之後，SrBi₂Ta₂O₉鐵電薄膜鐵電特性在MFIS結構電性上的影響。

三、實驗方法

(a) SBT 溶液製備

分別將先驅物Sr(C₇H₁₅COO)₂、Bi(C₇H₁₅COO)₂及Ta(C₂H₅O)₅等金屬有機溶液依不同比例混合溶於2-ethylhexanoic acid中，可得

到金屬有機分解法 (MOD) 的起始溶液。

(b) Al₂O₃/Si 基材製備

將 P-type(100)矽晶片經過標準的 RCA 清洗過程後，放置雙電子槍蒸鍍系統腔體中，進行鋁層鍍膜，之後再經過 400°C 氧氣退火和 800°C 氮氣退火，得到一層非結晶相的氧化鋁層。

(c) Pt/ SBT/Al₂O₃/Si 製備與電性分析

將 SBT 的金屬有機起始溶液旋鍍於 Al₂O₃/Si 基板上，之後將其置於 400°C 加熱烤乾，最後再將薄膜直接推入管狀爐中，於不同溫度下鍛燒 30 分鐘使 SrBi₂Ta₂O₉ 薄膜結晶化。最後再以直流濺鍍方式沈積 Pt 上電極，之後再做 X-ray 分析薄膜組成，橢圓測厚儀測量厚度，SEM 觀察薄膜表面微觀結構，P-E、C-V 及 I-V 量其薄膜電性。

四、結果與討論

(1) 薄膜結構分析

在 Pt 基板上，Bi 含量的變化會影響晶粒之間的成長和形狀，在 Al₂O₃ 基板上也是如此，圖一為 Bi=2.0 和 Bi=2.8，燒結溫度 800°C 的 SEM 圖，晶粒形狀由 Bi=2.0 圓形狀變成 Bi=2.8 的長條狀，且晶粒間的孔隙也隨之減少。在 Bi 含量比例越多的狀況下，隨著燒結溫度的增加，晶粒的形狀變化也更為顯著，表面結構也越為緻密，如圖二 Bi=2.8 不同燒結溫度的 SEM。

圖三為不同 Bi 含量的 SBT 薄膜於 Al₂O₃ 基板上，兩個不同燒結溫度 800°C 和 900°C 的 X-ray 繞射圖。觀察發現所有的主繞射峰都是指向 (105)_{tet} 和 (110)_{tet} 兩個平面，除了偶而在 (110)_{tet} 平面旁邊 33° 出現 Si 的繞射峰之外，並沒有發現任何非鈣鈦礦相結構的繞射峰，而在 40° 位置上是 Pt 上電極的繞射峰。

(2) 電性分析

圖四為 Bi= 2.0 的 SBT 薄膜於 Al₂O₃ 基板上，燒結溫度 800°C 的 C-V 曲線圖。隨著外加電壓的增大，Memory windows 也隨之增大，當外

加電壓超過 15V 後，如圖五，Memory windows 則會縮小，這可能是 Al₂O₃ 承受不了高偏壓造成界電崩潰產生的電荷穿透效應的影響。除此之外，當 SBT 中 Bi 含量過多情形下，C-V 曲線會出現兩種情況，一種如圖六燒結溫度在 800°C Bi=2.8 的 SBT，於外加電壓超過 10V 之後，Memory windows 在空乏區會有變形和偏移的現象，經過 TEM 分析，顯示這是 Bi 擴散至 Si 與 Al₂O₃ 界面，而導致電荷密度的變化，影響了 C-V 曲線的分佈。而當 SBT MFIS 經 900°C 高溫燒結時，發現 C-V 曲線圖在低電壓掃描時，無法出現臨界電壓值，而且當 Bi 含量越多情況越嚴重。這可能是 Bi 嚴重擴散至 Si 界面增加了受體雜質濃度，增加了臨界電壓值的關係。

圖七為不同 Bi 含量的 SBT 薄膜於 Al₂O₃ 基板上不同熱處理溫度 Memory window 對外加電壓的關係圖。觀察發現燒結溫度在 800°C 時，Bi=2.0 的 Memory window 最大，燒結溫度在 850°C 時，Bi=2.2 的 Memory window 最大，燒結溫度在 900°C 時，Bi=2.8 的 Memory window 最大，並且發現燒結溫度越高 Bi 含量越多的 SBT，會隨著外加電壓越大，Memory window 也越大，這可能是 SBT 與 Al₂O₃ 界面形成非晶質物質因素。而對於燒結溫度低的 SBT，不管 Bi 的含量多寡，當外加電壓超過 10V 以上，其 Memory window 都會有下降的趨勢。

圖八為不同 Bi 含量的 SBT 薄膜於 Al₂O₃ 基板上燒結溫度 800°C 和 900°C 之漏電流曲線圖。觀察發現大部分的漏電流密度在外加電壓 -10V 下，都可以在 10⁻⁶(A/cm²) 等級以下。在相同的燒結溫度下，隨著 Bi 含量的增加，漏電流密度逐漸下降，Bi=2.8 燒結溫度 900°C 時，在外加電壓 -10V 下漏電流密度可以達到 10⁻⁸(A/cm²)。並且發現在相同 Bi 含量比例下，隨著燒結溫度的增加，漏電流密度也有下降的趨勢，之間最高與最低的溫度相差，在漏電流密度上可以達到 1~1.5 個級數左右。

- Al₂O₃ 基板上，Bi 含量為 2.0 的 SBT 會因其矯頑電場最高而記憶視窗(Memory window)為最大。當燒結的溫度越高(>900°C)，會因 Bi 含量揮發降低了 SBT 矯頑電場減少了記憶視窗(Memory window)大小。
- Al₂O₃ 基板上，漏電流密度隨著 SBT 中的 Bi 含量增加而降低，且隨著燒結溫度的升高，漏電流密度也越來越低，這可能是 Bi 在介面成形氧化物有關。

致謝

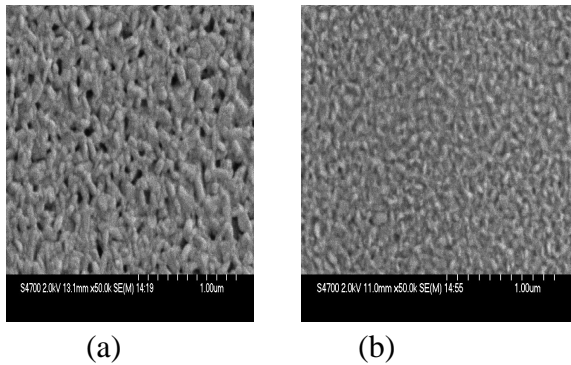
五、結論

- Al₂O₃ 基板上，燒結溫度 800°C，Bi 含量越多的 SBT 在高電壓下(>10V)，會因 Bi 擴散因素，使 C-V 曲線在空乏區有變形和偏移的情形。且在 900°C 燒結時，低偏壓掃描下無法出現臨界電壓值。
- Al₂O₃ 基板上，高含量 Bi 的 SBT，於 900°C 燒結溫度下，會在 Al₂O₃ 界面處形成非晶質相的 SBT，增加了 Memory window 大小和避免界電崩潰的情形發生。

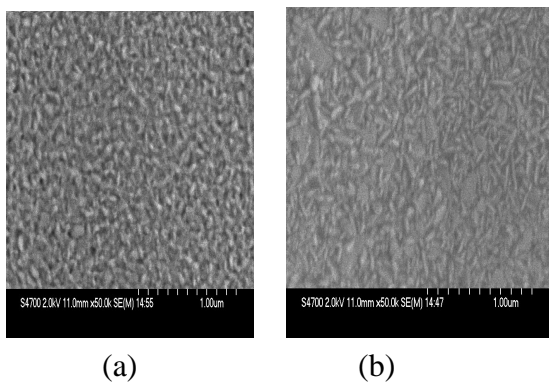
本計畫經費由國科會 NSC-90-2215-E-009-061 補助，在此致謝。

參考文獻

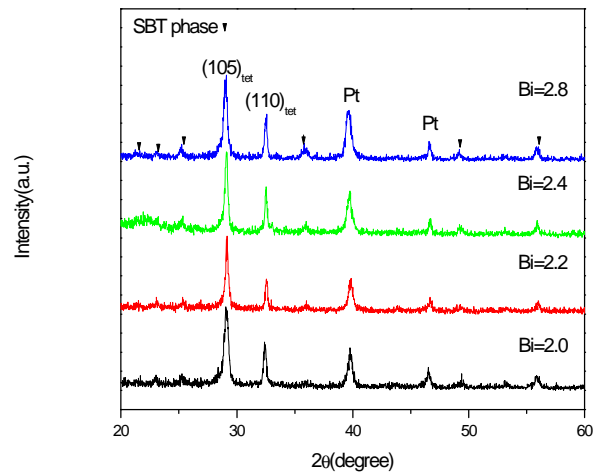
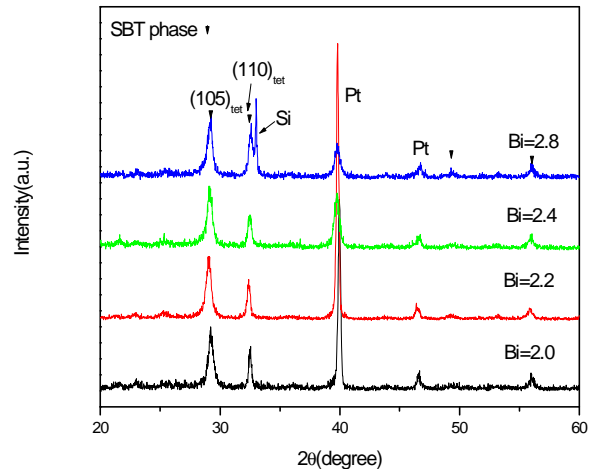
1. N. Tanabe, T.Matsuki, S. Saitoh, T. Takeuchi, Y. Hayashi, K. Amanuma, T. Hase, Y. Miyasaka, VLSI Technology, 1995, 123
2. A. Chin., SB Chen., C. L.Sun, C.L.SY Chen, Device Research Conf., IEEE, (2001), 18
3. E. Tokumitsu, G. Fujii, and H. Ishiwara, Appl. Phys. Lett. Vol. 75, (1999), 575
4. K.Sugibuchi, Y.Kurogi, and N.Endo, , J. Appl. Phys. Vol.46, (1975), 2877
5. K. Amanuma, T. Hase, and Y. Miyasaka, , Appl. Phys. Lett. Vol.66,(1995), 221
6. M.Nona, Y.Matsumuro, H.Sugiyama and M.Okuyama, Jpn. J. Appl. Phys., Vol.38 (1999) 2275
7. M. Okuyama, H. Sugiyama, and M. Noda, Apply Surface Science, (2000), 411
8. A. Chin., Lu, W.J. Chen, and C. Tsai, Symp. on VLSI Technology, IEEE, (1999), 135.



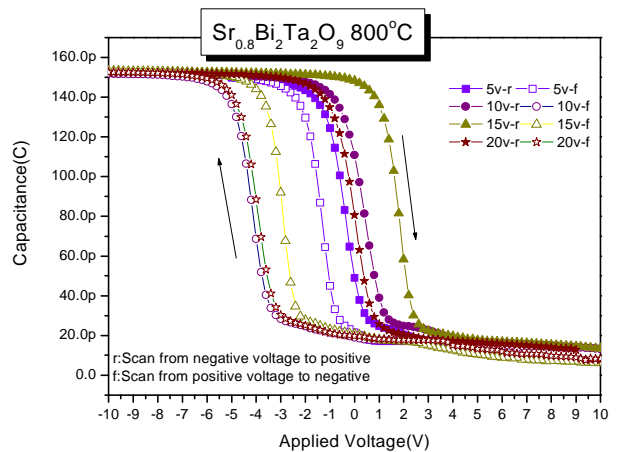
圖一、(a)Bi=20(b)Bi=2.8 SBT/Al₂O₃ 800°C-SEM



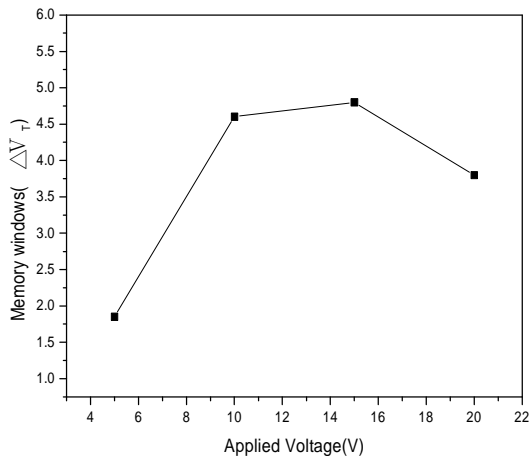
圖二、SBT/Al₂O₃ 在之(a)800°C (b)900°C-SEM



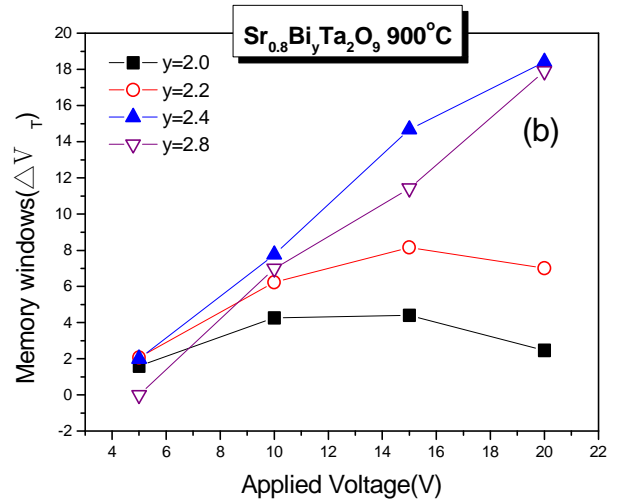
圖三、SBT/Al₂O₃ 不同 Bi 含量(a)800°C(b)900°C X-ray



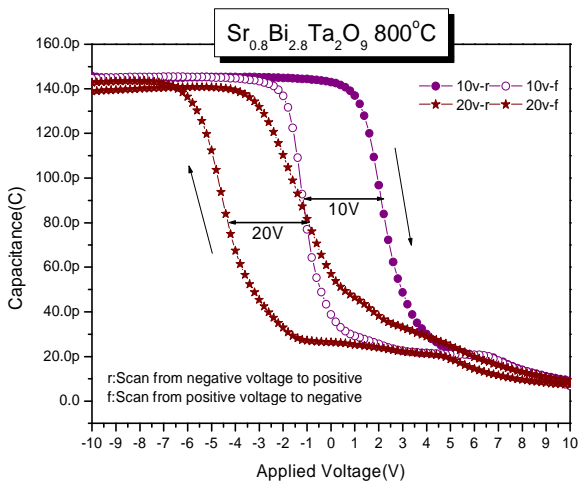
圖四、SBT/Al₂O₃/Si Bi=2.0 燒結溫度 800°C 之 C-V 曲線



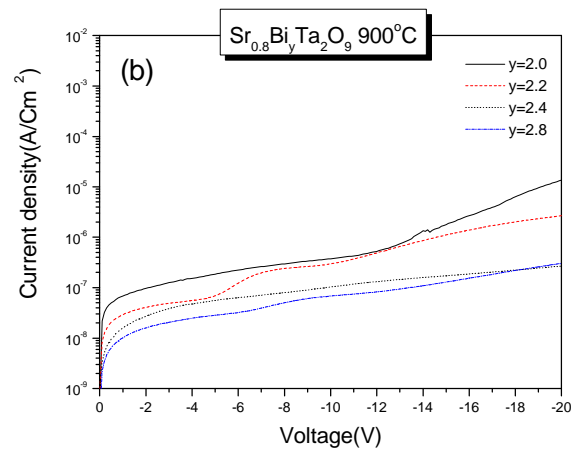
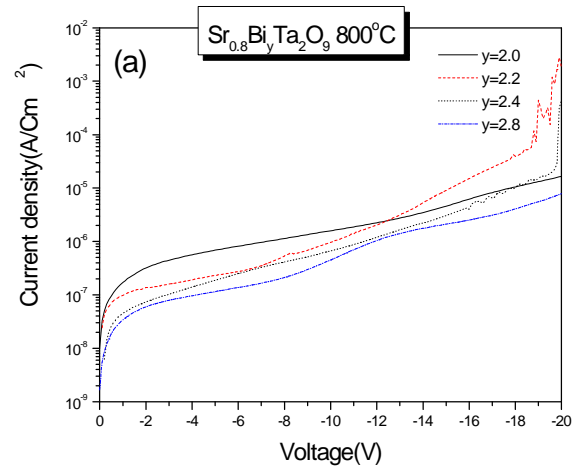
圖五、SBT/Al₂O₃ Bi=2.0 Memory vs 外加電壓關係圖



圖七、不同 Bi 含量的 SBT 之 Memory window vs 外加電壓關係圖 (a)800°C (b) 900 °C



圖六、SBT/Al₂O₃ Bi=2.8 燒結溫度 800°C 之 C-V 曲線圖



圖八、不同 Bi 含量的 SBT 之漏電流密度 (a)800 °C, (b)900 °C

