

行政院國家科學委員會補助專題研究計畫期末報告

寬頻分碼多重進接無線通訊上鏈傳收系統之設計與製作(3/3)

-子計畫三

寬頻分碼多重進接無線通訊之同步與耙狀接收機研究及設計 (3/3)

Rake Receiver Research and Design for WCDMA Wireless Communication

計畫編號：NSC 90-2219-E-009-006

執行期限：90年8月1日至91年7月31日

主持人：陳紹基，教授，國立交通大學電子研究所

一、中文摘要

本計畫為「寬頻分碼多重進接(WCDMA)無線通訊上鏈(Uplink)傳收系統之設計與製作」之第三子計畫，主要研究針對在寬頻分碼多重進接無線通訊系統中基頻接收機中有關擬似亂碼擷取、通道估測及耙狀接收機之相關設計，本年為第三年計畫。在本篇摘要中，我們完成了數項成果：(1)通道估測與耙狀接收機之數位信號處理器實現，(2)基頻接收機之積體電路設計，(3)低複雜度之相關器演算法設計。

關鍵詞：擬似亂碼擷取、通道估測、耙狀接收機、基頻接收機

Abstract

This project is the third subproject of the project entitled "Uplink Transceiver Design for WCDMA wireless communication." The subproject is aimed to study and develop Pseudo noise code acquisition, channel estimation, and Rake receiver for WCDMA wireless communication system. This is the third-year project. This project accomplishes several results including: (1) DSP realization of channel estimation and Rake receiver, (2) ASIC design of baseband receiver, and (3) Low-complexity correlator algorithms design.

Keywords: Pseudo noise code acquisition, Channel estimation, Rake receiver, baseband receiver

二、計畫緣由與目的

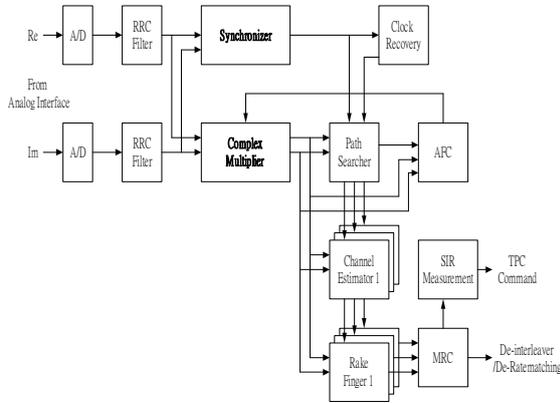
近一、二十年來由於數位無線通訊技術不斷地快速發展演進，傳統的語音訊號傳送已經不能滿足個人通訊的要求，大量地影音、數據等多媒體資訊服務成為通訊系統所必須提供基本條件。在通訊功能及頻寬需求不斷地增加的情況下，國際通訊聯盟ITU乃提議IMT-2000第三代行動通信標準之訂定，本計畫以發展WCDMA通訊系統中的技術為主要考量。

本子計畫為總計畫中「寬頻分碼多重進接(WCDMA)無線通訊上鏈(Uplink)傳收系統之設計與製作」之第三子計畫，主要為發展有關於基頻接收機中所需要的擬似亂碼擷取同步技術，通道估測及耙狀接收機。在多重路徑的通道環境下，基頻接收機必須先利用擬似亂碼擷取找出在不同的延遲路徑下，不同延遲路徑彼此之間的相對延遲位置，才能利用通道估測的方法來估測出較準確的通道係數，以幫助耙狀接收機恢復最準確的原始傳送訊號。其中，耙狀接收機是用來抵抗多重路徑效應，將不同延遲路徑下所傳送的訊號，經過相對延遲路徑的調整之後，採用最大比例結合的方法(MRC)，以增加基頻接收機對於傳送訊號回復的正確性。

三、研究方法與成果

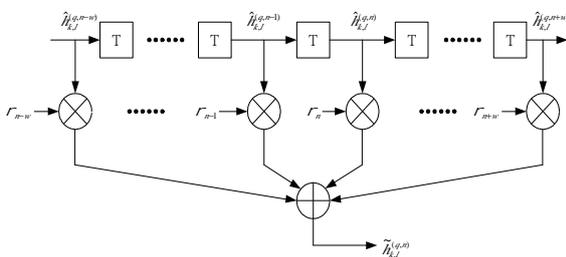
(1)通道估測與耙狀接收機之數位信號處理器實現一個包含碼擷取同步電路、通道估測及耙狀接收機的基頻接收機如圖一所示。其中，碼擷取同步電路利用多組彼此

相差一個切片(chip)延遲時間的擬似亂碼，一一與接收到的訊號做比對的動作，利用兩個擬似亂碼只有在相同時序下才有相關性的特點，找出正確的路徑延遲。當碼擷取同步電路已經估出不同的路徑延遲時間之後，藉由調整不同路徑的相對延遲時間，再將接收到的訊號傳送給通道估測及耙狀接收機。



圖一：3GPP WCDMA 基頻接收機

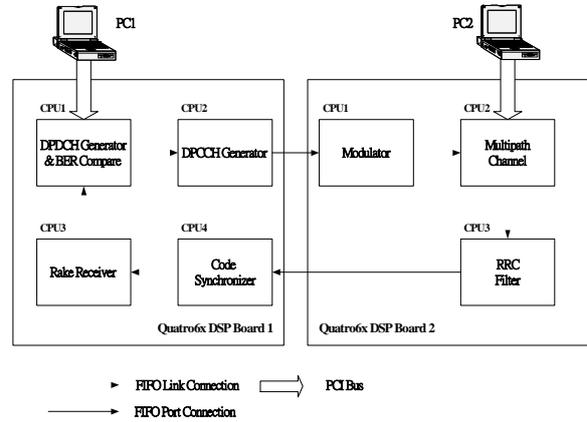
在第三代寬頻分碼多重進接上鏈通訊系統中，其實體通道中包含了控制通道及資料通道。其中在控制通道中所包含的導引信號(pilot symbol)可以用來估測實際的通道係數。在通道估測中，我們是採用了滑動式窗形通道估測法來做為通道係數估測的方法，其中，又以平均式的滑動窗形通道估測法可以得到較佳的誤碼率(BER)。圖二為滑動式窗形通道估測法。



圖二：滑動式窗形通道估測法

在本計畫中，我們是採用兩塊 Innovative Integration 公司的 Quatro6x DSP 板來驗證此一基頻接收器的設計，另外在 DSP 板子上分別有四顆德州儀器公司所製造的 TMS320C6201 DSP 處理器，圖三為整個 WCDMA 驗證系統的設計。在此驗證系統中，由於碼擷取同步電路需要大量的運

算，因此分配一顆獨立的 DSP 來處理，而含有四個 Rake Fingers 的通道估測與耙狀接收機，則合併在同一顆 DSP 當中，這樣的安排使得基頻接收機可以達到即時的運算。



圖三：WCDMA 之 DSP 驗證系統

對於利用此 DSP 板子所實現的基頻接收機，我們亦做了整體的 DSP 運算效能分析。首先，在碼擷取同步、通道估測及耙狀接收機所需要的乘法與加法的運算量分別被估算如表一所示。而在實際上 DSP 處理器在處理一到四個 Rake finger 時所需要花費的運算處理時間則分別列於表二中。由於在此驗證系統中所採用的 DSP 運算速度最高可以達到 200MHz，而且在每一顆 DSP 處理器中有多組運算處理單元，最高一個時脈中可同時處理兩個乘法的運算，因此我們利用表一與表二的資料，估算出整體的基頻接收機，在處理不同 finger 時的佔用的 DSP 效能，其結果則列於表三。

表一：基頻接收機之乘加法運算量估測

No. of Rake Fingers	Operation	Rake Receiver				Code Acquisition
		Multiply PN Code	Rake Finger	Channel Estimation	Total	
4	No. of Mul.	614400	326400	1200	942000	947408
	No. of Add.	307200	19200	1200	327600	474320
3	No. of Mul.	460800	244800	900	706500	947408
	No. of Add.	230400	14400	900	245700	474320
2	No. of Mul.	307200	163200	600	471000	947408
	No. of Add.	153600	9600	600	163800	474320
1	No. of Mul.	153600	81600	300	235500	947408

	No. of Add.	76800	4800	300	81900	474320
--	-------------	-------	------	-----	-------	--------

表二：基頻接收機運算所需時間

Condition	Processing Time (ms)			
	4 Paths	3 Paths	2 Paths	1 Path
DMA Move Data	0.4767	0.4767	0.4767	0.4767
Multiply PN Code	1.8468	1.3851	0.9234	0.4617
Channel Estimation	0.39636	0.29727	0.19818	0.09909
Fake Finger Combining	3.1812	2.3859	1.5906	0.7953
Decision	0.0155	0.0155	0.0155	0.0155
Total Processing Time	5.9166	4.5605	3.2044	1.848

表三：DSP 運算效能評估

Condition	4 Fingers	3 Fingers	2 Fingers	1 Finger
Efficiency	39.8%	38.7%	36.7%	31.9%

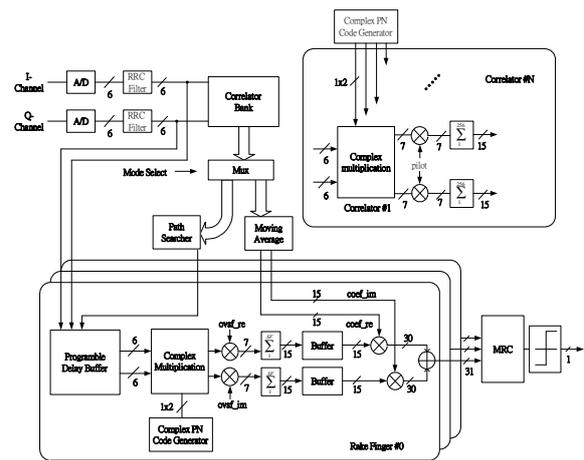
(2) 基頻接收機之積體電路設計

除了利用 DSP 來完成此一基頻接收器外，我們在計畫中亦利用以 ASIC 積體電路設計的方法，來完成此一基頻接收機。同時，在基頻接收機中，不管是碼擷取同步電路、通道估測或是靶狀接收機，均需要做大量的相關運算。因此，在此基頻接收機的積體電路設計中，我們設計了一個可節省功率消耗的複數相關運算器，利用此複數相關運算器將可以有效地減少功率消耗。

圖四為我們在計畫中所提出的基頻接收機的積體電路設計架構圖。在此電路架構設計中，此一基頻接收機可以工作在兩種不同的工作模式中，一個為碼擷取同步模式，另一個為接收解碼模式。在此基頻接收機中，我們設計了一組含有 64 個複數相關運算器的運算單元，這個運算單元將作為碼擷取同步之用，利用這 64 個複數相關運算器同時運算，將可以快速計算出一組不同延遲時間的相關運算結果，再將此組結果送往路徑選擇電路，選取相關運算結果最大的四個值，作為選擇不同路徑相關延遲之用。

當基頻接收機經由碼擷取同步模式得到四組不同路徑的延遲時間之後，此一基頻接收機會轉換到接收解碼模式，由每個 finger 中的通道估測及靶狀接收機負責解

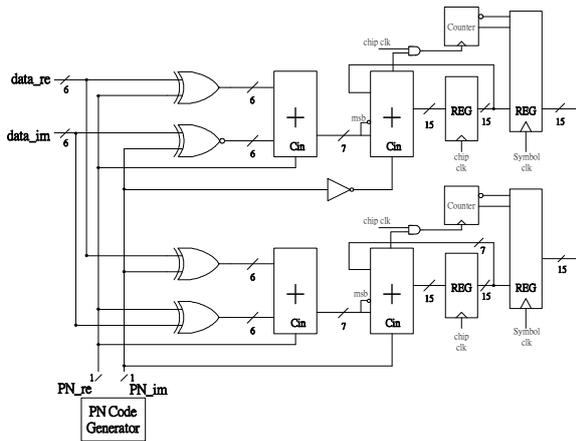
碼出原先傳送的訊號。先前在碼擷取同步模式所得到的延遲結果，將用來控制每個 finger 中的可程式規劃延遲暫存器，使其調整在四個 finger 中所欲解碼的訊號為同相。此時利用複數相關運算器運算單元中的四組相關運算器來當作通道估測器，其他六十組相關運算器則關掉，然後將四組相關運算器所估測出來的通道係數傳送到移動平均電路中，以求得在每個 slot 時間內所需要通道係數。最後，將此求得之通道係數與靶狀接收機解碼出來之訊號相乘，然後利用常見的最大比例結合法來使得可以得到較好的誤碼率。



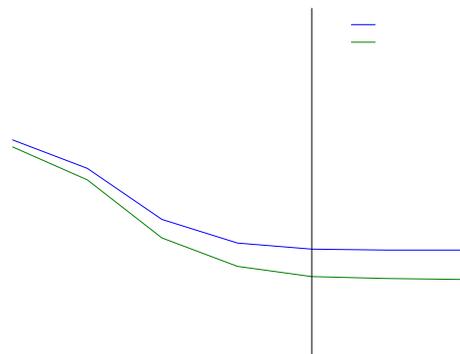
圖四：3GPP WCDMA 基頻接收圖架構圖

在此一基頻接收機的電路架構下，不管是碼擷取同步電路、通道估測或是靶狀接收機均需要用到複數相關運算器，因此我們針對此一需求，設計了如圖五所示的低功率消耗之複數相關運算器，此一電路的特性在於可利用簡單的邏輯閘完成與複數的擬似亂碼相乘的動作，同時對於要送往累加器的輸入訊號，做一簡單的 MSB 轉換，這樣可利用 Gated clock 的特性，使累加器電路中有較少的變換次數，以達到低功率消耗的要求。最後，累加完的數值同樣經過簡單的 MSB 轉換，即可恢復為原來的 2 的補數表示法。

針對此一基頻接收機的電路設計，我們由原本的 C 語言程式模擬轉換至硬體設計的定點運算，在經過如圖六所示的量化位元對誤碼率的比較之後，我們選定以 6-bit 做為輸入訊號之位元數。



圖五：低功率消耗之複數相關運算器



圖六：定點運算之量化位元比較

最後，此基頻接收機的積體電路設計，採用 Avanti 0.35 CMOS 製程的 cell library，並以 Synopsys 做 Gate-level 的合成。經由 Gate-level 的模擬，此一基頻接收機最快可以工作於 33MHz，已符合 WCDMA 系統中的要求，表四列出此基頻接收機所需要的 gate count。

表四：基頻接收機實現結果

Condition	Rake Receiver	Correlator bank
Gate counts of per unit	6366 (finger)	943 (correlator)
No. of units	4	64
Total gate counts	25466	60403

(3)低複雜度相關器演算法設計

由於在基頻接收機中，相關器伴演著一個重要的角色，不僅通道估測及靶狀接

收機需要相關器來作解 symbol 的動作，碼擷取更是需要處理大量的相關運算以快速估測出正確的路徑延遲時間，因此，我們希望藉由改良相關器運算之演算法，減少在處理相關運算時的運算量，以設計出一個適用於 WCDMA 系統中的低功率、低複雜度的相關器。值得注意的是，在硬體實現上，乘上擬似亂碼(PN Code)的動作其實只是簡單的邏輯運算，所以在此我們只著重於加法運算量。

平均編碼與差分編碼[7]是兩種用來減少相關運算的方法，其主要是利用擬似亂碼都是+1 或-1 的特點，藉由相鄰兩個擬似亂碼相加或相減而產生 0 的係數，若是在作相關運算時，遇到 0 的係數則可以省略不運算，因此可以達到節省運算量的目的。由於擬似亂碼中的原來的係數+1 與-1 產生的機率各為 50%，因此將相鄰的係數做相加或相減的動作，約略會有一半的機率會產生 0 的係數，在這種情況下，我們可以假設原來需要 N 次的運算量可以減少至 N/2。值得注意的是，若採用平均編碼或差分編碼來做相關運算時，原先的係數已經經過改變，所以，以此兩種方法做相關運算所得的結果，必須做一個補償的動作，以還原得到原先相關運算所求得得的值。

另一種可以用來減少相關運算的方法為快速濾波演算法化簡。由於在 WCDMA 系統中所需要處理對 PN Code 相乘的相關積分(Correlation)運算，其實與迴旋積分(Convolution)運算是相同的，所以，我們可以利用一般數位信號處理演算法中，簡化迴旋積分運算的方式，用在簡化 WCDMA 系統所需要相關運算上。此一快速演算法[8]，主要是將原來 N 點的迴旋積分運算，化簡為三組 N/2 點的迴旋積分運算，同時利用這三組 N/2 點的迴旋積分運算結果有某些程度上的相關，因此每計算一次則可以得到兩組所需要運算的結果。其運算化簡之方法，可參考下列之推導。

假設原先所必需求得迴旋積分運算結果為

$$y(n) = \sum_{k=0}^{N-1} h_k x(n-k) \quad (1)$$

若將式(1)改寫成式(2)

$$\begin{aligned} y'(n) &= \sum_{k=0}^{\frac{N}{2}-1} (h_{2k} + h_{2k+1}) [x(n-2k) + x(n-2k-1)] \\ &= \sum_{k=0}^{\frac{N}{2}-1} h_k x(n-k) + \sum_{k=0}^{\frac{N}{2}-1} h_{2k} x(n-2k+1) + \sum_{k=0}^{\frac{N}{2}-1} h_{2k+1} x(n-2k) \\ &= y(n) + y_{\text{even}}(n-1) + y_{\text{odd}}(n+1). \end{aligned} \quad (2)$$

我們可以發現原式(1)可以化簡為

$$y(n) = y'(n) - y_{\text{even}}(n-1) - y_{\text{odd}}(n+1) \quad (3)$$

原式(1)被化簡為三個為 $N/2$ 點的迴旋積分運算，其係數分別為奇數項係數 h_{2k+1} 、偶數項係數 h_{2k} 及奇數與偶數項相加的係數 $(h_{2k} + h_{2k+1})$ ，其中係數 $(h_{2k} + h_{2k+1})$ 將有一半的機率會為 0。

同樣地，我們可以利用式(3)得到

$$y(n+2) = y'(n+2) - y_{\text{even}}(n+1) - y_{\text{odd}}(n+3) \quad (4)$$

另一方面，我們知道

$$y(n+1) = y_{\text{even}}(n+1) + y_{\text{odd}}(n+1) \quad (5)$$

而 $y_{\text{odd}}(n+1)$ 與 $y_{\text{even}}(n+1)$ 分別可利用式(3)與式(4)中得到，所以 $y(n+1)$ 的計算則可簡化。利用這一快速演算法，則可以化簡加法運算量為 $\frac{5}{8}N + \frac{1}{2}$ 。

為了進一步減少運算量，我們提出一個利用差分編碼結合快速演算法的方式來化簡加法運算量。首先利用差分編碼的方法，將式(1)中的係數 h_k 均變成差分項係數，再用利式(3)的快速演算法將原來的運算化簡為三組 $N/2$ 點的迴旋積分運算，值得注意的是，此時三組 $N/2$ 點的迴旋積分，其係數 h_{2k+1} 、 h_{2k} 與 $(h_{2k} + h_{2k+1})$ 均有 50% 的機率會為 0，所以可使得加法運算量化簡至 $\frac{3}{8}N + \frac{1}{2}$ 。

四、計畫結果自評

我們完成通道估測與耙狀接收機之數

位信號處理器實現，利用 DSP 處理器的高效能運算能力，可使系統達到即時的運算處理。另外，我們亦完成 WCDMA 系統中的基頻接收機的積體電路設計，其中包含碼擷取、通道估測及耙狀接收機三個模組，結合低複雜度相關器演算法，此一設計將有助於開發 WCDMA 通訊系統時，可使整體系統達到高效能即時運算及低功率省電之要求。

五、參考文獻

- [1] Harri Holma and Antti Toskale, *WCDMA for UMTS*, John Wiley & Sons, 2000.
- [2] Frank Honore, Wanda Gass, Alan Gatherer, and S. Sriram, "Implementation Options for WCDMA," IEEE International Conference on Acoustics, Speech, and Signal Processing, Vol. 6, pp. 3702-3705, 2000.
- [3] Chi-Kuang Chen, Po-Chih Tseng, Yung-Chil Chang and Liang-Gee Chen, "A Digital Signal Processor With Programmable Correlator Array Architecture for Third Generation Wireless Communication System," Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on, Volume: 48 Issue: 12, pp. 1110-1120, Dec. 2001.
- [4] S. Abeta, M. Sawahashi, and F. Adachi, "Channel Estimation Filter Using Time Multiplexed Pilot Symbols for Coherent Rake Combining in DS-CDMA Mobile Radio," IEICE Trans. Commun., vol E81-B, no. 7, pp. 1517-1526, July 1998.
- [5] Milos D. Ercegovic and Tomas Lang, "Low-Power Accumulator (Correlator)," IEEE Symposium On Low Power Electronics, Digest of Technical Papers, pp. 30-31, Oct. 1995.
- [6] John G. Ackenhusen, *Real-Time Signal Processing: Design and Implementation of Signal Processing Systems*, Prentice Hall, 1999.
- [7] W.-C. Lin, K.-C. Liu, and C.-K. Wang, "Differential matched filter architecture for spread spectrum communication systems," Electronics Letters, Volume: 32 Issue: 17, pp. 1539-1540, 15 Aug. 1996.
- [8] Sau-Gee Chen and Rachel Jiang, "A New Fast Filtering Algorithm Based on Algebraic Composition," Signal Processing Systems, 1999. SiPS 99. 1999 IEEE Workshop on, pp. 742-750, 1999.