

行政院國家科學委員會專題研究計畫成果報告
寬頻分碼多重進接無線通訊上鏈傳收系統之設計與製作(3/3) (總計畫)
Transceiver System Design and Implementation for WCDMA Uplink
Communication (3/3)

計畫編號：NSC 90-2219-E-009-002

執行期限：90年8月1日至91年7月31日

主持人：林大衛 交通大學電子工程學系 教授

共同主持人： 杭學鳴、陳紹基、魏哲和 交通大學電子工程學系 教授
王聖智 交通大學電子工程學系 副教授
張仲儒 交通大學電信工程學系 教授

一、摘要

本計畫為期三年，研究無線傳輸技術，其中特別針對第三代行動通訊系統標準 3GPP 寬頻分碼多重進接(WCDMA)之上鏈傳輸技術進行共同研究。共分六個子計畫，探討無線傳輸用之訊源(音視訊)與通道編解碼、加解密處理、同步技術、信號檢測、及媒介擷取與連線允諾控制。在信號檢測技術方面，我們考慮幾種不同複雜度的途徑，即耙狀接收機、多用戶檢測、及時空域信號處理。本整合型計畫的目的有二，一是從事個別技術項目之研究，二是以數位訊號處理器(DSP)為平台，進行 3GPP WCDMA 各傳收器組件之軟體實現與整合。本報告摘要簡述三年之主要成果。三年來，在個別之技術項目上，各子計畫均有其之成果。我們亦完成了各傳收器組件的 DSP 軟體實作，並將之連結形成數個可供展示之子系統。

關鍵詞：寬頻分碼多重進接、視訊編碼、音訊編碼、通道編碼、密碼學、同步、耙狀接收機、多用戶檢測、時空域信號處理、媒介擷取控制、連線允諾控制、數位訊號處理器實現

Abstract

In this three-year project, we consider wireless transmission technologies, especially we conduct a coordinated study regarding the uplink transceiver technologies for the third-generation mobile communication systems standard, the 3GPP WCDMA. The project contains 6 subprojects, wherein we deal with source (video and audio) and channel coding and decoding for wireless transmission, crypto-processing, synchronization, signal detection, and

medium access control and call admission control. For signal detection, we consider several approaches differing in complexity, which are rake receiver, multiuser detection, and space-time signal processing. The goal of this project is two-fold. On one hand, we research into individual technology items, and on the other, we conduct a software realization of the transceiver modules using digital signal processors (DSPs) and an integration of the modules. This report briefly summarizes the major achievements in the three years. Through the three years' work, each subproject has its achievements in some individual technology items. We have also completed the DSP software realization of the transceiver modules and connected them into several subsystems useful for demonstration.

Keywords: Wideband CDMA (WCDMA), Video Coding, Audio Coding, Channel Coding, Cryptography, Synchronization, Rake Receiver, Multiuser Detection, Space-Time Signal Processing, Medium Access Control, Call Admission Control, DSP Implementation

二、計畫緣由與目的

本計畫研究無線傳輸技術，並針對第三代行動通訊標準 3GPP (Third-Generation Partnership Project) 寬頻分碼多重進接(WCDMA) 之上鏈傳輸技術進行共同研究。該標準之 chip rate 為 3.84 Mcps，展頻比為 4 至 256 (因此每一通道之位元率為 15 至 960 kbps)。其中也規範了加解密方法，亦持續在加入新的訊源編碼規範。鑒於人力等因素，我們著重上鏈傳輸技術。在上

鏈傳輸中，其傳送端(即行動台)宜較簡單，而接收端(即基地台)則可以較複雜。

本計畫共分六個子計畫，分別探討無線傳輸用之訊源(音視訊)與通道編解碼、加解密處理、同步技術、信號檢測技術、及連線允諾控制(call admission control)與媒介擷取控制(media access control)。在信號檢測技術方面，我們考慮幾種不同複雜度的途徑，即靶狀接收機、多用戶檢測、及時空域信號處理。本整合型計畫的目的有二，一是個別技術項目之研究(未必特別針對 3GPP WCDMA 標準)，二是以數位訊號處理器(DSP)為平台，進行 3GPP WCDMA 上鏈傳送器與接收器各組件之軟體實現與整合。計畫之架構如圖一所示。

三、結果與討論

以下簡單討論本計畫的成果，其中以總計畫及各子計畫結合的成果為主，各子計畫成果為輔。

A. 總計畫及各子計畫結合之成果

在敘述成果之前，首先說明一個研究理念。一般之傳收系統設計與實現，通常包括演算法設計與實體實現兩大步驟。在實體實現中，有一部分系統功能可能較適於使用 DSP 及微處理器(microprocessor)來達成，如訊源編解碼及媒介擷取與連線允諾控制，另一部分則較適於使用特種積體電路(ASIC)來達成，如調變器及靶狀接收器。在 ASIC 實現的過程中，可能會先使用 FPGA 做功能驗證，再進行最終的硬體實現。由於演算法設計常用非即時(non-real-time)計算機模擬方式進行，而目前的 FPGA 的大小仍有相當限制，故對複雜的系統而言，在演算法設計與全系統之即時(real-time)功能驗證之間，仍存在一個鴻溝，不但使全系統之即時功能驗證相當不便，亦使得系統設計程序大致是由前(演算法設計)而後(系統功能驗證)單向進行，而不易反覆修正。但近年來數位訊號處理器技術的快速發展，使得我們可以考慮在演算法設計的過程中，於非即時計算機模擬之外，用數位訊號處理器做即時軟體實現，以進行系統的細部功能設計與驗證。這一方面彌補了前述的鴻溝，另一方面在無線通訊的領域，也符合所謂軟體無線電的發展方向。

本計畫所實現之傳收系統，符合前段所述之考量。我們係使用二台個人電腦與其上加插之 DSP 板完成之，其架構如圖二所示。此架構係在計畫執行過程中，參酌較

早期之計畫研究成果，並經若干次之討論，逐漸修訂而成。

如圖二所示，我們基本上是使用一台個人電腦與其上之 DSP 插板作傳送器及無線通道模擬，而用另一台電腦與其上之 DSP 插板作接收器。(接收端之方根升餘弦濾波器，則為便於實現之故，放在傳送端的 DSP 插板上。)二端之間所須的高速數位訊號傳輸係透過 PCI bus 及 DSP 板所提供的高速板際傳輸功能來完成，所須的低速數據傳輸則透過一般電腦連線(如 RS232)完成。主要之基頻數位訊號傳收功能係在 DSP 上進行，而個人電腦則係用來提供使用者介面並進行一些系統控制功能。我們所使用的 DSP 為 TI 的 TMS320C6201 及 C6701 晶片。前者為定點(fixed-point)運算晶片，而後者為浮點(floating-point)。除 T3 板使用後者外，餘均使用前者。(無線通道模擬所需的若干計算，較易以 floating-point 運算達成。) DSP 插板中，T1 及 R1 是 Blue Wave Systems 的 PCI/C6600，其他為 Innovative Integration 的 Quatro6x。我們之所以使用 Blue Wave Systems 插板，係導因於過去已有使用該板子的經驗並已根據其使用環境撰寫了一些軟體；而之所以使用 Innovative Integration 插板，則除價格、計算功能等因素之考慮外，還因為其高速板際傳輸之功能。

亦如圖二所示，本計畫係將不同之訊號處理與無線資源控制功能交由不同的 DSP 及個人電腦來執行。其實每一 DSP 所需承擔的計算量未盡相同。但由於本計畫是由多人接續共同合作，故從分工方便、責任明確、及減少錯誤機率與偵誤複雜度等角度來看，我們以為不宜遽將不同的人所負責的部分放置在同一 DSP 上執行，而宜先將不同人員所負責的訊號處理功能元件，不論其複雜度，均放置在不同的 DSP 上。

我們除實現個別傳收功能組件外，還將這些組件連結成三個可供展示的子系統，分別是：(1) 從視聲訊輸入經 T1, T2, R2, R1 至視聲訊輸出，(2) 由一 DSP 產生亂數資訊(未顯示於圖二)經 T3 之各元件及 T4 再返回以計算錯誤位元率，及(3) 在個人電腦上作無線資源控制的演算，監測隨機產生的無線通道狀況以控制傳送端的輸出功率等。

除人才培育外，本計畫之主要成果可歸納為兩類如下：

1. 多項分碼多重進接(CDMA)系統適用之訊號處理與無線資源控制技術：

這些技術包括視訊資料之抗誤傳輸(error-resilient transmission)技術與其加密技術，以及第三代行動通訊標準 3GPP WCDMA 無線傳輸之碼同步技術、通道響應估計技術、多使用者共同檢測技術、媒介擷取控制技術、與連線允諾控制技術等等。

這些成果含多項創新之發現，具學術價值，並陸續以學術論文方式發表中。多項成果亦具實用性，可實際應用於資料之抗誤傳輸與保密，以及 CDMA 無線通訊系統之訊號傳輸與無線資源控制。

2. 多項 3GPP WCDMA 無線通訊系統訊號處理與無線資源控制技術之 DSP 即時軟體設計與實現，或 ASIC 設計：

以軟體實現而言，本計畫實現了 G.723.1 國際標準語音編解碼法與 H.263 version-2 國際標準視訊編解碼法，3GPP WCDMA 之 f8 加解密法、前向誤控(forward error control)編解碼法、資料多工組合(multiplexing and framing)與解多工組合法、展頻調變器、接收濾波器、碼同步器、耙狀接收器、三用戶共同檢測器、與無線資源控制展示程式等，以及一個無線通道模擬器。我們並將這些組件以不同方式連結，形成若干可供展示之子系統。以 ASIC 設計而言，本計畫設計了數個公匙加解密法的核心運算單元，及接收機適用之低功率相關器。

以上 DSP 軟體設計與 ASIC 硬體設計之方式與成果，具有學術價值，亦陸續以學術論文方式發表中。這些軟硬體設計與實現成果，也具實用價值，可使用於實際之第三代無線通訊系統及多媒體通訊系統之開發。

B. 子計畫一：無線傳輸之訊源及通道編碼

本子計畫幾項研究課題為：(1) G.723.1 及 AMR(適應性多重位元率, adaptive multi rate)語音編碼之研究、模擬與 DSP 實作，(2) H.263 及 H.263 version-2 視訊編碼之研究、模擬與 DSP 實作，(3)抗誤視訊編碼之研究，及(4)通道編解碼之研究、模擬與 DSP 實現。

在語音編碼方面，我們研究其品質與在對抗通道雜訊上的表現。G.723.1 含 5.3 kbps 及 6.3 kbps 兩版本，而 AMR 是一個第三代行動通訊系統所考慮的新壓縮標準，提供八個位元率，分別是 12.2, 10.2, 7.95, 7.4,

6.7, 5.9, 5.15, 和 4.75 kbps，運算複雜度中等，語音品質也不錯。在 DSP 實現方面，我們取用一個既有的高階語言編解碼模擬程式碼，加以修改以適用於 DSP 即時執行。目前對一段 20 ms 的語音框，編碼需 2.6 MIPS，解碼需 0.35 MIPS，為原程式的 60%，達即時執行所需速度。程式碼大小亦大幅減少，但編碼與解碼部分總和仍大於一個 DSP 的 on-chip 程式記憶體容量。在整合系統中係使用 G.723.1 編解碼。G.723.1 是一個以 code-excited linear predictive coding (CELP)為設計基礎的標準。經過將原始程式碼最佳化後，在 DSP 上處理壓縮、解壓縮所耗費的運算量是 0.9 百萬運算週期，為原本未經調整之運算量的 1.7%。

在 H.263 version-2 視訊編解碼器的實現方面，我們採用一個公開的程式，作為主要的程式架構。在編碼器中，motion vector search 及 DCT (discrete cosine transform)為其兩個運算量最大的部分。為了達到 real-time 的要求，我們針對此兩部分採用了快速演算法。在 motion vector search 方面，我們利用 diamond search 取代原先的 spiral search，而在 DCT 方面，我們使用了 H.263 version-2 Annex W 所提供的定點運算 DCT 取代。為了有效利用 DSP 的硬體資源，我們也對原始程式碼做了精簡以及部分的重新改寫。綜合所有成果，達成了每秒鐘約 20 張 QCIF (176x144)畫面的編解碼效能。

在抗誤視訊編碼方面，我們考慮多重敘述編碼(multiple description coding)。該方法既往之研究側重於靜態影像，我們雖亦研究靜態影像傳輸，但也著重動態影像的保護。我們採用 H.263 壓縮演算法進行研究。首先，將輸入端的影像序列，區分為兩個相互間具有相關性的集合，分別編碼，再經由兩個互相獨立的通道傳輸至接收端。

在通道編碼方面，我們採用 3GPP 所規範的迴旋碼(convolutional codes)，並在 DSP 上實現其編碼器與 Viterbi 解碼器，其中解碼器遠較編碼器複雜。我們利用 DSP 硬體架構之特性作最佳化程式之撰寫，使程式執行平行度提高，並且亦降低其所需之硬體資源，而達到即時編解碼的要求。目前 Viterbi 解碼器的解碼速率約為 150 kbps，而本子計畫設計之語音與視訊資訊率約為 60 kbps，已可達 real-time 編解碼之需求。

C. 子計畫二：寬頻分碼多重進接無線通訊

之加解密系統

本子計畫幾項研究課題為：(1) RSA 公匙密碼系統演算法之 ASIC 設計與 DSP 實現研究，(2) elliptic curve 公匙密碼系統演算法之 ASIC 設計研究，(3) 3GPP f8 私匙加解密方法的 DSP 實現，及(4)適用於 H.263 及 MPEG2 等等形式之視訊資料的特別之加密方法研究設計。

在 RSA 公匙密碼演算法 ASIC 設計方面，我們嘗試運用 systolic array 之架構。此架構中主要的運算是乘法冪。我們分別設計出 double-layer 及 non-interlaced 兩種 systolic array 硬體架構。模擬測試的結果顯示，此二架構在速度及硬體面積上，都較現有其他架構為佳。在 RSA 的 DSP 實現研究方面，由於 DSP 中最大的字元長度是 32 bits，而 RSA 密碼系統往往需要 512-bit 以上的運算，才能提供足夠的保密性。所以我們考慮了兩種做 512-bit 運算的架構，分別是 bit-wise 和 long-integer 乘法架構。若採用 bit-wise 架構，以 32-bit 的私鑰來對 512-bit 的資料加密，估計需 51 M cycles，bit rate 約為 2.01 kbps。若使用 long-integer 架構，則估計約 35.3 M cycles，而 bit rate 約為 2.9 kbps。因此兩個架構都無法達到即時處理。減少公匙長度或縮短資料長度都可以加速加解密運算，但保密性也會降低。故在本系統中，無法單用公匙密碼達成即時加解密功能。

Elliptic curve 密碼系統一般是架構在 F_q 或 F_2^m 上。若是運用 homogeneous 座標系，就可消除其中的除法，而只需做乘法。因此，在系統實現上，主要的運算是架構在 F_q 或是 F_2^m 上的乘法冪運算。我們亦嘗試運用 systolic array 之架構。我們利用 partitioning 及 pairing-off 兩種架構來加速乘法冪的運算。模擬測試結果顯示，此二架構在速度及硬體面積上，都較現有其他架構為佳。

在 3GPP f8 私匙加解密方法的 DSP 實現方面，我們已完成其軟體實現。其速度可達數個 Mbps，足敷即時執行之所需。

在 H.263 及 MPEG2 等等形式之視訊資料特用之加密方法方面，我們想出一個獨特的加密方法，就是定時更改視訊編碼所用的變長碼(VLC)簿。實驗證實，如果接收端不知道換過的碼簿，就會解出高度受損的視訊。碼簿的改變，可透過公匙加密傳遞。

D. 子計畫三：寬頻分碼多重進接無線通訊

之同步與靶狀接收機研究及設計

本子計畫與子計畫四共同研究碼同步，含碼擷取(code acquisition)與碼追蹤(code tracking)，及碼同步之 DSP 實現。此外，本子計畫亦研究靶狀接收機、其 DSP 實現、及其中之相關器(correlator)的 ASIC 設計。

3GPP 上鏈可以做非連續傳輸。碼擷取的目的是要偵測傳送端是否開始傳送，並且使接收端產生的擬似亂碼時基與傳送端相差在一個設定範圍之內。它必須產生不同時基的擬似亂碼，一一與接收到的訊號做比對，以找出正確的時基。由於在系統剛啟動時無法得知控制通道的傳送內容，故此時僅能使用非同調演算法。我們利用觀察多個符元(symbols)來提高碼擷取的準確度。本計畫較早期的研究所考慮之時基精度是一個 chip，後來由於傳送端使用四倍的 oversampling，故採用一個 2-step 的架構，先找到 8 個精度在一個 chip 之內的 coarse paths，其次在其周圍做 fine search 來找到 4 個精度在 1/4 chip 之內的 paths。在 DSP 實現方面，經最佳化後的軟體已超過即時執行所需之速率。碼追蹤方面之研究成果則敘述於下節。

靶狀接收機方面，需做通道估測及相關運算。通道估測的目的，是要用來設定靶狀接收器的係數。在 WCDMA 規格中，上鏈實體通道中包含了控制通道及資料通道，而控制通道中包含了導航信號及其他控制訊號。其中導航信號可以用來做初步的同步通道估測。其估測的方法有線性內插法、最小均方差內插法、移動平均法、無延遲窗型濾波法和延遲窗型濾波法等。其中線性內插法及最小均方差內插法和延遲窗型濾波法皆需要未來的訊號，所以在實作中需要延遲的時間。而移動平均法及無延遲窗型濾波法則不需要等候一段時間就能得到其估測值，而代價則為增加其通道估測的不準確性。在 DSP 實現中，我們使用移動平均法，實作結果可達即時執行速率。

在靶狀接收機中，相關器是一個重要組件。在本計畫中，我們亦提出一個相關器的低功率 ASIC 設計。

E. 子計畫四：寬頻分碼多重進接通訊多用戶信號檢測器設計和實現

本子計畫與子計畫三共同研究碼同步，含碼擷取(code acquisition)與碼追蹤(code tracking)，及碼同步之 DSP 實現。此

外，本子計畫亦研究 CDMA 系統之多用戶信號共同檢測技術。本子計畫執行至第二年時，因主持人魏哲和教授榮任國科會主委，不便再擔任計畫主持人，故本子計畫之研究子題於第三年轉由總計畫執行。

碼擷取部分之研究成果已述於上節。碼追蹤方面，在本計畫較早期的研究中，曾考慮使用一種 early-late 形式的迴路。此外由於資料調變和通道變動等因素，使得訊雜比低時，載波較不易估測，所以我們也考慮採用非同調方式。模擬顯示其在 AWGN 及時變通道下可獲不錯的效能。我們亦曾使用 C6201 定點 DSP 來作實現，但沒有對程式碼作最佳化，亦未達到即時執行的速度。後來碼擷取部分的方法改變，最後的設計如前節所述。碼追蹤的方法亦隨之更改。我們改用一個與碼擷取的方式相當神似的方法來作碼追蹤。此法較 early-late 迴路簡單，效果亦不輸。此方法亦是在一個設定的延遲(delay)範圍內來搜尋可能出現的新路徑(paths)。由於典型的路徑分布機率是隨延遲時間呈指數遞減，所以此方法在路徑出現機率高的延遲區間就分配較多的時間來作搜尋，而出現機率低的區間就分配較少的時間。其精度亦達 1/4 chip。DSP 實現的結果，其速率超過即時執行之所需。

至於多用戶信號檢測技術是用來解決多使用者間訊號在同一頻帶相互重疊、干擾，而劣化接收端性能表現的問題。傳統接收機(即 rake receiver)受此干擾影響，而有所謂的近遠效應。在第三代行動通訊中，資料通道和導航通道是經由 QPSK 調變同時傳送，且使用者訊號和導航訊號分別位於 I 和 Q 通道，所以在接收端解調時，導航通道的訊號會透過其展頻碼與其他使用者隻展頻碼之間的相關性而影響其他使用者訊號的接收。為了要去除此不良影響，我們提出結合通道估測的改良型平行部分干擾消除法(modified partial parallel interference cancellation, MPPIC)，它有兩級平行部分干擾消除器，其特點是接收訊號在進入匹配濾波器及平行部分干擾消除器前，就先做導航通道訊號的估測並減去之。如此一來，導航通道訊號對於其他使用者的干擾就能去除，而系統性能也可獲得改善。另外，我們亦研究使用接續式干擾消除(successive interference cancellation, SIC)以取代平行部分干擾消除之做法，也研究干擾消除器硬體實現的管路式結構。

F. 子計畫五：無線通訊之時空域信號處理

本子計畫研究無線通訊之一般時空域信號處理與 WCDMA 上鏈傳輸特用之時空域信號處理技術，並負責傳收系統中一些信號處理組件之 DSP 實現與若干系統整合工作。

在一般時空域信號處理技術方面，我們研究有關時空域 Viterbi 等化器之設計與效能。我們探討訓練數列的設計以及傳輸信號的結構的設計，以使在不增加接收器複雜度之情形下，提升傳輸效能。我們也研究等化器長度的選擇。因為在有通道雜訊時，通道響應估計的精確度與在做通道估計時所設定之通道長度有關(不是越長越好)。這估計精確度會影響接收品質，而等化器長度又會影響等化器複雜度。我們也提出一個結合時空域濾波與時空域 Viterbi 等化器的混合式接收器架構。模擬結果顯示其有不錯的效能。

在 WCDMA 上鏈傳輸特用之時空域信號處理技術方面，我們考慮平行式干擾消除(PIC)與接續式干擾消除(SIC)，及其與天線陣列信號處理之結合。此外，我們亦探討了 3GPP WCDMA 的碼框同步信號的同步效能。此部分之研究主題與子計畫四有部分相關。首先，在 PIC 及其與天線陣列之結合方面，我們研究各種不同之決策機制對檢測品質的影響。此一接收器係利用天線陣列所提供的空間自由度來提高初始接收的正確率，再以 PIC 增加接收器輸出的正確率。其次，我們亦試分析採硬式決策(hard decision)之 PIC 的性能。這種 PIC 較簡單實用，但未曾有人做完整的分析。我們也用 DSP 試作了一個在天線陣列環境下運作的簡單的軟體 PIC 接收器。最後，在 SIC 方面，由於其架構會使得系統中的用戶面臨大小不等的干擾量，因此，傳統的等功率分配對其並非最佳的功率分配機制。基於最小化平均錯誤率和最小化最大錯誤率的原則，我們研究合適的功率分配機制。我們亦進行 SIC 接收技術的 DSP 實現，發現由於 signal regeneration 需要相當大的計算量，故除最後一位用戶(不需作 signal regeneration)之外，其他用戶均需不只一顆 DSP 來處理其信號才能達到即時執行。

在其他傳收系統組件方面，我們用 DSP 實現了資料多工組合器(multiplexer and framer)，並將其與 encryptor 及 error-control coder 整合在一塊 DSP 插板上；另亦實現了解多工組合器並將其與 error-control

decoder 及 decryptor 整合在一塊 DSP 插板上。我們依 3GPP WCDMA 的 transmitter power spectrum mask 設計了 transmitter RRC (root-raised-cosine) 及 receiver RRC filters，其中前者與 spectrum spreader 一同實現在一顆 DSP 上，後者則實現在另一顆 DSP 上(後者的運算量遠大於前者)。這些現在幾全可即時執行。無線通道模擬器則是運算量最大的部分。Fading 通道需要不只一顆 DSP 才能達到即時執行速度。但在單一用戶、多路徑穩定通道的情形下，只用一顆 DSP 亦可達成即時執行。

G. 子計畫六：寬頻分碼多重進接系統中之媒介擷取控制與連線允諾控制研究與設計

在第三代行動通訊系統中，提供更多樣化的服務與提供更大的系統容量是幾項重要課題。為了在同一系統中提供各式各樣可能的應用，我們必須同時能整合對延遲敏感(delay-sensitive)的語音服務、對資料遺失敏感(loss-sensitive)的數據服務、以及二者都必須兼顧的多媒體服務，確保各種應用所需要的服務品質(quality of service)，並提供更大的傳輸速率以符合某些服務的需求。

WCDMA 技術具有多重進接干擾限制(multiple-access-interference-limited)的特性。因之在以往的應用中，這種系統較適合於訊務較平緩的服務，例如線路交換式(circuit switching)的語音服務；但是對於突發性(burstiness)較大的服務，如數據服務，將因瞬間多用戶干擾過大而造成所有使用同一頻帶傳送的封包發生遺失，嚴重降低系統的訊務傳送量(throughput)與用戶人數。這樣的問題在上鏈路尤其嚴重。在本子計畫中，我們設計了一個具有良好彈性與有效率的上鏈媒介擷取控制方法來支援各式不同的服務類型，並保障它們的服務品質。我們在接收端從通道整型器(如耙狀接收器或多用戶信號檢測器)接收訊號，並估測系統所接收到包括該細胞的多用戶干擾與鄰近細胞的干擾，作為系統決定下一個訊框(frame)中可要求取用資源的用戶之計算。

另一方面，雖然透過良好的媒介擷取控制可使已連線的用戶(active users)盡可能

達到系統能提供的最佳狀態，但是系統中若有過多的用戶同時連線，則可能時常出現同時有太多用戶要求傳送封包而造成媒介擷取控制失去控制的問題。因此，本子計畫亦設計了精緻有效的連線允諾控制機制，來計算各用戶所要求的服務與品質，是否為系統所能提供，又是否會影響到現有已連線的用戶，以決定是否給予該用戶連線允諾，而使系統能提供良好的整合性服務。

本子計畫也研究功率控制的機制。我們提出一個方法，是利用對通道衰落的觀察，在通道良好的情形才做發送端的功率調整，而當通道情形不良時則不做傳送，如此各傳輸通道間的干擾情形將可以大幅下降，進而提高系統整體的效能。

本子計畫亦完成一個以 DSP 與主電腦 GUI 聯合運作之無線資源管理模擬與展示平台。

四、計畫成果自評

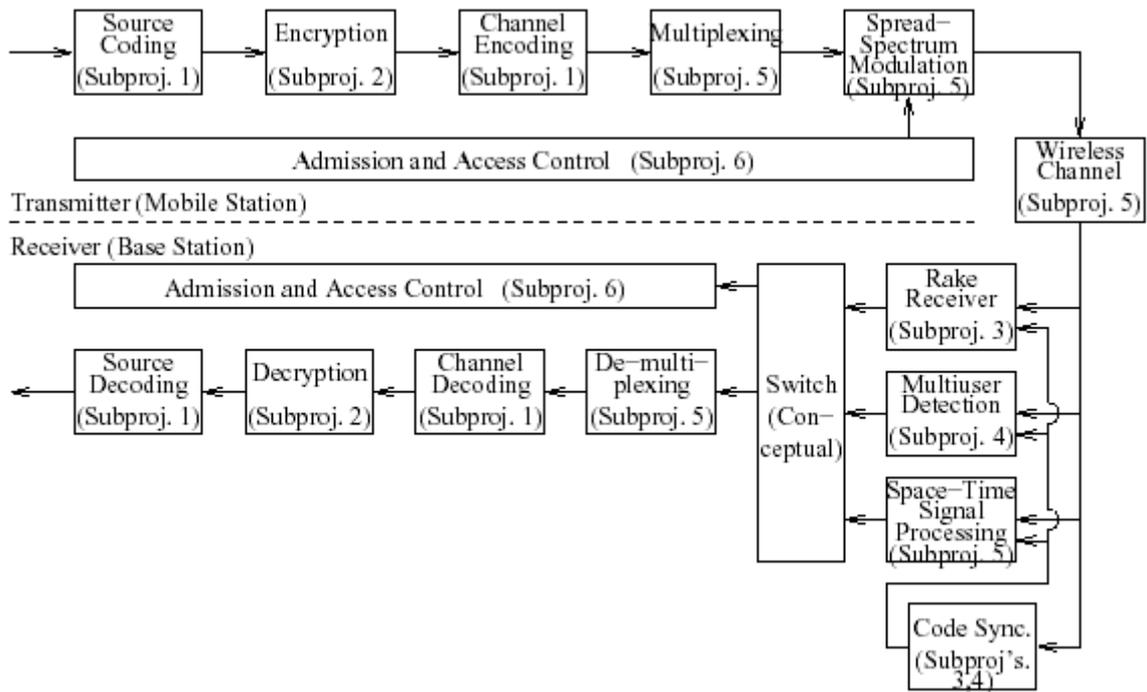
研究內容與原計畫相符程度：整體標的相符，即個別無線傳輸技術之研究與 3GPP WCDMA 上鏈傳送器與接收器各組件之 DSP 軟體實現。由於係多年期計畫，在計畫進行中有根據較早期的成果而調整細部研究內容及時程。此為研究中常見之現象。

達成預期目標情況：總計畫主要達成者為實驗原型之建立及人才培育。各子計畫另有創新之發現、理論之推導、及計算機模擬軟體之建立等成果。

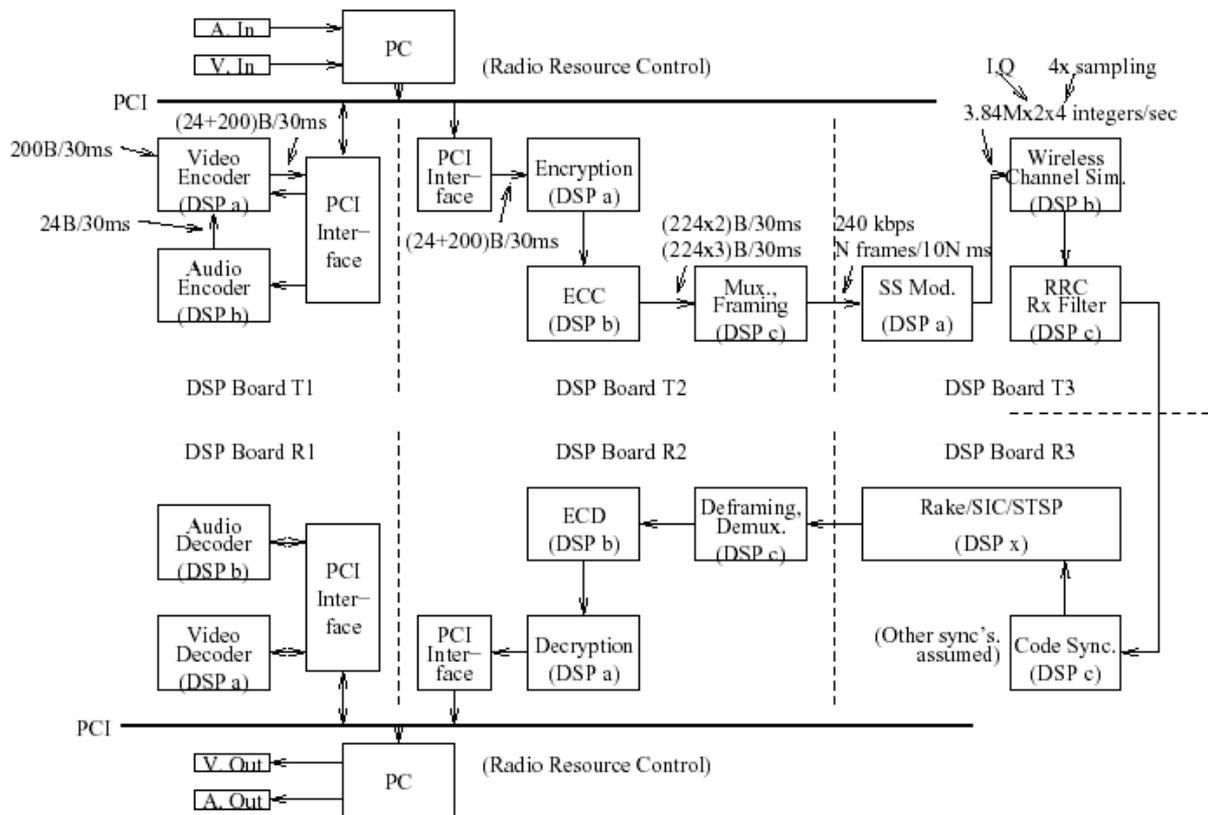
成果之學術與應用價值等：總計畫本身之價值，其中很重要的一點是在計畫進行中所累積的經驗，可為後續研究工作之用。各子計畫成果的學術價值高，在陸續發表中。應用價值方面，最重要者為 DSP 軟體實現與 ASIC 硬體設計之方式與成果，可為 3GPP WCDMA 傳輸系統開發之參考。

綜合評估：本計畫(含各子計畫)獲得不少具有學術與應用價值的成果，達成三年期計畫中無線傳輸技術之研究與 3GPP WCDMA 上鏈傳收系統之 DSP 實現二目標，並達人才培育之效。自評為「佳」。

五、圖表



圖一：計畫架構



圖二：DSP 軟體實現之大體架構