

行為層級之功率最佳化合成方法 Power Optimization and Synthesis at Behavioral Level

計劃編號: NSC

執行期間: 90 年 8 月 1 日至 91 年 7 月 31 日

主持人: 沈文仁 國立交通大學電子資訊學院院長

國立交通大學電子工程學系教授

一、中文摘要

關鍵詞：功率最佳化、單晶片系統、功率消耗模型

行為(behavioral)層級的低功率考量隨著單晶片系統(System on a Chip, SOC)時代的來臨將越來越重要。主要的原因是：1．當系統的複雜度越來越高，低階的低功率考慮將會相當耗時，特別是功率消耗的評估。2．低階分析適用於較小的電路，其所針對的分析在單晶片系統的整合中常失去其準確性。

在 SOC 設計時，設計者將不會自己設計整個系統的每一個電路方塊，取而代之，他們整合許多事先設計好的 IP(intelligent properties)加上部份自己設計的電路，使得整個系統的發展可以在短時間內完成。而針對日益複雜的系統，低功率的要求也因為可攜式產品的須求而變得越來越重要，也因此系統設計者必須在產品製造之前就估測電路的功率消耗。

為了能在高階設計時估測及降低系統的功率消耗，一個 IP-level 的功率消耗模型是迫切需要的，在此計劃中我們將針對 SOC 設計中 IP 的功率消耗建立一個簡單而且準確的功率消耗模型。

英文摘要

Keywords: Power Optimization, System on a chip, Power Model

Low power consideration at behavioral level is more and more important when SOC (system on a chip) generation is arriving. The main reasons are (1). Low power consideration in low level is time wasted especially for power consumption

estimation. (2). Low-level power analysis is better for small circuit. When it is used in SOC kind large system will loss accuracy.

For SOC designs, most design teams will not design all circuit blocks in the system by themselves. Instead, they integrate many well-designed circuit blocks called intelligent properties (IPs) and some self-designed circuit blocks to build up the complex system in a short time. While designing such complex systems, low power is also an important consideration because of the increasing requirement of portable devices. Therefore, designers have to estimate the power consumption of their designs before the designs are manufactured.

For estimating and decreasing the power consumption at high-level design stage, an IP-level power model is necessary. In this project, we will build a IP-level power model which is very simple and accurate.

二、計劃緣由與目的

面積、速度、可測試性及可靠性是過去超大型積體電路(VLSI)設計最被重視的幾個設計考量。在近 10 年來，電路的功率消耗隨著積體電路整合的功能越來越多而漸漸被考慮。另外，隨著手提電腦、個人通訊及個人數位助理(PDA)等等的流行，功率消耗直接影響這些隨身攜帶的產品的電池有效工作時間，因而更受重視。實際上，功率的消耗不止是與電池使用時間有關聯，它還關係著電路的壽命及可靠度，

一旦電路的功率消耗增加，電路的壽命就降低。功率消耗增加，電路的工作溫度就會升高，直接降低電路的可靠性。

功率消耗的降低在近年成為極其熱門的研究，過去的幾年許多的研究對不同層級的功率消耗估測及節省功率提出新的方法。但是，大部份的研究集中在 RT-level、gate-level 及 transistor-level 這些較低層級的方法上。這幾個層級的功率估測及節省的方法在單一功能方塊的電路上都有足夠測確的估測或是節省的效果。但是，目前的電路整合已經走向 SOC(system on a chip)，電路的設計不再是一個一個的功能重新設計，而是採用 IP(intellectual property)的整合設計，也就是說，系統的每一個小功能幾乎都已經有存在的設計，系統設計不再重最低階的電路重新設計，而是整合已存在的設計成為新的系統。也就是說：低階的功率估測及節省的方法都已被運用在原始 IP 的設計中，不再能適用在系統的設計上。因此一個系統層級(system level)或是高階行為層級(behavioral level)的功率估測及改善的方法在新的系統設計方法下必須提出。

因為系統以 IP 做整合，因此 IP-level 的功率消耗模型很適合系統開發時做為系統功率消耗估測的基礎。以往的研究中，適合在系統層級估測功率消耗的功率模型大都是採用 IP 的輸出及輸入信號之統計資料建 Lookup Table，這樣的 Lookup Table 常因為建表使用的統計資料之項目左右了表格的大小及準確度，在以往的研究中，二維到五維的 Lookup Table 都有人提出，準確度大致上隨著維度的增加而升高，然而 Lookup Table 的大小也隨著維度的增加而增大，並使得建立表格、儲存表格及查表都相當耗時。

在這個計畫中，我們預期建立一個參考電路內部工作狀況的功率模型，我們將會比較幾個目前在低階功率估測方法中使用的功率特徵(power characteristic)，並選擇較為適合發展

IP-level 功率模型的功率特徵，依據該特徵建立一個較為簡單而準確的 IP 功率模型。

三、研究方法及成果

IP 的功率模型中最常採用的就是針對不同的功率特徵建立 Lookup Table，Lookup Table 有方便儲存及查詢的特點，以往查表的方法大致上都是參考電路的輸入及輸出信號特質做分析，因而所建立的 Lookup Table 也有二維到五維不等的形式。如果我們希望建立一個小而準的功率模型，那麼選擇一個可以只使用一維索引的 Lookup Table 會是一個比較適當的選擇。參考以往的文獻，我們分析後發現，適合做一維索引的功率特徵大概有以下三種、輸入信號轉換數、電路內部信號轉換數及零延遲充放電電容值。為了比較上述幾個功率特徵的準確度，我們提出了平均標準化誤差值的比較基準，平均標準化誤差值(Average Normalized Error, AVGNE) [1], 定義如公式(1)(2)(3)。比較輸入信號轉換數(PI Hamming Distance)、電路內部信號轉換數(Internal Switching Count)及零延遲充放電電容(Zero-Delay Charging and Discharging Capacitance)，依據我們比較的結果，我們發現零延遲充放電電容有最和真實電路功率消耗有最接近的趨勢，因此我們最後採用零延遲充放電電容做為 IP-level 功率模型的一維 Lookup Table 的索引值。

$$AVGNE_{PC} = \frac{1}{2^{n+n}} \sum_{j=0}^{2^n-1} \sum_{k=0}^{2^n-1} \left| \left(\frac{PC_{j,k}}{PC_{avg}} - \frac{P_{j,k}}{P_{avg}} \right) \right| \quad (1)$$

$$PC_{avg} = \frac{1}{2^{n+n}} \sum_{j=0}^{2^n-1} \sum_{k=0}^{2^n-1} PC_{j,k} \quad (2)$$

$$P_{avg} = \frac{1}{2^{n+n}} \sum_{j=0}^{2^n-1} \sum_{k=0}^{2^n-1} P_{j,k} \quad (3)$$

在決定使用的功率特徵值為零延遲充放電電容值之後，我們可以由圖 1 得知整個功率模型建立的流程，整個過程是使用 Logic-level 層級的模擬做分群(Grouping)及

Transistor-level 層級的模擬結做每一群的對應功率消耗平均做估測。分群的方法在這裏我們採用了動態分群法(Dynamic Grouping)的方式，主要是為了節省群體的實際功率消耗的 Transistor-level 模擬時間，而且也對映實際的模型建立狀態，我們並無法預先知悉群體的數量及特徵值的分佈情形。在此我們以圖 2 做說明，當第一次取樣建立模型時，我們依據其零延遲充放電電容將輸入向量分群如圖 2(a)，之後第二次取樣後，分群狀況將動態隨著零延遲充放電電容值的分佈重新增加新的群組。

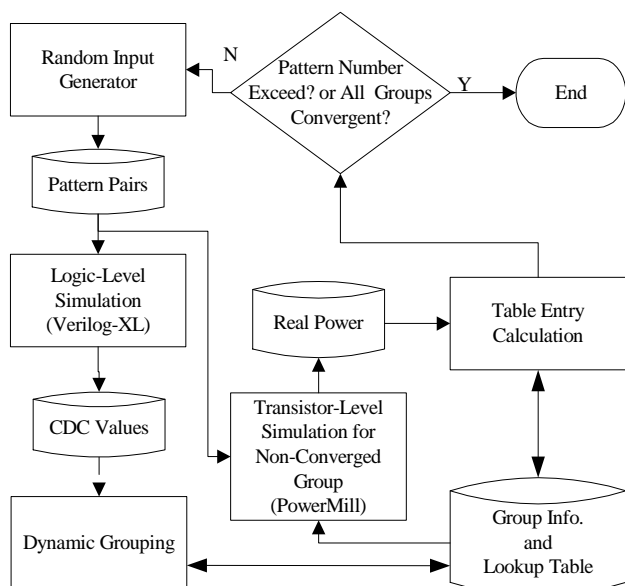


圖 1. 功率模型建立流程方塊圖。

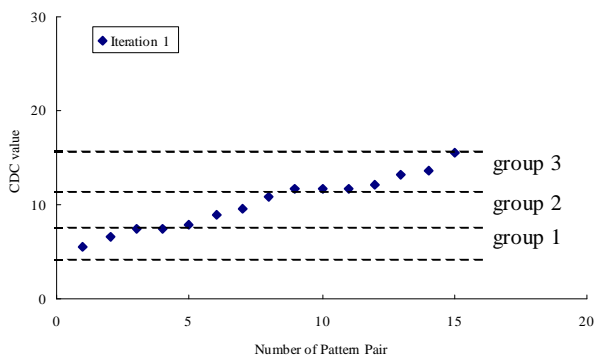


圖 2(a): 動態分群之圖

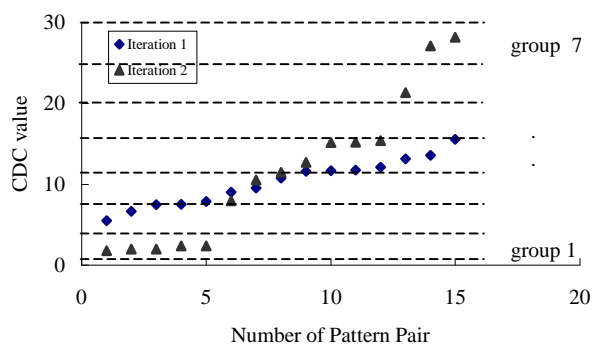


圖 2(b): 動態分群之圖

在分群之後，群體的功率消耗值就由平均值做計算，為了在有限時間內求得最大準確度，我們在平均值估計的計算上配合上 Monte-Carlo Simulation 的方式，這個方式可以使得大型的群體得以在較少的取樣次數之後得到足夠準確的平均值，一旦這個群體的功率消耗平均值在 Monte-Carlo 模擬下已經收斂，我們即不再對該群體的輸入向量做 Transistor-level 的模擬，這也大大的加快了整個模型建立的速度，而且並不影響模型結果的準確度。整個模型建立的示意圖如圖 3 所示。

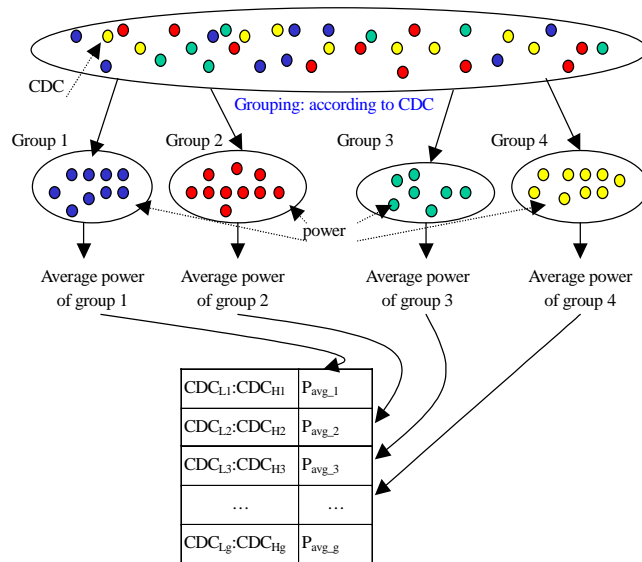


圖 3: 功率消耗特徵化之範例

最後是實用在電路使用時的功率估測，如圖 4 所示，其計算公式如(4),(5)兩式。而實驗做測 ISCAS'85 的 benchmark 電路結果如表 1 所列。

$$P_{avg} = \frac{\sum_{i=1}^g P_i \times n_i + P_{out_of_range}}{N} \quad (4)$$

$$P_{out_of_range} = \sum_{i=1}^{k_1} \left[P_1 - \left(\frac{P_2 - P_1}{CDC_2 - CDC_1} \right) \times (CDC_1 - CDC_i) \right] + \sum_{i=1}^{k_2} \left[P_g + \left(\frac{P_g - P_{g-1}}{CDC_g - CDC_{g-1}} \right) \times (CDC_i - CDC_g) \right]$$

.....

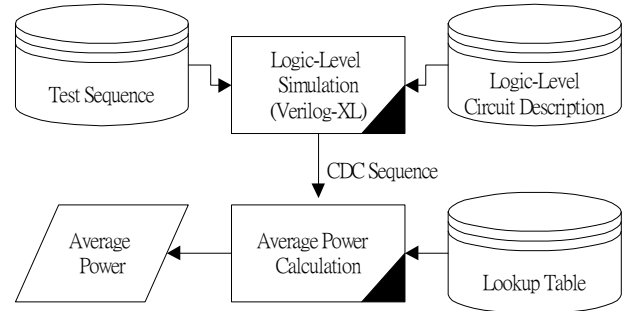


圖 4: 平均功率計算之方塊圖

		Circuits	C432	C499	C880	C1355	C1908	C2670	C3540	C5315	C6288	C7552
		Table Size	63	45	75	51	42	90	65	103	107	103
Random Sequence	PowerMill	I (uA)	56.135	149.718	106.480	161.386	144.083	261.945	340.913	611.173	4841.000	830.832
		Time (Sec)	3072	8626	5826	9494	7649	14667	19017	33918	290751	43169
	1-D Table	I (uA)	57.083	148.698	103.818	158.006	141.921	253.659	327.412	598.521	4722.450	816.488
		Time (Sec)	23.4	70.3	46.2	65.9	54.5	112.5	114.9	205.4	388.5	267.3
	Error (%)	1.69	0.68	2.50	2.09	1.50	3.16	3.96	2.07	2.45	1.73	
Counter Sequence	PowerMill	I (uA)	13.243	34.493	38.119	38.270	50.477	6.402	191.720	20.911	351.290	68.626
		Time (Sec)	690	1958	1773	2163	2417	479	9347	1275	19385	3631
	1-D Table	I (uA)	13.971	33.468	37.153	37.456	53.483	5.923	192.283	20.703	355.533	70.526
		Time (Sec)	19.7	61.9	39.4	57.2	48.6	84.9	105.1	159.3	257.6	210.5
	Error (%)	5.50	2.97	2.53	2.13	5.96	7.48	0.29	1.00	1.21	2.77	
LFSR Sequence	PowerMill	I (uA)	71.436	167.103	118.619	182.053	169.728	286.910	374.463	669.812	5014.680	975.568
		Time (Sec)	4050	9496	6786	11007	9460	16789	21914	38744	309071	52882
	1-D Table	I (uA)	66.274	161.111	114.371	178.741	162.510	282.068	361.522	652.722	4820.264	936.464
		Time (Sec)	24.4	71.8	47.5	68.4	56.4	117.1	117.3	210.9	398.3	279.3
	Error (%)	7.23	3.59	3.58	1.82	4.25	1.69	3.46	2.55	3.88	4.01	
Average Error (%)		4.80	2.41	2.87	2.01	3.90	4.11	2.57	1.87	2.51	2.83	

表 1: 實驗結果列表

四、結論與討論

在這個中我們提出了一個針對 IP-level 的準確功率估測模型，使用這個模型，可以讓系統設計者在系統設計階段，以最短的時間準確的估測到整個系統內部所有 IP 功率的消耗情形。這個 IP-level 功率模型有 Lookup-Table 很小、檢索快速及計算簡便的特點。

此 IP-level 功率消耗模型將在近期至國際會議發表[2]。

五、參考文獻

[1]. Chih-Yang Hsu and Wen-Zen Shen. "Vector Compaction for Power Estimation with Grouping and Consecutive Sampling Techniques," Proceeding of International Symposium on Circuits and Systems, vol. II,

pp. 472-475, 2002.
 [2]. Chih-Yang Hsu, Chien-Nan Jimmy Liu and Jing-Yang Jou, "An Efficient IP-Level Power Model for Complex Digital Circuits," Proceeding of ASPDAC2003 (accepted).
 [3]. Huzefa Mehta, Robert Michael Owens and Mary Jane Irwin. "Energy Characterization based on Clustering," *Proceeding of 33rd Design Automation Conference*, pp. 702-707, 1996.
 [4]. Chih-Shun Ding, Qing Wu, Cheng-Ta Hsieh and Massoud Pedram. "Stratified Random Sampling for Power Estimation," *IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems*, pp. 465-471, Jun. 1998.