

行政院國家科學委員會補助專題研究計畫

期中進度報告  
 期末報告

矽鍺磊晶薄膜之磨潤及機械特性研究

Study of tribological and nanomechanical characteristics  
on the SiGe thin films

計畫類別： 個別型計畫  整合型計畫

計畫編號：NSC 99-2221-E-009-031-MY2

執行期間：99 年 8 月 1 日至 101 年 7 月 31 日

執行機構及系所：交通大學 機械工程學系（所）

計畫主持人：周長彬 教授

共同主持人：吳文發 博士

計畫參與人員：吳明璋

本計畫除繳交成果報告外，另含下列出國報告，共1份：

移地研究心得報告

出席國際學術會議心得報告

國際合作研究計畫國外研究報告

處理方式：除列管計畫及下列情形者外，得立即公開查詢

涉及專利或其他智慧財產權， 一年  二年後可公開查詢

中 華 民 國 101 年 9 月 26 日

## 國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表  未發表之文稿  撰寫中  無

專利： 已獲得  申請中  無

技轉： 已技轉  洽談中  無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

本研究成功於矽基板上製作出高品質之矽鍺磊晶薄膜，並探討後續熱處理後對矽鍺磊晶薄膜結構之機械特性所造成之影響，進一步透過兩種不同厚度矽鍺磊晶薄膜探討熱處理後所造成之矽鍺磊晶薄膜結構中缺陷與摩耗特性行為，最後建立相關奈米刮痕實驗流程。

此外藉由改變兩種不同厚度矽鍺磊晶薄膜，歸納出矽鍺薄膜成長在臨界厚度以下時，薄膜經由適當的後續熱處理，能夠有效提升矽鍺薄膜之附著力、抗磨耗等機械強度；若矽鍺薄膜厚度達到臨界厚度時，此時外界若施予一外力（熱處理或奈米刮痕），薄膜則會釋放結構中所儲存大量的應變能，進而降低矽鍺薄膜的機械特性，對後續元件結構的堆疊亦造成相當大的困難，因此在成長適當的矽鍺薄膜厚度與適當的熱處理參數，在本計畫中成功建立一系統性的參數，未來則能成為一參考性的指標。

# 矽鍺磊晶薄膜之磨潤及機械特性研究

## Study of tribological and nanomechanical characteristics on the SiGe thin films

計畫編號：NSC 99-2221-E-009-031-MY2

執行期限：99 年 08 月 01 日至 101 年 07 月 31 日

主持人：周長彬 交通大學機械系（所）

計畫參與人員：吳明璋 交通大學機械系（所）

### 一、摘要

矽鍺合金由於具有優越的電子特性，近年來成為一重要的半導體材料。但由於矽與鍺存在一定之晶格不匹配、熱處理的不穩定度、及表面粗糙度等，皆對後續矽鍺元件特性上產生相當大的影響。因此本研究運用奈米刮痕探討在矽鍺磊晶薄膜下，透過後續熱處理對矽鍺薄膜探討應變鬆弛與磨耗特性之關係。

首先透過超高真空化學氣相沉積法成長矽鍺薄膜，並控制成長參數分別成長出不同厚度的矽鍺(300, 500nm 與超晶格)於矽基材上。爾後透過 X 光繞射儀、原子力顯微鏡、以及穿透式電子顯微鏡分析發現矽鍺磊晶薄膜具有良好之磊晶品質。然而在後續熱處理中，矽鍺磊晶薄膜的缺陷衍生與熱穩定性是較難克服。當矽鍺磊晶薄膜厚度增加時，矽鍺薄膜呈現一個不穩定的結構。

此外在利用奈米刮痕系統分析矽鍺磊晶薄膜厚經過不同熱處理溫度後，其摩擦側向力亦隨著溫度增加而增加，說明了矽鍺薄膜在熱處理後更具有抵抗磨耗強度。最後利用奈米壓痕與奈米刮痕方法探討矽鍺超晶格結構強度與刮痕特性中發現，在後續熱處理中，當溫度增加時其硬度與彈性模數皆隨之增加。並得知熱處理對矽鍺超晶格結構確實能有強化整體結構並提高抵抗磨耗特性之效用。

關鍵字：矽鍺，超高真空化學氣相沉積，奈米刮痕。

## **Abstract**

Silicon germanium (SiGe) has become an attractive semiconductor material in recent years because of its outstanding behaviors. However, due to lattice mismatch between Ge and Si, several phenomena may be occurred in their growth and post-treatment including roughed surface, interdiffusion, and partial strain relaxation of SiGe epilayers. Thus, the relation between strain relaxation and wear behavior on the post-thermal treated SiGe epilayers was investigated through nano-scratch technique.

Firstly, ultra-high vacuum chemical vapor deposition (UHVCVD) was employed to deposit SiGe epilayers on the Si substrate with different thickness (300, 500nm, and superlattices structure). From X-ray diffraction (XRD), atomic force microscopy (AFM), and transmission electron microscopy (TEM) analysis, a good epitaxial quality of SiGe epilayers were obtained. It is difficult to access both the propagation of the dislocation and thermal reliability of annealed SiGe epilayers. It is suggested that the larger the thickness of the films was, the more unstable the structure exhibited. In addition, the SiGe epilayers with different annealed conditions exhibited the increase in lateral forces, indicating the higher wear resistance in annealed SiGe epilayers.

Besides, Si/SiGe superlattice exhibited enhanced elastic modulus compared with single films. Subsequent thermal treatment and nanoindentation, nanoscratch analyses, found that the hardness and elastic modulus were increased with increasing thermal treatment temperature. It was suggested that SiGe superlattice structure could enhance the structure strength and make them more resistant to wear deformation by post annealing heat treatment.

**Keywords:** Silicon germanium, Ultra-high vacuum chemical vapor deposition, Nanoscratch.

## 二、緣由與目的

### 1 緣由

近年來在積體電路應用上，以複晶矽鍺薄膜取代傳統之複晶矽材料已引起廣泛討論<sup>[1-5]</sup>。由於複晶矽鍺薄膜與傳統矽製程技術具有相容性，同時在溫度控制上矽鍺薄膜之沈積、結晶、與摻雜質活化可於較低之參數下完成。因此，複晶矽鍺已被應用在製程溫度低於 550°C 之低溫薄膜電晶體製造<sup>[1]</sup>。此外，p-型複晶矽鍺薄膜其低電阻係數與可調變之功函數(work function)在未來深次微米 CMOS 技術發展上，是相當具有潛力之閘極電極材料<sup>[2-3]</sup>，其原因在於 p-型複晶矽鍺薄膜之功函數會隨鍺含量提高而降低，因此可改變薄膜內鍺含量來調整 PMOS 元件之導通電壓，此方法可獲得較佳的元件電流驅動能力與增益，並降低截止態之漏電流<sup>[4]</sup>。另外，硼原子在複晶矽鍺薄膜內，具有較高的活化率與較低的擴散率，可有效地降低 MOSFET 元件的硼穿透(boron penetration)與閘極空乏效應(poly-gate depletion effect)<sup>[5]</sup>。

另一方面，在半導體製造過程中熱處理製程<sup>[6]</sup>扮演相當重要的角色，因此生長高品質之熱氧化應變矽鍺(strained SiGe)是相當關鍵的，其應用上可利用鬆弛高鍺濃度之矽鍺異質界面結構做為高效能 p 型場效電晶體(Modulation Doped Field-effect Transistor, MODFET)傳導之通道。而熱處理過程中熱應力(thermal stress)所產生的熱應變(thermal strain)勢必對矽鍺異質接合結構中原本已經存在的晶格不匹配(lattice mismatch)產生決定性的影響，這些缺陷會嚴重降低其性能，近幾年矽鍺技術不斷改善，Lee<sup>[7]</sup>等人於結構中增加矽緩衝層，發現可減少矽鍺結構中差排密。Sheng<sup>[8]</sup>等人使用超高真空化學氣相沉積法(UHVCVD)，使矽鍺沉積在矽鍺基底可減少晶格不匹配問題。

在薄膜機械特性量測上，奈米壓痕量測(Nanoindentation)技術已是當下檢測奈米級材料最可信也是最有效的方法<sup>[9]</sup>，利用此種技術可量測材料在奈微米尺度下基本機械物理特性，如彈性模數(Young's modulus)、硬度(Hardness)、潛變(Creep)等等，因此被認為是下一代奈米技術中最有潛力的技術之一。

### 2 目的

本研究將探討不同矽鍺薄膜結構經由熱處理後隨著鍺原子擴散與差排衍生現象，實驗中配合奈米刮痕量測系統建立出不同矽鍺薄膜結構其機械特性與熱處理之關係，找出最佳之矽鍺結構與熱處理參數，最後透過穿透式電子顯微鏡與原子力顯微鏡觀察矽鍺結構受熱處理後之結構缺陷與表面特性的變化將是本研究計畫的目的與重點。

## 三、實驗設計

本研究中使用 6 吋 n-type 矽(100)晶圓為基材，透過標準美國無線電公司清潔法(Standard Radio Corporation of American; RCA)溶液為 HF:H<sub>2</sub>O (1:50)浸泡 15 秒，去除表面氧化層與微小粒子，其後運用超高真空化學氣相沉積法(UHV-CVD)成長矽鍺/矽多層膜與成長後熱處理描述區分為以下兩步驟：

#### (1) 成長矽鍺

首先成長 10nm 的矽緩衝層於矽基材上，成長溫度 500°C 持續 100 min，反應氣體為 SiH<sub>4</sub> (in 85 sccm)，沉積速率為 0.1 nm/min；其後成長 120nm 的矽鍺層於矽緩衝層上，成長溫度 500°C 持續 180 min，反應氣體為 SiH<sub>4</sub> (in 85 sccm)與 GeH<sub>4</sub> (in 15 sccm)混合，分別沉積出矽鍺 300、500nm 與超晶格結構。

#### (2) 矽鍺之熱處理

將成長完之不同矽鍺結構分別施予不同退火溫度(400 與 500 °C)持續 30min，退火爐在大氣壓力環境下進行，並通予 20L/min 的氮氣抑制矽氧化。其後分別進行試片表面於奈米機械特性分析。

#### 四、結果與討論

圖 1 與圖 2 分別為磊晶矽鍺薄膜 300 與 500nm 經熱處理 400 與 500 °C 後之微區結構圖，由圖 1 中顯示矽鍺薄膜 300nm 在經過熱處理後，在介面處只產生些許的錯位差排；而當矽鍺薄膜厚度提升到 500nm 時，經由同樣熱處理後則產生大量的缺陷與錯位差排並衍生到薄膜表面中，如圖 2 所示。故得知在本研究中磊晶矽鍺薄膜能夠將臨界厚度增加到 500nm，但由於臨界厚度的矽鍺薄膜其薄膜中所累積的應變能過大，然而後續的熱處理則會使矽鍺薄膜釋放大量的應變能，進而導致薄膜中缺陷大量生成。

圖 3 與圖 4 為矽鍺薄膜 300 與 500nm 與分別施予奈米刮痕 2000(左)與 6000(右)  $\mu\text{N}$  負載後薄膜表面之破壞形貌，由圖 3 與圖 4 可觀察出在達到臨界厚度之矽鍺薄膜，其表面粗糙度是相對高於臨界厚度以下，並且由刮痕的軌跡兩側亦可發現，在矽鍺薄膜 300nm 其具有較明顯的隆起現象，而矽鍺薄膜 500nm 則較為不明顯。由此可知是由於矽鍺薄膜 500nm 其結構在熱處理過程中缺陷大量衍生，刮痕在負載過程受到探針擠壓之矽鍺會沿著缺陷進行滑動，因此不會往表面堆擠。此外，亦可由圖得知矽鍺薄膜 500nm 的表面形貌，在熱處理過程導致缺陷衍生至表面，進而降低矽鍺表面之粗糙度。

圖 5 顯示矽鍺薄膜 300nm 經熱處理後進行奈米刮痕實驗所獲得之摩擦係數特性曲線圖，由圖中可以得知，不論是在 2000 或是 6000  $\mu\text{N}$  的負載下，矽鍺薄膜 300nm 在室溫下的摩擦係數相較於熱處理後的試片是較為穩定的，並且隨著熱處理的溫度增加其摩擦係數特性曲線亦呈現一規則性的震盪，其中摩擦係數與側向力亦隨著熱處理溫度增加而增加，如表 1 所示。圖 6 為矽鍺薄膜 500nm 經熱處理後進行奈米刮痕實驗所獲得之摩擦係數特性曲線圖，由圖 6 在奈米刮痕分析之摩擦係數中可得知，矽鍺薄膜 500nm 其附著力隨著熱處理溫度增加而增加，並發現其摩擦係數特性曲線呈現一規則震盪特性，其中薄膜所回饋給探針的側向力亦隨著退火溫度上升而增加，如表 2 所示。

由此可知，當矽鍺薄膜成長在臨界厚度以下時，薄膜經由適當的後續熱處理，能夠有效提升矽鍺薄膜之附著力、抗磨耗等機械強度；若矽鍺薄膜厚度達到臨界厚度時，此時外界若施予一外力(熱處理或奈米刮痕)，薄膜則會釋放結構中所儲存大量的應變能，進而降低矽鍺薄膜的機械特性，對後續元件結構的堆疊亦造成相當大的困難，因此在成長適當的矽鍺薄膜厚度與適當的熱處理參數，在本計畫中成功建立一系統性的參數，未來則能成為一參考性的指標。

表 1 矽鍺薄膜厚度 300nm 之奈米刮痕摩擦係數與側向力變化

Ramp mode	Load( $\mu\text{N}$ )	Lateral Force ( $\mu\text{N}$ )	Coefficient of Friction
R.T.	2000	-73.64 $\pm$ 0.7	0.125 $\pm$ 0.012
400°C	2000	-79.52 $\pm$ 0.6	0.135 $\pm$ 0.011
500°C	2000	-95.82 $\pm$ 0.8	0.141 $\pm$ 0.014
600°C	2000	-96.57 $\pm$ 0.8	0.146 $\pm$ 0.009
R.T.	6000	-298.87 $\pm$ 2.5	0.111 $\pm$ 0.016
400°C	6000	-318.81 $\pm$ 2.8	0.114 $\pm$ 0.015
500°C	6000	-360.75 $\pm$ 2.4	0.127 $\pm$ 0.016
600°C	6000	-377.38 $\pm$ 3.2	0.138 $\pm$ 0.013

表 2 矽鍺薄膜厚度 300nm 之奈米刮痕摩擦係數與側向力變化

Ramp mode	Load( $\mu\text{N}$ )	Lateral Force ( $\mu\text{N}$ )	Coefficient of Friction
R.T.	2000	$-77.12 \pm 3.3$	$0.112 \pm 0.033$
400°C	2000	$-72.73 \pm 2.1$	$0.139 \pm 0.042$
500°C	2000	$-81.91 \pm 5.5$	$0.121 \pm 0.051$
600°C	2000	$-75.22 \pm 4.3$	$0.102 \pm 0.047$
R.T.	6000	$-239.85 \pm 10.5$	$0.102 \pm 0.022$
400°C	6000	$-270.18 \pm 12.3$	$0.100 \pm 0.054$
500°C	6000	$-290.41 \pm 15.8$	$0.116 \pm 0.082$
600°C	6000	$-256.16 \pm 13.5$	$0.092 \pm 0.061$

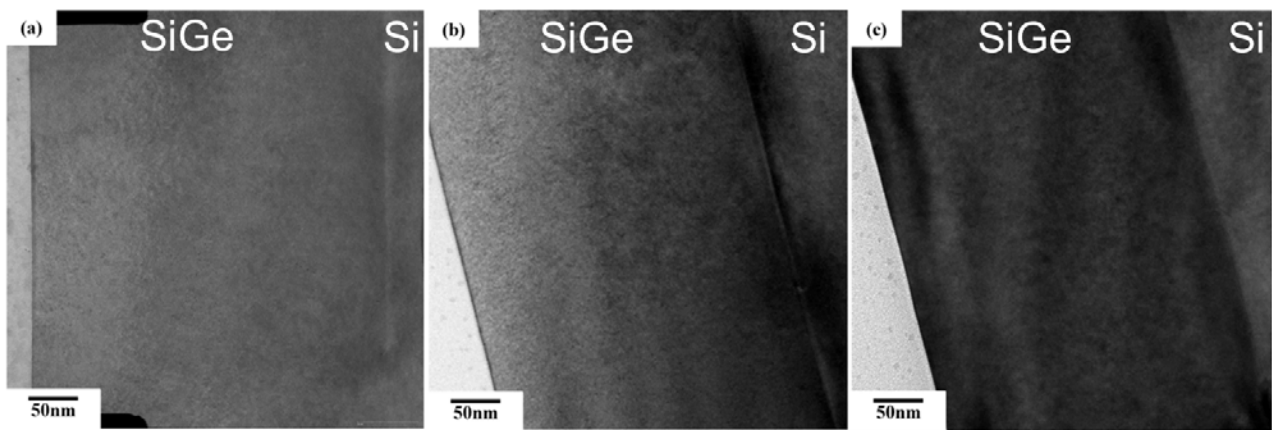


圖 1 矽鍺薄膜厚度 300nm 之高倍微區結構圖 (a)室溫 與退火(b) 400 (c) 500°C。

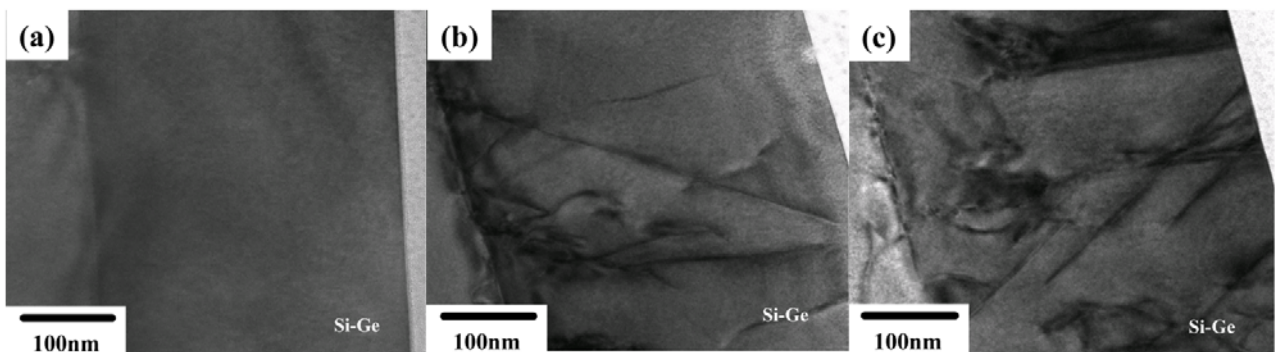


圖 2 矽鍺薄膜厚度 500nm 之高倍微區結構圖 (a)室溫 與退火(b) 400 (c) 500°C。

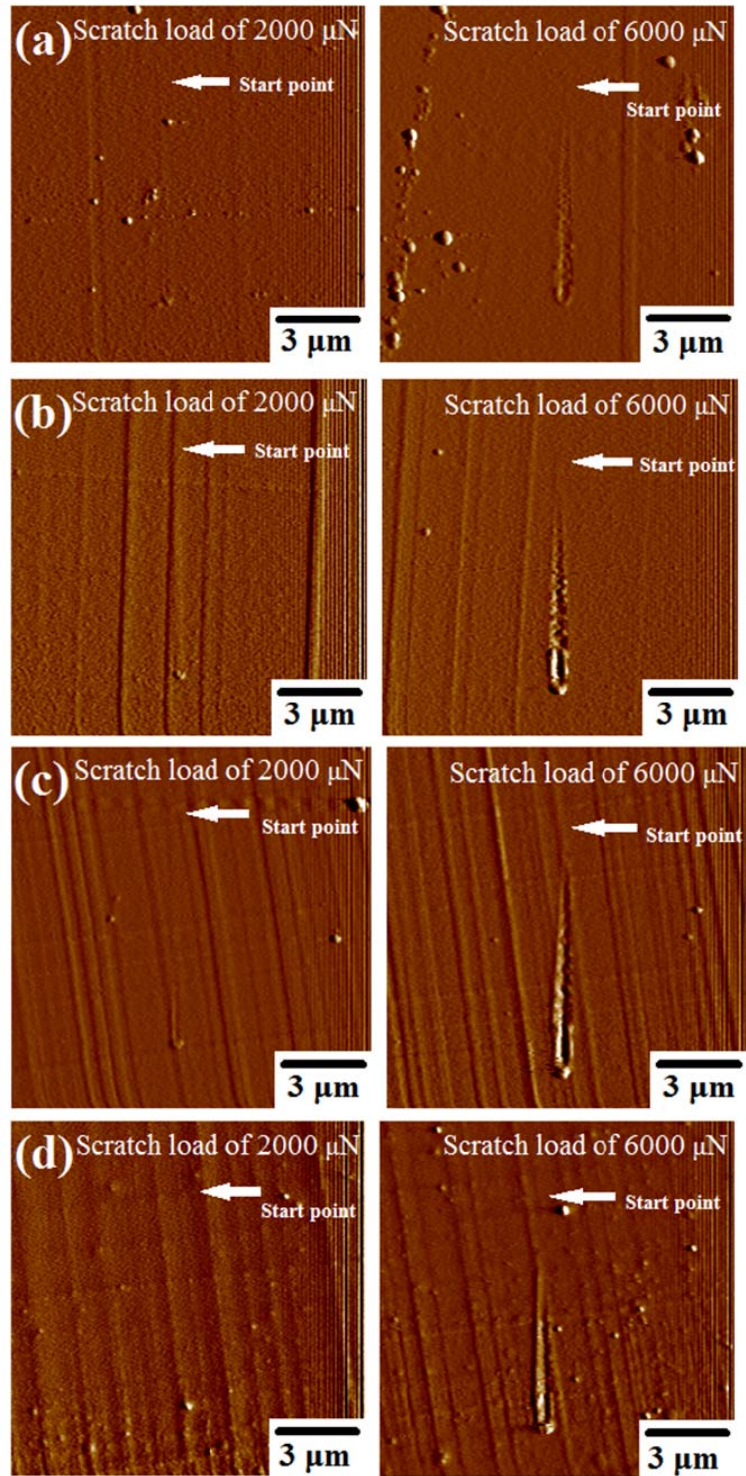


圖 3 矽鍺薄膜厚度 300nm 之 2D 表面形貌示意圖 (a)室溫 與退火(b) 400 (c) 500 (d) 600 °C。



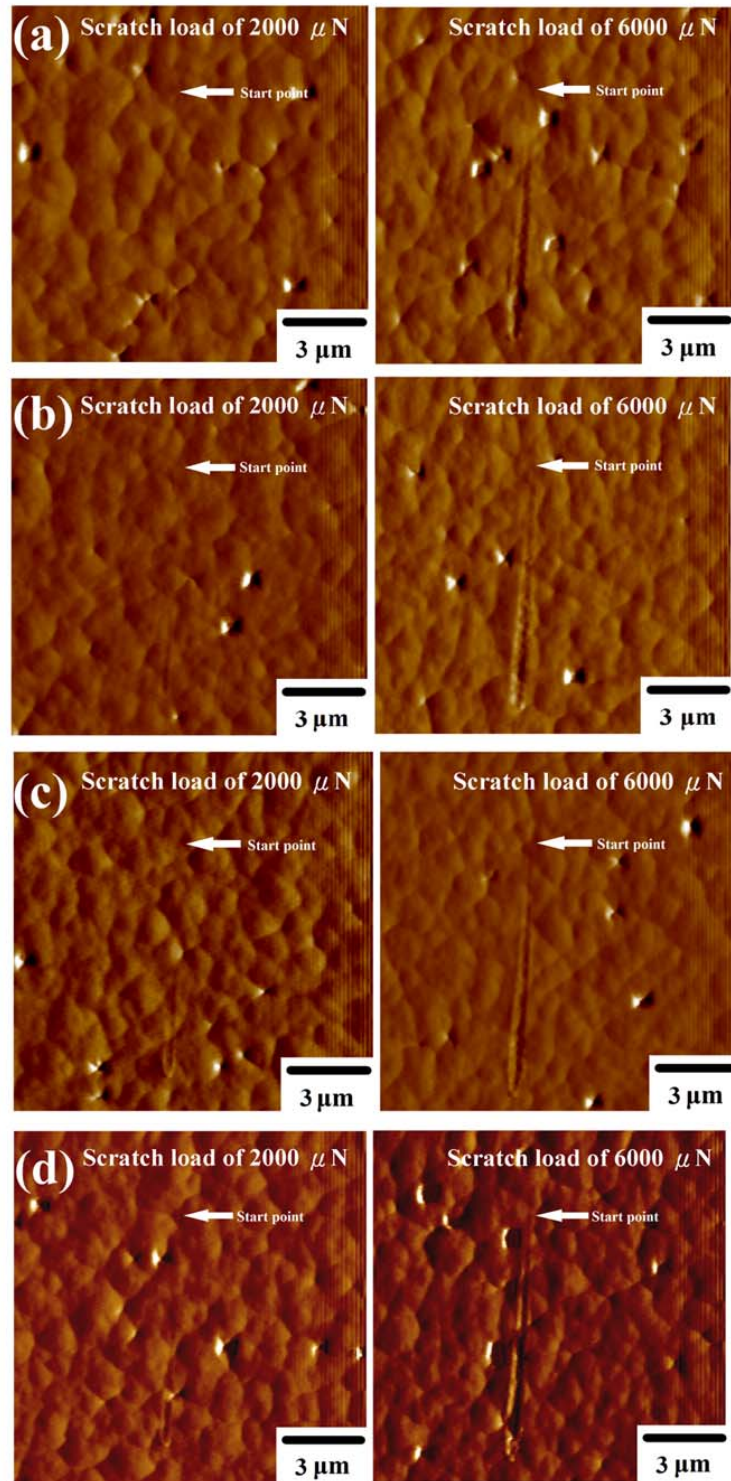


圖 4 矽鍺薄膜厚度 500nm 之 2D 表面形貌示意圖 (a)室溫 與退火(b) 400 (c) 500 (d) 600 °C。

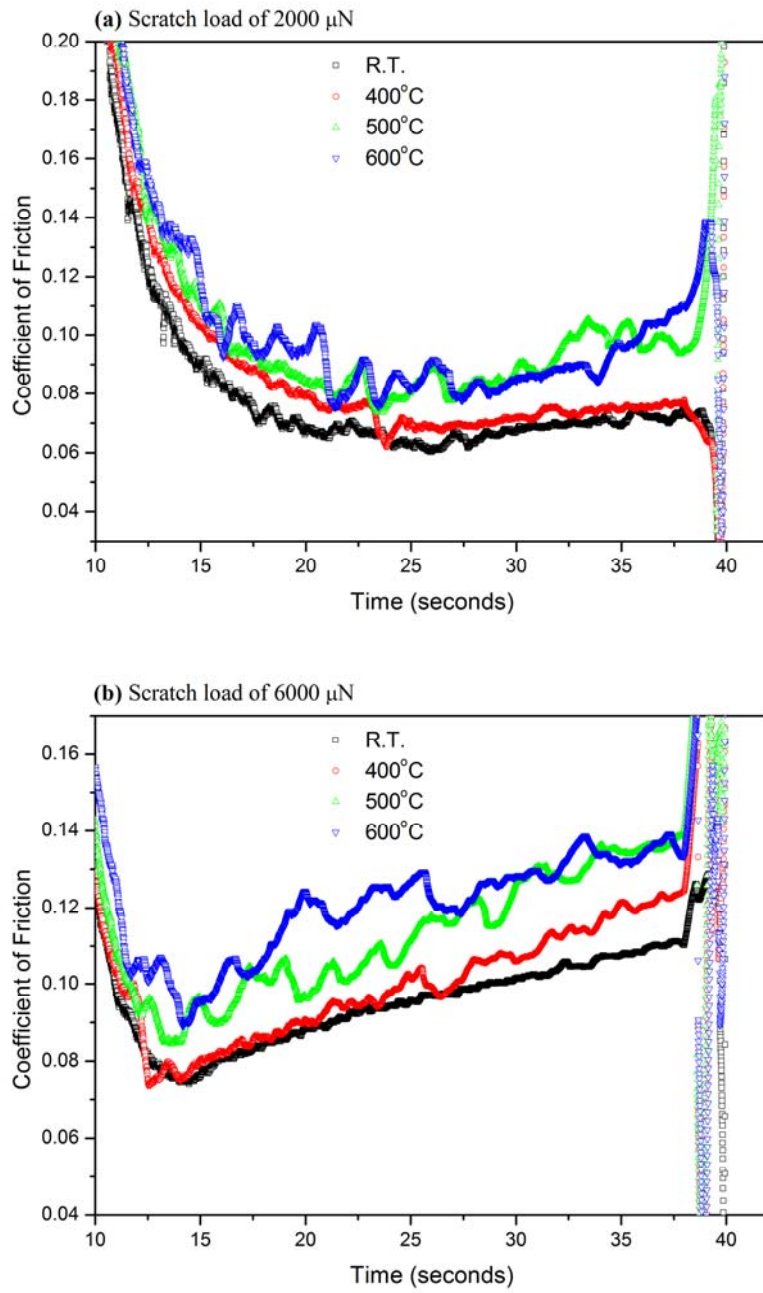


圖 5 矽鍺薄膜厚度 300nm 之奈米刮痕摩擦係數特性圖，刮痕負載 (a) 2000 (b) 6000  $\mu\text{N}$ 。

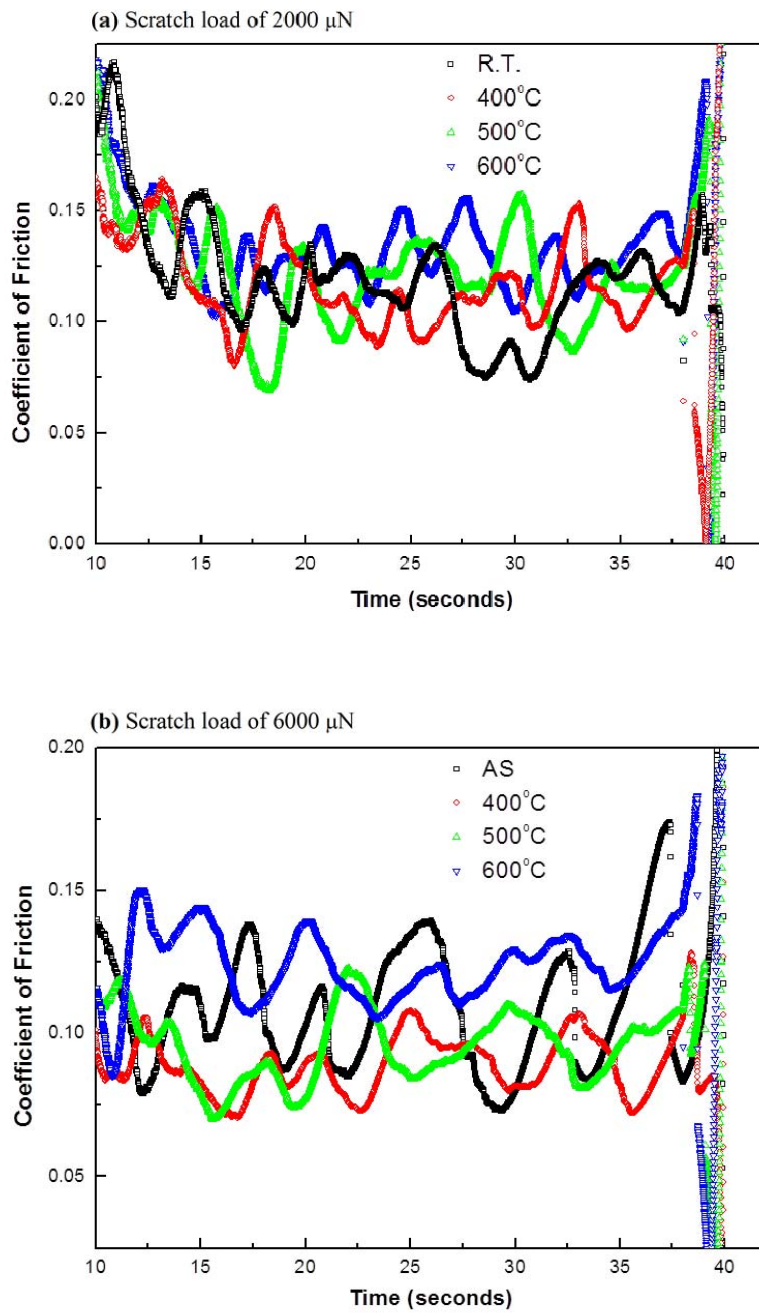


圖 6 矽鍺薄膜厚度 500nm 之奈米刮痕摩擦係數特性圖，刮痕負載 (a) 2000 (b) 6000  $\mu\text{N}$ 。

## 五、計畫成果自評

本研究成功於矽基板上製作出高品質之矽鍺磊晶薄膜，並探討後續熱處理後對矽鍺磊晶薄膜結構之機械特性所造成之影響，進一步透過兩種不同厚度矽鍺磊晶薄膜探討熱處理後所造成之矽鍺磊晶薄膜結構中缺陷與摩擦特性行為，最後建立相關奈米刮痕實驗流程。

此外藉由改變兩種不同厚度矽鍺磊晶薄膜，歸納出矽鍺薄膜成長在臨界厚度以下時，薄膜經由適當的後續熱處理，能夠有效提升矽鍺薄膜之附著力、抗磨耗等機械強度；若矽鍺薄膜厚度達到臨界厚度時，此時外界若施予一外力(熱處理或奈米刮痕)，薄膜則會釋放結構中所儲存大量的應變能，進而降低矽鍺薄膜的機械特性，對後續元件結構的堆疊亦造成相當大的困難，因此在成長適當的矽鍺薄膜厚度與適當的熱處理參數，在本計畫中成功建立一系統性的參數，未來則能成為一參考性的指標。

藉由本計畫所產出之研究成果目前共發表三篇國外期刊論文，以下列出所發表的國外期刊：

### A1. Applied Surface Science

Ming-Jhang Wu, Hua-Chiang Wen, Shyh-Chi Wu, Ping-Feng Yang, Yi-Shao Lai, Wen-Kuang Hsu, Wen-Fa Wu, **Chang-Pin Chou**, “Nanomechanical Characteristics of Annealed Si/SiGe Superlattices”, Applied Surface Science 257 (2011) 8887-8893. (SCI).

### A2. Microelectronic Reliability

Ming-Jhang Wu, Shyh-Chi Wu, Hua-Chiang Wen, Ping-Feng Yang, Yi-Shao Lai, Wen-Kuang Hsu, Wen-Fa Wu, **Chang-Pin Chou**, “Evaluating abrasive wear of annealing Si<sub>0.8</sub>Ge<sub>0.2</sub>/Si films”, Microelectronics Reliability 51 (2011) 2223–2227. (SCI).

### A3. Applied Surface Science

Ming-Jhang Wu, Hua-Chiang Wen, Shyh-Chi Wu, Chien-Huang Tsai, Wen-Fa Wu, **Chang-Pin Chou**, “Thermal reliability of thin SiGe epilayers”, Applied Surface Science 258 (2012) 5001-5004. (SCI).

## 六、參考文獻

- [1] T. J. King, and K. C. Saraswat, IEDM Tech. Digest, 567 (1991).
  - [2] T. J. King, J. R. Pfister, J. D. Shott, J. P. McVittie, and K. C. Saraswat, IEDM Tech. Digest, 253 (1990).
  - [3] P. E. Hellberg, S. L. Zhang, and S. Petersson, Electron. Device Lett, 18 (1997) 456.
  - [4] Y. V. Ponomarev, C. Salm, J. Schmitz, P. H. Woerlee, P. A. Stolk, and D. J. Gravestijn, IEDM Tech. Digest, 829(1997).
  - [5] W. C. Lee, T. J. King, and C. Hu, Electron. Device Lett, 20 (1999) 9.
  - [6] S. Zheng, M. Kawashima, M. Mori, T. Tambo, and C. Tatsuyama, J. Mater. Sci, 508 (2006) 156.
  - [7] S. W. Lee, H. C. Chen, L. J. Chen, Y. H. Peng, C. H. Kuan, and H. H. Cheng, J. Appl. Phys, 92 (2002) 6880.
  - [8] S. R. Sheng, M. Dion, and N. L. Rowell, J. Vac. Sci. Technol. A, 20 (2002) 1120.
  - [9] X. Li and B. Bhushan, J. Appl. Phys, 48 (2002) 11.
  - [10] G. M. Pharr, W. C. Oliver, F. R. Brotzen, J. Mater. Res, 7 (1992) 613.
  - [11] R. B. King, Int. J. Solids Structure, 23 (1987) 1657.
  - [12] J. B. Pethica, R. Hutchings, W. C. Oliver, Philos. Mag. A, 48 (1983) 593.
  - [13] W. D. Nix and R. Saha, Acta Mater, 50 (2002) 23.
- Y.M. Chang et al., Appl. Surf. Sci., 254 (2008) 3105.

# 國科會補助專題研究計畫項下出席國際學術會議心得報告

日期：100 年 09 月 02 日

計畫編號	NSC 99-2221-E-009-031-MY2		
計畫名稱	矽鍺磊晶薄膜之磨潤及機械特性研究		
出國人員姓名	邱菱蕙	服務機構及職稱	交通大學機械系博士生
會議時間	2011 年 8 月 15 日至 2010 年 8 月 19 日	會議地點	美國波特蘭
會議名稱	(中文)2011 年第 11 屆 IEEE 國際奈米科技研討會 (英文) 11th International Conference on Nanotechnology		
發表論文題目	An analysis on synthesizing large-area silicon nanowire arrays by electroless metal deposition		

## 一、參加會議經過

IEEE NANO2011 會議在美國波特蘭 Portland Marriott Waterfront Downtown 舉行，主要的議題是針對奈米科技相關應用與發展，會議時間為 8 月 15 日至 8 月 19 日，會議為期總共五天。投稿此研討會有來自全國各地的國家，接受論文多達 517 篇，顯示有相當多的研究者投入這次的研討會。本實驗室在此會議共發表一篇口頭報告論文。

本次會議，本人先由台灣飛往舊金山與指導教授會和，再從舊金山搭乘 United Economy 飛機至波特蘭機場約一半小時參加此次會議；到達波特蘭機場後搭車至會場- Marriott，約需 20 分鐘車程。

以下為會場照片：

本次的會議為期總共五天，會議的第一天是 Tutorials，包括 Nanomaterials for Energy、Graphene、Nanoelectronic & Modeling at the Nanoscale、Nano-biotechnology 等等；而後從第三天開始則是 Oral 與 Poster 的行程；而在各個 Session 間則是會有許多的 Keynote speech 以及 Panel Discussion，讓世界各國的學者都可以參與主題的討論，做學術上的交流。

本人參加報告是在第二天舉辦，當天 oral 的主題總共分為八個小主題，包含了 Nanofabrication、Nanosensor & Actuators、Nanomaterials、Energy、Nano Packaging、Nanowire/CNTs/graphene、Nanoelectronic Devices、Nano-Bio-Medicince 等等的主題，而本人的報告是在下午的第二段舉行，是屬於 Nanomaterials: Nanomaterials Characterization and Application 此部分，有許多此一領域的學者參與。此外，藉著報告論文空檔，去觀摩國際間在奈米科技應用的趨勢、方法、以及發展的現況。

## 二、 與會心得

本次發表論文場次：

August 16, 2011

14:00 – Nanobiology, Oral Session

Chairs: Lilley, Carmen

Room: Salon I

發表論文為：

\*A.H. Chiou, J.F. Lin, C.K. Su, C. Y. Hsu, W.F. Wu, C.P. Chou," An analysis on synthesizing large-area silicon nanowire arrays by electroless metal deposition "

藉由參與此次會議，了解目前各國發展奈米科技、能源及生醫微系統領域的主流。因應了會議名稱，研究的尺度改為微米和奈米共進；在應用領域上，則拓展至生醫及能源微系統，研究奈米尺度的因子對於元件、材料本性造成的影響。奈米技術除了學術研究外，還須在產業界能有所應用。其內容涵蓋微機電、奈米、生醫技術、換能器及能源系統，從學術研究至應用面，相當豐富而多元。

這次國際性的研討會，見識到國際性研討會的規模以及學術交流的價值，參與國際性研討會，不僅增加個人上台報告的經驗，並且可以藉由許多的觀摩增長再奈米科技相關領域的知識水平，能夠接觸到來自世界各地的精英，著實獲益良多。

本次會議由本人代表口頭發表，這是第一次在國際性研討會用英文報告，所以相當緊張，雖然有充分的演練，但還是需要多加強。當報告完畢問答時間時，有兩人對本次報告提出問題，第一個問題，是本次 Chair，提出了關於奈米線直徑與是否利用其他方式進行此項研究，另外，則是針對本論文奈米線的成長速率；而在問與

答的時候，不僅讓人了解到英文聽說的重要性，也深深感受到本身自己在英文聽說上的不足。在國際性會議中，基本上均用英文對答，而在台灣的社會欠缺的即是英文聽說部分，所以增進聽說能力是讓我們跟國際接軌的第一要務。

在這次會議中，每個作者的報告大約只有 15 至 20 分鐘，不足以讓人對其研究有徹底的了解，但卻可以讓各地學者對我們的研究有初步的認識。除此之外，此會議可以讓我們對現今國際上研究的趨勢、方法、進度與現況有所認識，這對我們往後的研究有莫大的幫助；而各個相關主題的分類更可以使相同領域的學者們針對彼此不同的概念、想法做分享，以瞭解到自己的不足以及一些研究點新想法。因此，希望在未來於國內可以看到更多大型的國際研討會，並使用英文討論與報告。

感謝國科會補助，讓本人能順利參與此次會議，相信藉由此次國際會議的參與，對學生了解國際上奈米科技相關的發展狀況及未來研發重點，對於未來研究具有相當大的幫助。總而言之，這次參加國際學術會議的經驗實在讓我受益良多，不管是在研究方面，或是在英文演說方面，甚至是在國際視野的拓展方面均有重要的助益。希望未來有機會多參加國際性研討會，不僅增進自己的視野，更重要的是加強自己語文與應對能力。



以下為會場及報告當日圖片：



### 三、 攜回資料名稱及內容

此次大會提供最重要的資料內容為會議議程書。以及電子格式的論文資料。

#### 四、 論文接受通知

Message from The PaperCept Conference/Journal Management System

Message originated by Chris Bailey

Dear Ms. Ai-Huei Chiou,

On behalf of the IEEE Nano-2011 Technical Programme Committee we are pleased to confirm the provisional acceptance of your paper (Id: 318):

**Title: An Analysis on Synthesizing Large-Area Silicon Nanowire Arrays by Electroless Metal Deposition**

- for inclusion in the IEEE-NANO-2011 conference proceedings,
- **for presentation as: Oral presentation**
- in the Technical Programme Track: Nanomaterials: Nanomaterials Characterization and Applications II
- and for publication in IEEE Xplore

Note that the final submission deadline has been extended to June 30th. In case you are having difficulty generating Xplore compliant PDF file, starting 20th of June NANO will have access to IEEE PDF Xpress (a PDF generation service). The information about that service will soon appear on:

<http://ieeenano2011.org/call-for-papers/author-information/>

Your Track and Session Co-chairs are your primary resource for further information. Contact information can be found under the "Contact" tab on the IEEE NANO-2011 website at:  
<http://ieeenano2011.org/>

1. This provisional acceptance will become definitive only after we have received the following from you:
  - a. completed manuscript
  - b. signed IEEE copyright form
  - c. completed conference registration

Information for submission of the manuscript and copies of the copyright form are available at  
<https://nano.papercept.net> which can be accessed from the

IEEE NANO-2011 website at: <http://ieeenano2011.org/>

2. Please note the following deadlines:

- a. Submission of the manuscript and copyright right forms:  
30th June
- b. Conference pre-registration discount rates: 15th July

Authors who do not submit their manuscripts and copyright forms by 30th June 2011 who do not register by the 15th July will have their paper withdrawn from the conference.

We encourage you to carry out these actions very promptly. In addition, we strongly advise you to book your rooms with the conference hotel, since these are very limited. If you need an invitation letter for a visa, you need to request it very soon during the on-line pre-registration process.

Thank you for your contribution to IEEE NANO-2011 and on behalf of the Technical Programme Committee we look forward to meeting you in Portland in August.

Yours sincerely

James Morris  
General Chair  
Portland State University  
[jmorris@cecs.pdx.edu](mailto:jmorris@cecs.pdx.edu)

Chris Bailey  
Programme Co-Chair  
University of Greenwich  
[C.Bailey@gre.ac.uk](mailto:C.Bailey@gre.ac.uk)

Parviz Famouri  
Programme Co-Chair  
West Virginia University  
[parviz.famouri@mail.wvu.edu](mailto:parviz.famouri@mail.wvu.edu)

-----  
Decision: Accepted as Contributed paper, Oral presentation

Final submission deadline June 30, 2011

-----  
Submission information

Authors and title:

Ai-Huei Chiou\*, Ching-Kuei Su, Jheng-Fong Lin, Chun-Yao Hsu, Wen-Fa Wu,  
Chang-Ping Chou

An Analysis on Synthesizing Large-Area Silicon Nanowire Arrays by Electroless  
Metal Deposition

Type of submission: Contributed paper

Type of presentation: Oral presentation

Conference: IEEE NANO 2011 Conference

Submission number: 318

-----  
To access your workspace please log in at

<https://nano.papercept.net/conferences/scripts/start.pl> using your PIN  
101786 and password

To see this decision message and the reviews choose the appropriate option  
under "Choose an option..." for this submission in your NANO 2011 author  
workspace

If you do not have your password then follow the link

<https://nano.papercept.net/conferences/scripts/pinwizard.pl> to retrieve it

-----  
Prof. Chris Bailey

Computational Mechanics and Reliability

University of Greenwich

Greenwich

SE109LS London

United Kingdom

E-mail address: [C.Bailey@gre.ac.uk](mailto:C.Bailey@gre.ac.uk)

## 五、 論文摘要

---

### **An analysis on synthesizing Large-Area Silicon Nanowire Arrays by Electroless Metal Deposition**

\*A.H. Chiou, J.F. Lin, C.K. Su, C. Y. Hsu, W.F. Wu, C.P. Chou

Abstract —One-dimensional semiconductor nanostructures have demonstrated to be good materials for novel nanoscale optoelectronics and high-sensitivity molecule sensors. Recent years have seen increased attention given to silicon nanowires (SiNWs), owing to their unusual quantum-confinement effects for developing various applied device, such as optoelectronics, biosensor, and other devices. The key application is the geometric control of fabricated SiNWs including their lengths, sizes, and orientations. Therefore, in this paper, simple and convenient approach to generate SiNWs of single-crystalline, well-aligned, and large area has been directly synthesized on p-type (100) silicon wafer via an electroless metal deposition (EMD) method. The experimental results show that microstructures of SiNWs have been observed at the concentration ratio of 0.02M: 4.6M for AgNO<sub>3</sub>/HF at 50°C with different chemical etching time.

Growing structures and physical properties of the SiNWs arrays were analyzed and investigated by the scanning electron microscopy (SEM), Raman Spectrum, and X-ray diffraction spectrum (XRD), respectively. The following experimental results were obtained: (1) the length of SiNWs arrays which are grown on the (100) wafer shows a linear relationship with the reaction etching time; (2) the Raman peak of the SiNWs shows a downshift and asymmetric broadening due to the phonon quantum confinement effects and intensity enhancement, compared with that of bulk crystal silicon; (3) the XRD analysis indicate that highly dominant peak at 69° is belong to (004) silicon plane.

It has been observed that the best quality of SiNW arrays can be obtained by electroless metal deposition(EMD) which is simple and low cost. These large-area SiNW arrays could be expected to have favorable applications in bio-technology, optoelectronic devices or so on.

Keywords: Si nanowires array (SiNWs), electroless metal deposition(EMD), chemical etching