

# 行政院國家科學委員會專題研究計畫 成果報告

## 先進之混合信號式電路設計技術開發--子計畫五：先進之 靜電放電防護技術開發(I) 研究成果報告(精簡版)

計畫類別：整合型  
計畫編號：NSC 100-2221-E-009-048-  
執行期間：100年08月01日至101年07月31日  
執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：柯明道

計畫參與人員：碩士班研究生-兼任助理人員：黃雅君  
碩士班研究生-兼任助理人員：顧珊綺  
碩士班研究生-兼任助理人員：戴嘉岑  
碩士班研究生-兼任助理人員：林冠宇  
碩士班研究生-兼任助理人員：黃橋晴  
博士班研究生-兼任助理人員：竹立煒  
博士班研究生-兼任助理人員：邱柏硯  
博士班研究生-兼任助理人員：艾飛

公開資訊：本計畫可公開查詢

中華民國 101 年 10 月 23 日

中文摘要：在電子產品的可靠度方面，可靠度不僅影響產品良率，不良產品的使用上更有危害使用人安全之虞，電子產品的可靠度要求只會隨著晶片功能複雜度的成長而更為嚴苛，而對於電子產品中的晶片而言，靜電放電是影響其可靠度的最主要因素。

在積體電路靜電放電防護中，晶片的高靜電放電耐受度，為其主要的指標，然隨著互補式金氧半導體製程技術持續進步，電晶體的各項製作參數的規格尺寸將隨之縮小，換言之，其元件耐受度亦將大幅降低，而在射頻電路的應用發展不斷提升操作頻率下，製作上需更要考量具低電容與低損耗的設計，在這些嚴刻的條件下，射頻積體電路的靜電放電防護設計，將會帶來更大的挑戰，需要有更進一步的探討和研究解決方法。

另外，為了提高系統晶片的整合度，系統晶片的製作對於高壓互補式金氧半製程的需求日與劇增，但是在高壓製程中，因為製程製作複雜的影響，高壓元件本身的靜電放電防護能力偏低，為了提高系統晶片的可靠度，高壓製程的靜電放電防護能力同樣更需要進一步研究和改善。在完成積體電路相關之靜電放電防護的改善後，高壓製程的可靠度問題進一步需要針對的是安全操作區域的研究，此目標不同於高壓製程元件之靜電放電防護設計，主要在探討元件在正常工作時，電路功能操作與操作環境所帶來對於元件的影響，而根據不同的電路功能操作與操作環境調查出元件可正常運作之臨界點與界限，各臨界點所歸納出的特性曲線，即定義為安全操作區域。由於高壓製程的嚴刻操作環境，即使已經符合靜電放電規範之測試，高壓元件還必須具有穩健的安全操作區域，因此緊接在靜電放電防護設計後，加強安全操作區域將又是另一項挑戰，在高壓製程下製作的系統晶片中，高壓元件具有完善的靜電放電防護和穩健的安全操作區域範圍下，電子產品才能具備實際應用價值和競爭力。

中文關鍵詞：靜電放電防護、射頻積體電路、高壓金氧半導體製程、全晶片靜電放電防護、安全操作區域

英文摘要：In the electronic products, the reliability issues are very important. It will influence not only the product yield but also the user's safety. With the function complexity increasing, the requirement of product reliability becomes stricter. However, the damage caused by electrostatic discharge (ESD) zapping is the major reliability issue in all

electronic products.

For the ESD protection of integrated circuits (ICs), the main demand is to achieve high ESD robustness. However, with the technology keep shrinking, devices against ESD damage are weakened. Thus, ESD protection design becomes more important to ICs in advanced CMOS processes. In the radio-frequency (RF) IC design, with the trend of operating frequency increasing, the low-capacitance and low-loss design is needed. As a result, ESD protection design for RF ICs in advanced CMOS processes will become more difficult. Therefore, it needs to further study new ESD protection methods for RF ICs.

In order to increase system chips integration, the requirement of high-voltage CMOS processes is increased dramatically. But in high-voltage CMOS processes, because of complex fabrication procedure, which makes the device's inherent ESD robustness weaker. Therefore, in order to enhance system chips robustness, ESD protection designs in high-voltage CMOS processes also need to further be studied. After enhancing the ESD protection ability of high-voltage devices, the safe operating area (SOA) is the other topic which is needed to take into consideration. This topic is different from the target of ESD protection; it studies devices behavior when devices operate under normal operating conditions. Under a high voltage and high current operating environments, the safe operating area of high-voltage devices will be suppressed. Although the chips in the product can achieve high ESD robustness, it does not mean devices will have robust safe operating area, because of the strict conditions in high-voltage operating environments. Once chips have perfect ESD protection ability and devices have robust safe operating area, the electronic products can have the useful value and competitiveness in the market.

英文關鍵詞： Electrostatic Discharge (ESD), Radio-Frequency Integrated Circuits (RF ICs), High-Voltage CMOS Process, Whole-Chip ESD Protection, Safe-Operating-

Area (SOA).

# 先進之混合信號式電路設計技術開發-子計畫五：

## 先進之靜電放電防護技術開發

### Development of Advanced On-Chip ESD Protection Circuits

計畫編號：100-2221-E-009-048-

執行期限：100年08月01日至101年07月31日

主持人：柯明道教授 國立交通大學電子研究所

#### 一、中文摘要

在電子產品的可靠度方面，可靠度不僅影響產品良率，不良產品的使用上更有危害使用人安全之虞，電子產品的可靠度要求只會隨著晶片功能複雜度的成長而更為嚴苛，而對於電子產品中的晶片而言，靜電放電是影響其可靠度的最主要因素。在積體電路靜電放電防護中，晶片的高靜電放電耐受度，為其主要的指標，然隨著互補式金氧半導體製程技術持續進步，電晶體的各項製作參數的規格尺寸將隨之縮小，換言之，其元件耐受度亦將大幅降低，而在射頻電路的應用發展不斷提升操作頻率下，製作上需更要考量具低電容與低損耗的設計，在這些嚴刻的條件下，射頻積體電路的靜電放電防護設計，將會帶來更大的挑戰，需要有更進一步的探討和研究解決方法。

另外，為了提高系統晶片的整合度，系統晶片的製作對於高壓互補式金氧半製程的需求日與劇增，但是在高壓製程中，因為製程製作複雜的影響，高壓元件本身的靜電放電防護能力偏低，為了提高系統晶片的可靠度，高壓製程的靜電放電防護能力同樣更需要進一步研究和改善。在完成積體電路相關之靜電放電防護的改善後，高壓製程的可靠度問題進一步需要針對的是安全操作區域的研究，此目標不同於高壓製程元件之靜電放電防護設計，主要在探討元件在正常工作時，電路功能操作與操作環境所帶來對於元件的影響，而根據不同的電路功能操作與操作環境調查出元件可正常運作之臨界點與界限，各臨界點所歸納出的特性曲線，即定義為安全操作區域。由於高壓製程的

嚴刻操作環境，即使已經符合靜電放電規範之測試，高壓元件還必須具有穩健的安全操作區域，因此緊接在靜電放電防護設計後，加強安全操作區域將又是另一項挑戰，在高壓製程下製作的系統晶片中，高壓元件具有完善的靜電放電防護和穩健的安全操作區域範圍下，電子產品才能具備實際應用價值和競爭力。

#### Abstract

In the electronic products, the reliability issues are very important. It will influence not only the product yield but also the user's safety. With the function complexity increasing, the requirement of product reliability becomes stricter. However, the damage caused by electrostatic discharge (ESD) zapping is the major reliability issue in all electronic products.

For the ESD protection of integrated circuits (ICs), the main demand is to achieve high ESD robustness. However, with the technology keep shrinking, devices against ESD damage are weakened. Thus, ESD protection design becomes more important to ICs in advanced CMOS processes. In the radio-frequency (RF) IC design, with the trend of operating frequency increasing, the low-capacitance and low-loss design is needed. As a result, ESD protection design for RF ICs in advanced CMOS processes will become more difficult. Therefore, it needs to further study new ESD protection methods for RF ICs.

In order to increase system chips integration, the requirement of high-voltage CMOS processes is increased dramatically. But in high-voltage CMOS processes, because of complex fabrication procedure, which makes the device's inherent ESD robustness weaker. Therefore, in order to enhance system chips robustness, ESD protection designs in high-voltage CMOS processes also need to

further be studied. After enhancing the ESD protection ability of high-voltage devices, the safe operating area (SOA) is the other topic which is needed to take into consideration. This topic is different from the target of ESD protection; it studies devices behavior when devices operate under normal operating conditions. Under a high voltage and high current operating environments, the safe operating area of high-voltage devices will be suppressed. Although the chips in the product can achieve high ESD robustness, it does not mean devices will have robust safe operating area, because of the strict conditions in high-voltage operating environments. Once chips have perfect ESD protection ability and devices have robust safe operating area, the electronic products can have the useful value and competitiveness in the market.

## 二、計畫的緣由與目的

根據電晶體理論，當電晶體的尺寸縮小時，可有較高的工作頻率與更低操作電壓，隨著縮微技術(Scaled Down)的快速發展，電晶體的操作頻率也得以加速地提昇。目前臺灣的製程已進入奈米的量產時代，40 奈米的製程已為量產主流，28 奈米亦已經接近研發完成的階段。此外隨著電源管理、背光模組、觸碰螢幕與車用安全控制系統等等應用日與劇增，亦使高壓製程的需求量更劇增加，並不斷的精進其高壓製程技術。製程技術的進步確實可以為電路功能帶來明顯的效益，但伴隨而來的積體電路可靠度問題，卻日趨嚴重，反而造成了電路設計的困難與挑戰。對積體電路言，靜電放電(ESD)是影響其量產可靠度最主要因素，因此必須設計出適當的靜電放電防護設計，以避免元件或者電路被損壞，然對於縮微化之電晶體而言，ESD 等等的相關可靠度議題，將變得更為嚴峻。

本研究計畫主要區分為兩大部分，第一部分為射頻電路靜電放電防護設計，因應目前射頻電路系統操作頻率不斷提升的情況下，元件本身的耐受度將隨著製程更先進情況下而大幅減小，靜電放電防護元件的使用上，將為未來的一大挑戰，一方面要具有低電容和低損耗，一方面又需要足夠防護能力，需要在其中取得平衡。而第二部分為高壓互補式金氧半導

體電路之靜電放電防護設計，因為高壓製程之製程程序與操作環境的因素，其靜電放電防護能力普遍偏低，但目前系統晶片對於高壓製程的需求日與劇增，且系統晶片的應用上更要求高可靠度，因此高壓製程的靜電放電防護能力將更需要進一步研究和改善。再通過元件、電路等等之靜電放電防護設計標準後，高壓製程元件進一步需要探討的主題將是安全操作區域的問題，此目標不同於靜電放電防護設計，需針對元件在正常工作時，電路功能操作與操作環境所帶來對於元件的影響，而根據不同的電路功能操作與操作環境調查出元件可正常操作之臨界點與界限。即使高壓製程元件符合靜電放電規範之測試，為了要讓高壓元件還能有廣泛的安全操作區域，使其能同時維持在高電壓與高電流之操作環境將又成為另一大挑戰。此外在靜電放電防護設計與安全操作區域問題之間，是否存在權衡問題必須取捨，亦是本研究必須探討的重點。

## 三、研究方法及成果

本計畫的研究成果已經整理且發表了 6 篇國際期刊論文 [1]-[6]，及 4 篇國際研討會論文 [7]-[10]。在此將針對已發表的論文內容詳細闡述，研究的內容有：奈米製程下射頻電路之靜電放電防護設計 [1]-[2], [7]-[9]、奈米製程下元件充電模式之靜電放電防護探討[3]、高壓製程之靜電放電防護設計及高壓元件安全操作區域之研究 [4], [5]、系統層級之靜電放電防護設計 [6], [10]。詳細研究成果內容，請參閱以下章節。

### (1) 射頻電路之靜電放電防護設計 [1]-[2], [7]-[9]

隨著製程技術持續為縮，電晶體閘極氧化層(Gate Oxide)的厚度逐漸變薄，其崩潰電壓也隨之降低，目前奈米製程下，只要數十甚至數伏特的靜電電壓便會將閘極氧化層破壞。在電路應用中，電晶體的閘極通常是射頻電路的輸入級，因此必須設計出適當的靜電放電防護電路，以避免射頻積體電路遭受靜電放電轟擊而損壞。由於靜電放電防護電路必須置於射頻積體電路之輸入與輸出接點，所以靜電放電防護電路之負載效應將對射頻電路的性能造成明顯的負面影響，例如，靜電放電防護電路產生的寄生電容，會降低射頻電路的增益，並改變輸

入輸出接點的阻抗匹配情形。對於射頻電路而言，輸入與輸出接點的寄生電容必須非常低，否則寄生電容造成的負載將大幅衰減射頻電路的性能。在射頻電路的靜電放電防護電路設計中，必須具備低寄生電容、固定的輸入電容、優良的靜電放電防護能力。圖1-1~圖1-9為常見的射頻電路之靜電放電防護設計。本計畫針對這些常見的靜電放電防護設計進行分析，將各種設計分門別類、並歸納各種設計的優缺點與成效，如表1-1所示。

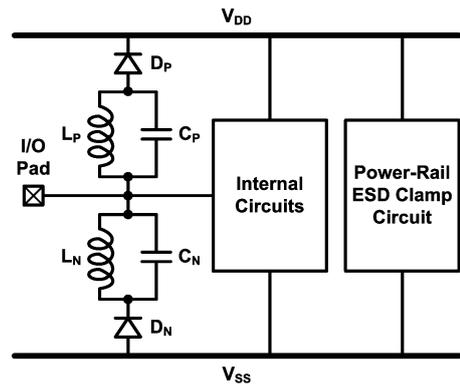


圖 1-4. LC-Tank.

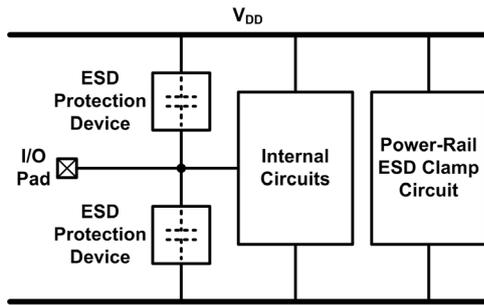


圖 1-1. Conventional ESD Protection Circuit.

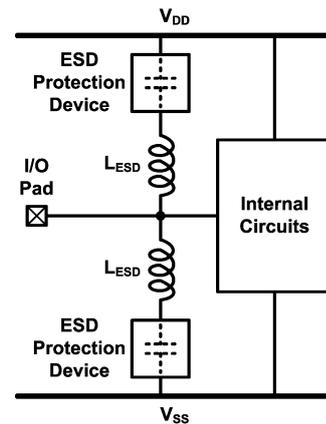


圖 1-5. Series LC Resonator.

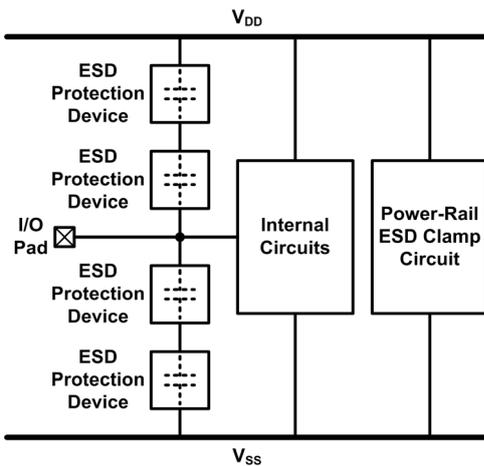


圖 1-2. Stacked ESD Protection Devices.

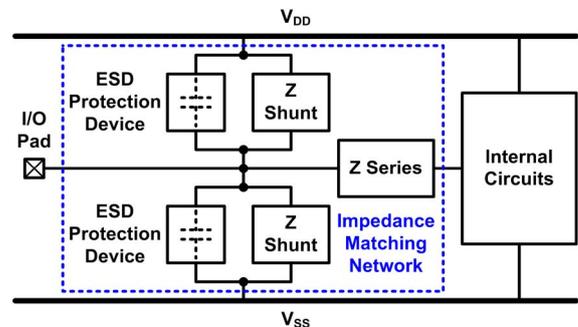


圖 1-6. Impedance Matching.

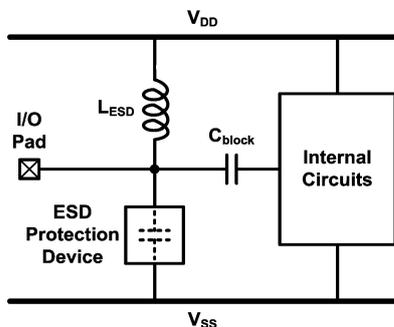


圖 1-3. Parallel LC Resonator.

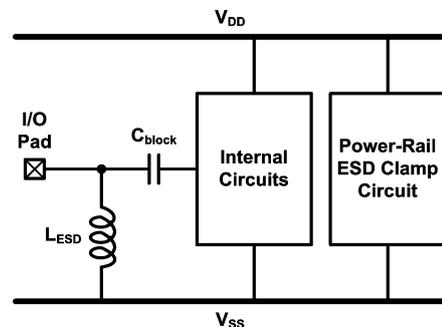


圖 1-7. Inductive ESD Protection.

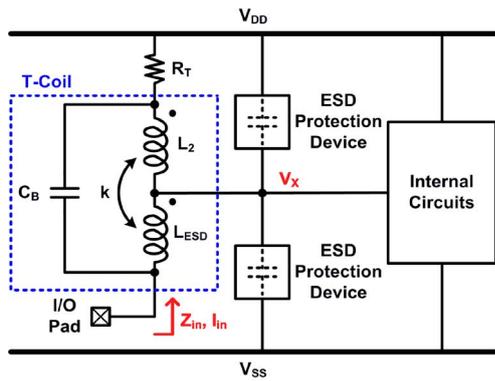


圖 1-8. T-Coil.

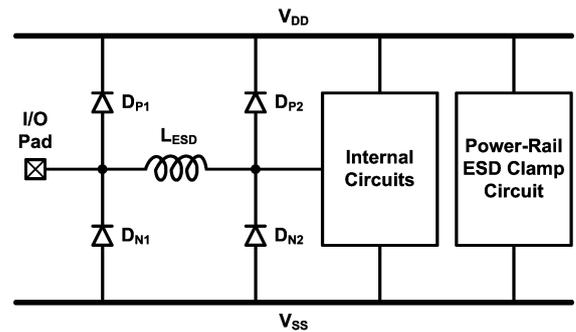


圖 1-9. Distributed ESD Protection.

表 1-1. 各種射頻靜電放電防護設計的優缺點與成效比較

ESD Protection Design	Suggested Operating Frequencies	Design Complexity	Equivalent Parasitic Capacitance	Signal Loss	Clamping Voltage at Internal Circuits	HBM / CDM Robustness	Area Efficiency
1. Conventional ESD Protection Circuit	< 5 GHz	Low	Dozens ~ Hundreds of fF	Worst at High Frequency	1 $R_{ESD}$	Better / Better	Good
2. Stacked ESD Protection Devices	< 10 GHz	Moderate	Dozens ~ Hundreds of fF	Worse at High Frequency	2 $R_{ESD}$	Good / Good	Good
3. Parallel LC Resonator	> 5 GHz (Narrow Band)	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 $R_{ESD}$	Better / Better	Poor
4. LC-Tank	> 5 GHz (Narrow Band)	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 $R_{ESD}$ + 1 $L_{ESD}$	Good / Poor	Poor
5. Series LC Resonator	> 5 GHz	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 $R_{ESD}$ + 1 $L_{ESD}$	Good / Poor	Poor
6. Impedance Matching	> 5 GHz	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 $R_{ESD}$	Better / Better	Poor
7. Inductive ESD Protection	> 5 GHz	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 $L_{ESD}$	Better / Poor	Poor
8. T-Coil	> 5 GHz	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 $R_{ESD}$	Better / Better	Poor
9. Distributed ESD Protection	> 5 GHz	High	~ 0 at Designed Frequency	~ 0 at Designed Frequency	1 $R_{ESD}$	Better / Better	Poor

接著，本計畫針對V頻段(V-Band)的應用，於60-GHz低雜訊放大器進行靜電放電防護設計之研究。第一種是使用電感電容串連架構，搭配雙向二極體(Double-Diode,  $D_P$  and  $D_N$ )

做為輸入輸出端之靜電放電防護元件，並與電源線間靜電放電箝制電路組成靜電放電防護電路的設計，如圖1-10所示，此外還有另一種變型，即電感電容置放位置不同，如圖1-11所



表 1-3. Comparison on Experimental Results among Proposed ESD protection design II

		Test Circuits							
		A	A'	B	B'	C	C'	D	D'
Device Dimensions	SCR ( $\mu\text{m}$ )	8		15		23		30	
	$D_N$ ( $\mu\text{m}$ )	8		15		23		30	
	$L_{\text{trig}}$ (nH)	0.38		0.27		0.23		0.2	
	$M_{\text{trig}}$ ( $\mu\text{m} / \mu\text{m}$ )	100 / 0.2		100 / 0.2		100 / 0.2		100 / 0.2	
	Area ( $\mu\text{m} \times \mu\text{m}$ )	120 x 150		110 x 140		105 x 135		100 x 130	
	RF-NMOS Emulator	w/o	w/i	w/o	w/i	w/o	w/i	w/o	w/i
Measurement Results	$S_{11}$ at 60 GHz (dB)	-19.1	/	-18.2	/	-20.4	/	-24.6	/
	$S_{21}$ at 60 GHz (dB)	-1.24	/	-1.39	/	-1.60	/	-1.84	/
	PS HBM ESD Level (kV)	/	0.75	/	1.5	/	2.25	/	2.75
	PD HBM ESD Level (kV)	/	1	/	1.5	/	2.25	/	2.75
	NS HBM ESD Level (kV)	/	0.75	/	1.5	/	2.25	/	3
	ND HBM ESD Level (kV)	/	0.75	/	1.5	/	2.25	/	3
	PS TLP-Measured $I_{t2}$ (A)	/	0.37	/	0.72	/	1.39	/	1.78
	PS VF-TLP-Measured $I_{t2}$ (A)	1.98	0.96	2.72	1.72	3.08	2.14	3.71	2.21

(2) 奈米製程下元件充電模式之靜電放電防護探討[3]

相較於人體放電與機械放電模式之數十奈秒(ns)到數百奈秒的放電時間而言，元件充電模式(Charged-Device Model, CDM)靜電放電的時間更短，僅約幾奈秒之內的時間便結束。如此短的放電時間，極可能使得在靜電放電防護電路尚未導通前，靜電電荷即透過元件結構中的寄生電容進行放電，所以當元件充電模式靜電放電現象發生時，電晶體的閘極氧化層很容易因靜電放電而損壞。在奈米CMOS製程中，由於電晶體閘極氧化層厚度持續降低，勢必惡化積體電路的元件充電模式靜電放電耐受度。在積體電路設計上，元件充電模式靜電放電現象已成為相當嚴重且必須解決的課題。因此在奈米製程射頻電路靜電放電防護設計後，緊接著針對同樣製程進行CDM的探討。

一般而言，遭受CDM現象破壞的位置，經常發生於輸入輸出的銜接區域，然在經過CDM測試的實驗晶片中，發現破壞的位置座落於內部電路，如圖2-1與2-2顯微照片所示。因此，研究結果顯示中，CDM測試後的損壞位置並非只發生於輸入輸出端，在沒有銜接輸入輸出腳位的內部電路，因CDM現象產生的耦合電流，同樣會使內部電路遭受CDM現象破壞的可能，這樣的現象在更先進的製程下，未來需要更加重視。

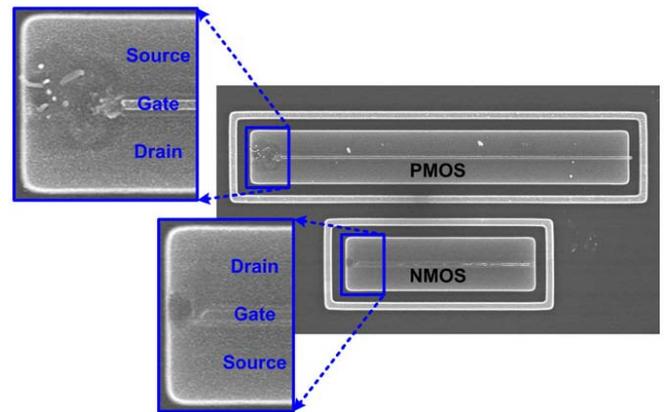


圖 2-1. SEM photo of core circuit 1 after 500-V CDM ESD test.

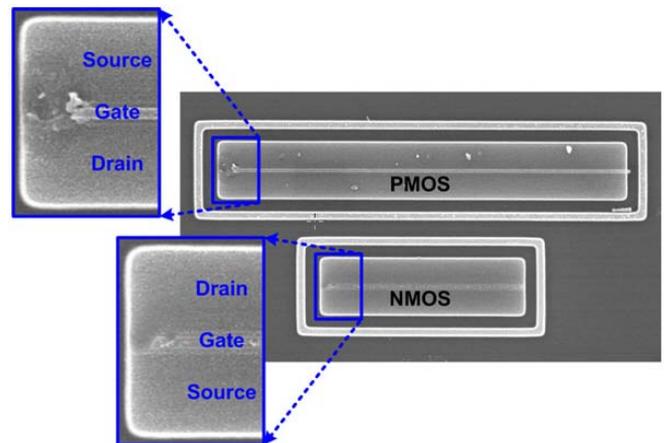


圖 2-2. SEM photo of core circuit 2 after 200-V CDM ESD test.

### (3) 高壓製程之靜電放電防護設計及高壓元件安全操作區域之研究 [4], [5]

隨著面版驅動電路、電源供應、車用控制及電源管理系統積體電路產品需求增加，高壓製程的使用越來越為廣泛，然高壓製程本身的特性將使得高壓積體電路帶來更嚴重的可靠度問題，此可靠度問題主要包含靜電放電防護，甚至在此之中，間接引發過度電性應力 (Electrical Overstress, EOS) 等問題。因此如何開發有效的靜電放電防護設計和解決伴隨的問題，將是這些高壓積體電路設計上很重要的課題，這個主題也隨著這些產業應用上的多元化而更趨複雜並且更趨重要。

針對工業界的案例需求，本計畫於一高壓製程電路方案之應用中加入改進方法，藉由改善佈局方式進而提高過度電性應力 (Electrical Overstress, EOS) 的容忍能力，此外為了能更進一步增加容忍能力，亦提出了一偵測電路以及補償電路，其提出之改善電路圖如圖3-1所示。此提出的方法已於 0.6- $\mu\text{m}$  40 伏特 Bipolar-CMOS-DMOS (BCD) 製程製作出實驗晶片並成功驗證。在沒有增加佈局改善和置入改善電路的情況下，模擬栓鎖效應所加入的流入電流 (Sink Current) 於 30mA 的條件下，如圖3-2 所示，便會使內部電壓 VAP 拉升產生 EOS 問題。而在置入所有改善的方法後，將能使其容忍能力至少拉升至 500mA 以上，如圖3-3 之結果所示。

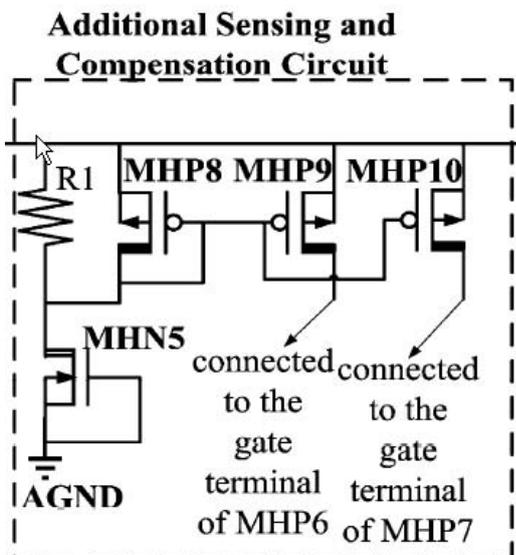


圖 3-1. New proposed sense and compensation circuit.

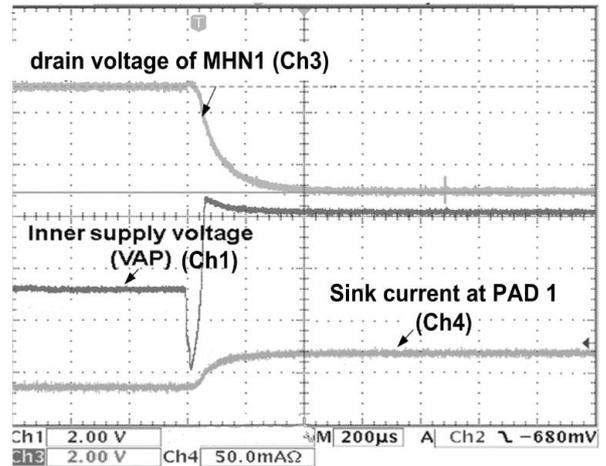


圖 3-2. Measured inner supply voltage when a 30-mA sink current without modification.

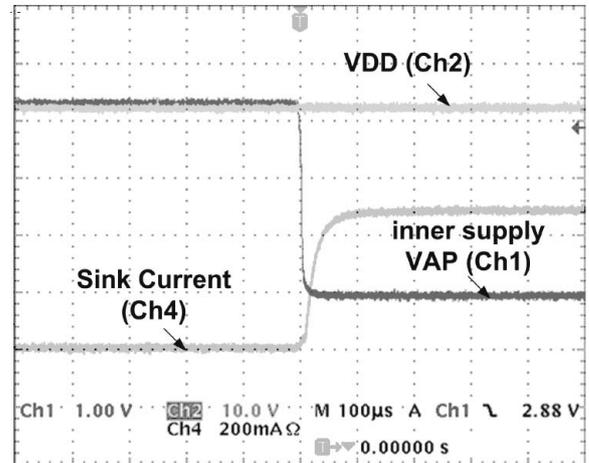


圖 3-3. Measured inner supply voltage when a 500-mA sink current with modification.

除了靜電放電等等的可靠度問題，高壓元件中之安全操作區域 (Safe Operating Area, SOA) 已儼然為另一個重要的可靠度議題。因此本計畫將經由測試元件加以實驗，來探討元件 SOA 的特性。不同於靜電放電防護研究，SOA 主要在探討元件在正常工作時，電路功能操作與操作環境所帶來對於元件的影響，而根據不同的電路功能操作與操作環境調查出元件可正常操作之臨界點與界限，即定義為安全操作區域。而安全操作區域之物理限制，簡單來說在於高壓元件的寄生雙載子電晶體導通 (Parasitic Bipolar Junction Transistor) 之前，因為 n 型金氧半導體元件之寄生雙載子電晶體經觸發導通後，常伴隨驟回現象的產生 (Snapback)，當此現象發生後而又處在高壓之環境下即會發生栓鎖效應，此狀況發生時常會帶來不可恢復的損壞於元件中，而如在電路應用中，使用高壓元件進

行開關切換，不同性質的負載所產生的影響，將會更容易引發。

本探討研究實驗了不同附載所引發的SOA現象，並提出一些改進方法，改善SOA問題。在電路應用方面，可以增加電路技巧例如置入齊納二極體、電阻等等，使引發SOA的條件改變進而改善。而在製程方面，改善方法有置入額外基底參雜層、電流趨勢配置、和改變佈局方式。然在一般積體電路設計公司無法直接改變製程參數的情況下，只能以改變佈局方式來達成，再利用佈局的變異情況下，改變原寄生元件的形成或置入，將可以達到同樣的效果，由圖3-4的範例可以明顯看出，為了使SOA問題較改進，元件的佈局方式已與一般元件製作方式不同。

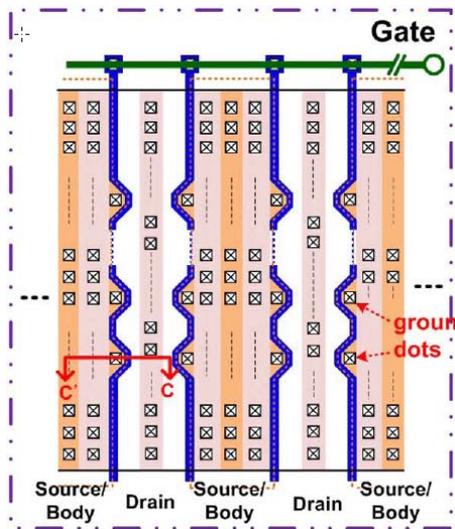


圖 3-4. Layout top view of a poly-bending nLDMOS.

#### (4) 系統層級之靜電放電防護設計 [6], [10]

由於日益複雜的積體電路功能，如混合式信號 (mix-signal) 電路、多重電源供應系統 (multiple power supplies)、射頻 (radio frequency) 電路、系統單晶片 (system on chip) 等等，使得積體電路元件所處的環境會受到來自元件內部或外部的雜訊干擾，因此這些雜訊會隨機地出現在積體電路產品的電源、接地、輸入/輸出腳位 (pin) 上，使積體電路產品較以往更容易受到雜訊干擾的威脅。因此，系統層級靜電放電 (system-level ESD) 的可靠度問題，在實際產品應用上，同樣需高度的探討。

由系統層級靜電放電測試所引起的可靠度問題來自於多功能整合型的積體電路設計，以及嚴格的法規要求。在系統層級靜電放電測試

的規格中(IEC 61000-4-2)，一個擁有積體電路的電子設備在接觸放電 (contact-discharge)及空氣放電 (air-discharge)測試模式中如欲達到“等級四”的標準需求，則此待測設備必須通過高達 $\pm 8\text{kV}$  (接觸放電模式) 及  $\pm 15\text{kV}$  (空氣放電模式)的靜電放電等級需求。

在傳統的解決方法中，會在電子產品的印刷電路板上增加離散元件抑制暫態雜訊的干擾，包括利用反耦合電容、暫態突波抑制器、限流電阻、防護板等，皆能在印刷電路板抑制對積體電路產品所產生的暫態雜訊干擾。但是這些額外增加的離散元件會大幅增加電子產品的成本，因此，在積體電路上設計出相對的解決方案，以減少離散元件的使用，將會為工業界所急切需求。圖 4-1 是我們所提出的四位元暫態偵測電路，此偵測電路是利用反相器電路架構以及電阻電容延遲效應設計，利用 HSPICE 軟體所提供的正弦波以及阻尼因子 (Damping Factor) 的參數設定，可成功模擬並量化此暫態偵測電路在系統層級靜電放電以及快速暫態脈衝測試時的工作情形。此暫態偵測電路已於 $0.13\text{-}\mu\text{m}$  1.8-V CMOS製程中實作，在系統層級靜電放電或是快速暫態脈衝發生時，已成功驗證可偵測出發生在電源線上的暫態干擾訊號並紀錄，使電子產品在受到電磁干擾而故障時，可配合韌體或軟體設定送出重新啟動訊號 (reset) 使系統自動作回復的動作，圖4-2為實際應用於手機面板的量測架設圖。

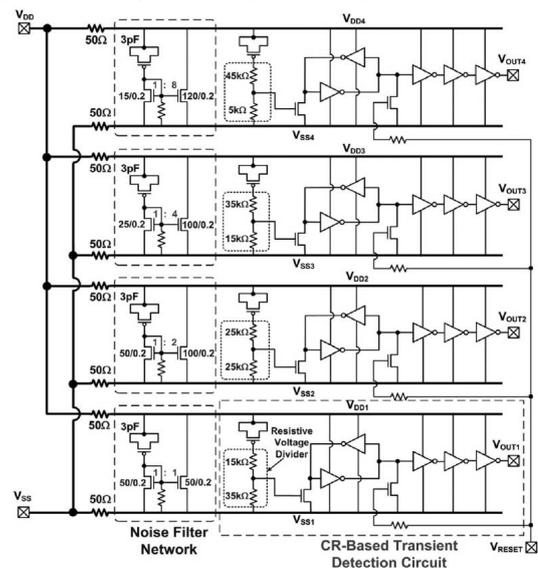


圖 4-1. Proposed 4-bit transient-to-digital converter realized with four CR-based transient detection circuits and four different noise filter networks.

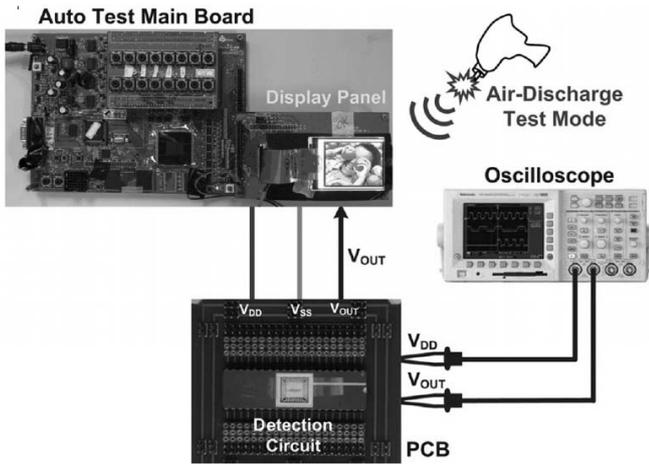


圖 4-2. Measurement setup for system-level ESD test with air-discharge test mode to evaluate the detection function of the fabricated on-chip transient detection circuit on display system application.

#### 四、結論與討論

此整合型子計畫已於101年7月31日執行完畢，由實際晶片驗證，並與模擬結果獲得相互佐證。本計畫的研究成果已經整理且發表了6篇國際期刊論文及4篇國際研討會論文，此外還有數項創新設計已提出中華民國及美國專利申請。更詳細的研究成果內容，敬請參閱本研究群所發表之論文。

最後，感謝國科會給予本計畫的支持與投入計畫研究經費，使得這些高度需求的研究議題能順利進行，進而提升學術界的研發能力，在此衷心感謝。

#### 五、發表論文

- [1] C.-Y. Lin, L.-W. Chu, S.-Y. Tsai, and M.-D. Ker, "Design of compact ESD protection circuit for V-band RF applications in a 65-nm CMOS technology," *IEEE Trans. on Device and Materials Reliability*, vol. 12, no. 3, pp. 554-561, Sep. 2012. (SCI)
- [2] C.-Y. Lin, L.-W. Chu, and M.-D. Ker, "ESD protection design for 60-GHz LNA with inductor-triggered SCR in 65-nm CMOS process," *IEEE Trans. on Microwave Theory and Techniques*, vol. 60, no. 3, pp. 714-723, Mar. 2012. (SCI)
- [3] C.-Y. Lin, T.-L. Chang, and M.-D. Ker, "Investigation on CDM ESD events at core circuits in a 65-nm CMOS process," *Microelectronics Reliability*, vol. 52, no. 11, pp. 2627-2631, Nov. 2012. (SCI)
- [4] H.-W. Tsai and M.-D. Ker, "Layout consideration and circuit solution to prevent EOS failure induced by latchup test in a high-voltage integrated circuits," *IEEE*

*Trans. on Device and Materials Reliability*, in press. (SCI)

- [5] W.-Y. Chen and M.-D. Ker, "Characterization of SOA in time domain and the improvement techniques for using in high-voltage integrated circuits," *IEEE Trans. on Device and Materials Reliability*, vol. 12, no. 2, pp. 382-390, Jun. 2012. (SCI)
- [6] M.-D. Ker and C.-C. Yen, "New 4-bit transient-to-digital converter for system-level ESD protection in display panels," *IEEE Trans. on Industrial Electronics*, vol. 59, no. 2, pp. 1278-1287, Feb. 2012. (SCI)
- [7] L.-W. Chu, C.-Y. Lin, S.-Y. Tsai, M.-D. Ker, M.-H. Song, C.-P. Jou, T.-H. Lu, J.-C. Tseng, M.-H. Tsai, T.-L. Hsu, P.-F. Hung, T.-H. Chang, and Y.-L. Wei, "Design of ESD protection cell for dual-band RF applications in a 65-nm CMOS process," *Proc. of Electrical Overstress / Electrostatic Discharge Symposium*, 2012, pp. 331-335.
- [8] L.-W. Chu, C.-Y. Lin, S.-Y. Tsai, M.-D. Ker, M.-H. Song, C.-P. Jou, T.-H. Lu, J.-C. Tseng, M.-H. Tsai, T.-L. Hsu, P.-F. Hung, and T.-H. Chang, "Compact and low-loss ESD protection design for V-band RF applications in a 65-nm CMOS technology," *Proc. of IEEE International Symposium on Circuits and Systems*, 2012, pp. 2127-2130.
- [9] C.-Y. Lin, L.-W. Chu, M.-D. Ker, M.-H. Song, C.-P. Jou, T.-H. Lu, J.-C. Tseng, M.-H. Tsai, T.-L. Hsu, P.-F. Hung, and T.-H. Chang, "ESD protection structure with inductor-triggered SCR for RF applications in 65-nm CMOS process," *Proc. of 2012 IEEE International Reliability Physics Symposium*, 2012.
- [10] M.-D. Ker and W.-Y. Lin, "New design of transient-noise detection circuit with SCR device for system-level ESD protection," *Proc. of IEEE International NEWCAS Conference*, 2012, pp. 81-84.

# 國科會補助計畫衍生研發成果推廣資料表

日期:2012/10/23

國科會補助計畫	計畫名稱: 子計畫五: 先進之靜電放電防護技術開發(I)
	計畫主持人: 柯明道
	計畫編號: 100-2221-E-009-048- 學門領域: 積體電路及系統設計
無研發成果推廣資料	

100 年度專題研究計畫研究成果彙整表

計畫主持人：柯明道		計畫編號：100-2221-E-009-048-				計畫名稱：先進之混合信號式電路設計技術開發--子計畫五：先進之靜電放電防護技術開發(I)	
成果項目		量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）	
		實際已達成數（被接受或已發表）	預期總達成數(含實際已達成數)	本計畫實際貢獻百分比			
國內	論文著作	期刊論文	0	0	0%	篇	
		研究報告/技術報告	0	0	0%		
		研討會論文	0	0	0%		
		專書	0	0	0%		
	專利	申請中件數	0	0	0%	件	
		已獲得件數	0	0	0%		
	技術移轉	件數	0	0	0%	件	
		權利金	0	0	0%	千元	
	參與計畫人力 (本國籍)	碩士生	5	5	100%	人次	
		博士生	2	2	100%		
博士後研究員		0	0	100%			
專任助理		0	0	0%			
國外	論文著作	期刊論文	6	3	100%	篇	
		研究報告/技術報告	0	0	0%		
		研討會論文	4	3	100%		
		專書	0	0	0%	章/本	
	專利	申請中件數	0	0	0%	件	
		已獲得件數	0	0	0%		
	技術移轉	件數	0	0	0%	件	
		權利金	0	0	0%	千元	
	參與計畫人力 (外國籍)	碩士生	0	0	0%	人次	
		博士生	1	1	100%		
博士後研究員		0	0	0%			
專任助理		0	0	0%			

<p>其他成果 (無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	<p>無</p>
--	----------

	成果項目	量化	名稱或內容性質簡述
科 教 處 計 畫 加 填 項 目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

# 國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表  未發表之文稿  撰寫中  無

專利： 已獲得  申請中  無

技轉： 已技轉  洽談中  無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

隨著積體電路產業在台灣的蓬勃發展，以及世界級晶圓代工業務的就近供應，積體電路設計公司已如雨後春筍般地湧現，各式各樣的積體電路產品陸續被研發出來，但其中積體電路產品的靜電放電防護問題以及可靠度問題經常困擾這些積體電路設計公司，甚至使得已研發出來的積體電路產品，因無法符合靜電放電防護以及可靠度的世界標準規定，而無法打入國際市場。積體電路的靜電放電防護以及增強安全操作區域等可靠度之技術，是所有積體電路產品都必需具備之基本需求，因此本計畫所開發之相關可靠度技術將具有非常廣泛之實用度，並可協助業界公司解決此困難的問題。而目前在系統晶片的可靠度方面，因為可靠度不僅影響產品良率，不良產品的使用上更有危害使用人安全之虞，例如車用控制晶片、可攜式裝置、生醫電子系統晶片等等，系統晶片的可靠度要求只會隨著時間及晶片管理複雜度的成長而更為嚴苛。因此，本計畫所開發之技術，將是系統晶片技術是否能被市場接受，並實際應用在現實環境與產品上的關鍵技術之一。

本計畫研發之靜電放電防護以及加強安全操作區域技術，預期將可獲致創新性研究成果，在學術研究上及產業實用性上具有實際價值，進而將其進行專利申請與學術論文發表，且可技術移轉予業界公司，將對我國 IC 產業技術提升具有助益，並且可以加速我國 IC 設計公司的產品進軍國際，協助我國 IC 產業克服此類阻擾晶片量產的棘手問題。此外，積體電路產品需要各類工程師來完成各類電路之設計，但在積體電路之靜電放電防護技術與可靠度研究方面，國內外非常缺乏此類之專業工程師。因此，本計畫針對積體電路產業的需要，特別培育具有此類專業知識與技術之碩博士人才，可協助業界公司處理可靠度等艱困

問題。