

# 行政院國家科學委員會專題研究計畫 成果報告

## 先進之混合信號式電路設計技術開發--總計畫(I) 研究成果報告(精簡版)

計畫類別：整合型  
計畫編號：NSC 100-2221-E-009-095-  
執行期間：100年08月01日至101年07月31日  
執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：柯明道  
共同主持人：陳巍仁、黃有榕、吳介琮  
計畫參與人員：學士級-專任助理人員：卓慧貞

公開資訊：本計畫可公開查詢

中華民國 101 年 10 月 23 日

中文摘要：本整合型研究計畫有幸能夠集合國內從事無線傳輸電路設計之專家、高速連結技術之專家、高性能濾波技術之專家、高性能類比數位轉換技術之專家、以及積體電路可靠度技術之專家，共同成立整合型研究團隊從事「先進之混合信號式電路設計技術開發」整合型研究計畫的研發工作，藉由各相關領域專家之合作，使用奈米級積體電路製程開發先進之混合信號式電路所需之各種核心技術。

本計畫之整合，除了專業技術互補連接之外，最重要之目的是研究資源之整合。本整合型研究計畫主持人組成共同之研究群，所有學生之座位及實驗設備均共同分享使用，同學間交流非常密切。本整合型研究計畫所發展的核心技術非常貼近現今臺灣積體電路設計產業之實際需求，為目前國內積極推動的混合信號式積體電路產業中不可或缺的重要技術。而參與本計畫執行的工作人員能培養最新進的混合信號式電路設計技術，將可成為積體電路產業之高級設計人才，以提昇國內積體電路設計產業之競爭力。

中文關鍵詞：混合信號式積體電路、光連結系統、收發機、高速通訊介面、類比數位轉換技術、積體電路可靠度、靜電放電防護電路

英文摘要：

英文關鍵詞：

# 先進之混合信號式電路設計技術開發－總計畫(I)

## Advanced Mixed-Signal Circuit Design Techniques

計畫編號：NSC 100-2221-E-009-095

執行期限：100 年 08 月 01 日至 101 年 07 月 31 日

主持人：柯明道教授 國立交通大學電子研究所

共同主持人：陳巍仁教授、吳介琮教授、黃有榕教授

### 一、中文摘要

本整合型研究計畫有幸能夠集合國內從事無線傳輸電路設計之專家、高速連結技術之專家、高性能濾波技術之專家、高性能類比數位轉換技術之專家、以及積體電路可靠度技術之專家，共同成立整合型研究團隊從事「先進之混合信號式電路設計技術開發」整合型研究計畫的研發工作，藉由各相關領域專家之合作，使用奈米級積體電路製程開發先進之混合信號式電路所需之各種核心技術。本整合型研究計畫包含五個子計畫，分別是 (1) 高性能光連結系統收發機積體電路；(2) 非接觸鄰近晶片間高速通訊介面技術設計之研究；(3) 先進之 Gm-C 類比濾波器設計技術開發；(4) 高性能類比數位轉換技術；(5) 先進之靜電放電防護技術開發。

本計畫之整合，除了專業技術互補連接之外，最重要之目的是研究資源之整合。本整合型研究計畫五位主持人組成共同之研究群，所有學生之座位及實驗設備均共同分享使用，同學間交流非常密切。本整合型研究計畫所發展的核心技術非常貼近現今臺灣積體電路設計產業之實際需求，為目前國內積極推動的混合信號式積體電路產業中不可或缺的重要技術。而參與本計畫執行的工作人員能培養最新進的混合信號式電路設計技術，將可成為積體電路產業之高級設計人才，以提昇國內積體電路設計產業之競爭力。

### Abstract

To promote the government policy and satisfy the industry's need, this project combines

the resources of several researchers to investigate the mixed-signal circuit techniques in nanoscale CMOS technology. There are 5 sub-projects in this combined project: (1) high-performance transceivers for optical interconnects, (2) the study of contactless high-speed chip-to-chip communication interface design, (3) advanced Gm-C analog filter design techniques, (4) high-performance analog-digital conversion techniques, and (5) development of advanced on-chip ESD protection circuits.

The topics of all the sub-projects are related to the mixed-signal circuit techniques. Besides, the resources of all the sub-projects can be shared in this combined project. In addition, the technical abilities of the graduated students will be enhanced to satisfy the need of IC design industry in Taiwan.

### 二、本年度執行成果

本整合型研究計畫包含四個子計畫，分別是：

- ① 高性能光連結系統收發機積體電路 (陳巍仁教授)；
- ② 非接觸鄰近晶片間高速通訊介面技術設計之研究 (黃有榕教授)；
- ③ 高性能類比數位轉換技術 (吳介琮教授)；
- ④ 先進之靜電放電防護技術開發 (柯明道教授)。

本計畫之整合，除了專業技術互補連接之外，更重要的是研究資源之整合，圖 1 顯示了本整合型計畫各子計畫間之相互支援關係，以下章節將簡述各子計畫之研究成果。

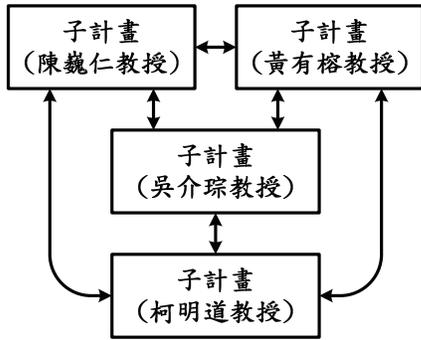


Fig. 1. 本整合型計畫各子計畫間之相互支援關係。

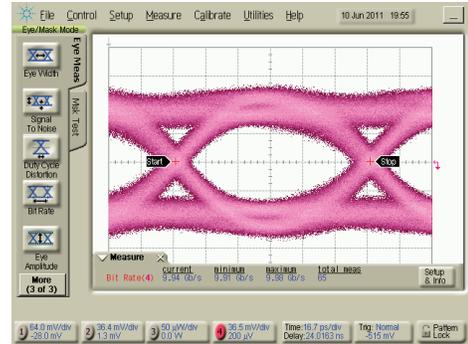


圖 1.2. 量測眼圖。

### 1. 子計畫一：高性能光連結系統收發機積體電路 (陳巍仁教授)

本子計畫的內容包含了：雷射二極體驅動電路、光接收機前端電路與等化器電路之設計，以下將依序介紹各個電路的架構與功能。

#### (1.1) 4 x 10Gb/s 雷射二極體驅動電路

由於光纖傳輸擁有較低 EMI 干擾和較低 cross talk，所以非常適合使用多通道來傳送訊號。本次研究實現 4 通道 2-PAM 的雷射二極體驅動電路，每個通道傳輸 10Gb/s 訊號。

圖 1.1 為系統架構圖，這個設計中，我們使用一個 DFF 來重新取樣訊號，再經由修改後的 Cherry-Hopper 放大器來提供足夠頻寬的放大訊號。此修改後的 Cherry-Hopper 放大器可以產生額外零點。

最後再經過緩衝器來驅動雷射二極體，此緩衝器包含五十歐姆阻抗匹配可以吸收傳輸線上的反射，得到更好的傳輸訊號品質。

此電路使用 TSMC CMOS 90nm 來製作，圖 1.2 為量測眼圖，可以達到 10Gb/s 位元速度，總共功耗 60 毫瓦，單一通道每 Gbps 消耗 1.5mW。

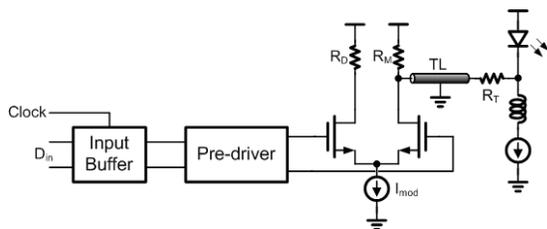


圖 1.1. 四通道 40-Gb/s 雷射二極體驅動電路。

#### (1.2) 4 x 10Gb/s 光接收機電路

由於光二極體寄生效應影響，為了得到足夠頻寬且降低雜訊我們提出的一個巢狀回授 TIA 電路，如圖 1.3 所示。為了節省晶片成本，我們不使用電感，經過模擬，此架構還是可以達到目標傳輸速度。

訊號接著經過後級的限制放大器電路處理，我們可以將 TIA 輸出訊號進一步放大，使 CDR 數位電路可以處理。

本接收機擁有 110 dBΩ 的轉阻增益，-9.5 dBm 的光敏感度，而最後輸出擺幅可以達到 420 mVpp。

為了增加資料頻寬且搭配四通道的雷射驅動電路，我們同樣使用四通道設計，使用 90-nm CMOS 製程，晶片面積為 1.3 x 0.63 mm<sup>2</sup>，每通道之間距為 250-μm 可以符合光接收機通道之規格，圖 1.4 為量測眼圖。

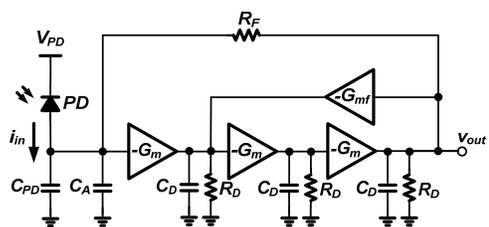


圖 1.3. 本計畫提出的轉阻放大器電路。

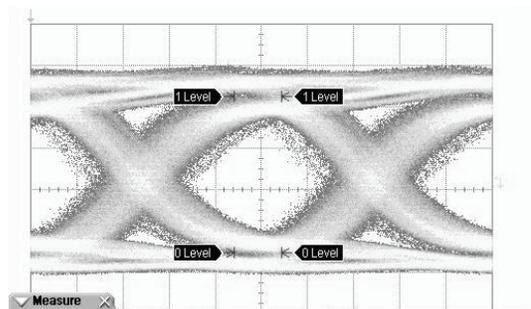


圖 1.4. 光接收機量測眼圖。

### (1.3) 單通道 40 Gb/s 光接收機電路

本研究為一個操作於 40 Gb/s 的光通訊接收機，整體架構中包含了一個轉阻放大器和一個後級限幅放大器，以應用在 OC-768 同步光纖網路之接收機前端。使用的系統架構如圖 1.5 所示。

此核心放大器的架構也採用前面所介紹的零點套疊式主動回授 Cherry-Hooper 放大器，並且為了減少電感數，只於核心放大器的第一級加上並聯峰化(Shunt peaking) 電感，希望藉由這兩個機制提供的增益峰化值來增加轉阻放大器頻寬。

此外，為了達到 40Gb/s 操作速度，本設計同時採用電感串聯峰化(Series peaking) 的方式來更進一步拓展頻寬，故最後的轉阻放大器完整架構如圖 1.6 所示。

此晶片採用 65nm CMOS 標準製程，晶片面積為 0.825 mm<sup>2</sup>。

量測結果顯示本接收器提供 92 dB 的整體轉換增益、35 GHz 的-3dB 頻寬、以及 800 mVpp 輸出擺幅，頻率響應圖如圖 1.7 所示，40Gb/s 的眼圖如圖 1.8 所示，本設計提供極佳之功耗對增益及頻寬之轉換效率(0.12mW/K ΩGHz)。

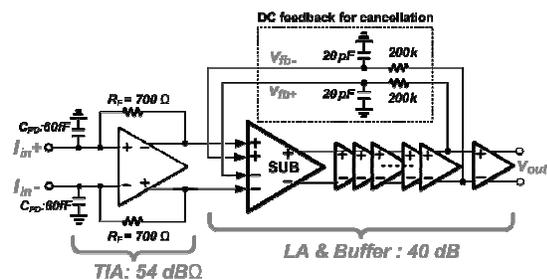


圖 1.5. 光接收機前端電路架構。

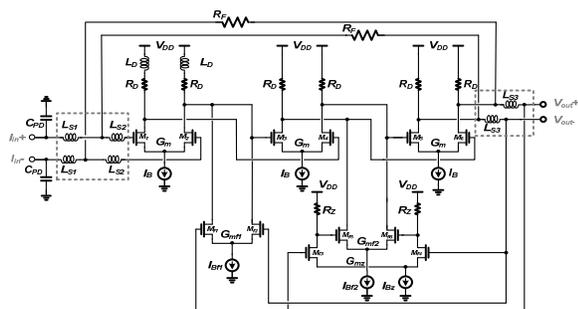


圖 1.6. 本計畫提出的轉阻放大器電路。

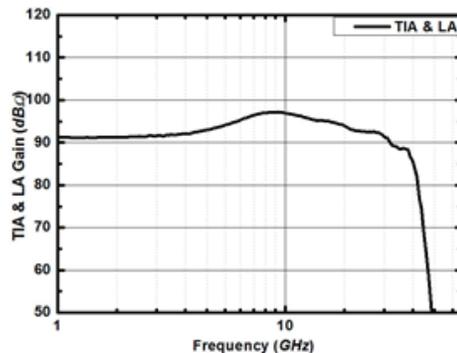


圖 1.7. 頻率響應圖。

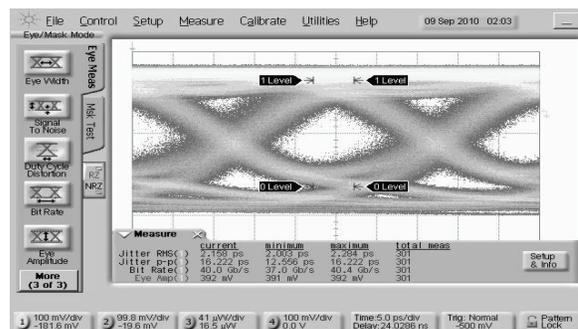


圖 1.8. 40Gb/s 量測眼圖。

## 2. 子計畫二：非接觸鄰近晶片間高速通訊介面技術設計之研究 (黃有榕教授)

本計畫提出了“交流耦合互連”(AC coupled interconnect; ACCI) 傳輸接收電路，由反饋電阻放大器組成的一個自偏置的非接觸式的傳輸方式。

電容式耦合晶片傳輸端的設計電路較為簡單，需要有足夠的驅動即可，且所需的耦合電容面積小，相當適合應用在多個晶片之間的整合。接收端的電路和傳輸方式及準確之訊號接收回復有關，如圖 2.1 所示。

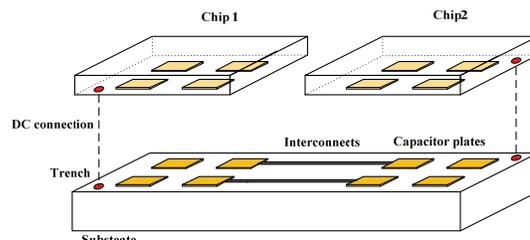


圖 2.1. 利用電容耦合的非接觸式晶片互連結構。

採用 AC 耦合互連的封裝結構具有很多潛在的好處，其機械結構簡單，因此可以避免體

積縮小化後所產生的問題，如引腳、插孔的對齊或是插入的機械力大小。傳統焊接連接因連接面材料性質不同，易導致連接面缺陷及滑動，進而造成對準誤差導致影響連接面之可靠性。反之，對電容器的電極板或電感器而言，不會因為 ACCI 相互連接兩晶片時，材料的熱膨脹係數不同而使其可造性與可靠性受限制。

對 AC 電容耦合系統而言，需要有顧及發射端及接收端之電路設計，發射端電路需考慮訊號經由 taped buffer 電路傳送到發射端之 Pad 進行電容耦合傳輸，其電路設計相較於接收端電路設計比較簡單。接收端電路設計須滿足最大傳送速度之接收訊號完整性，其電路設計相較於發射端電路更具挑戰性。接收端電路設計基本上可為一 Single-sided 電路，訊號由 Receiver 輸入端輸入，經由 CMOS 反相放大器，傳至 latch，訊號由 latch 栓鎖後，再將接收訊號傳送至後端電路進行運算，CMOS 反相放大器經由迴授電路設計，使其偏壓座落在之線性區段位置，方能達到其訊號放大效果。若以電阻 R 作為迴路電路設計，迴路電阻 R 在類比設計電路中，所占的面積過大，不利於硬體空間的佈局。

在傳輸端電路中如圖 2.2，為設計一 CMOS 反相器連接至傳輸端金屬板(Tx Pad)，可藉由傳輸電路將訊號放大，進而讓電路有足夠的力量驅動。換句話說，有足夠的驅動力才能使訊號藉由 Tx Pad 與 Rx Pad 所組合而成的耦合電容傳輸至接收端電路。回授反向器之功能是給予接收端所接收到的訊號之偏壓，進而讓訊號可以跨過反向器的臨界電壓。因此，接收端之反向器與回授反向器可用來控制接收端之工作情形。然而，值得注意的是，當 Vb 電壓設為 1.8V，即工作電壓偏壓在 0.9V 左右且耦合訊號可通過反相器的臨界電壓之情況下，即可達到放大訊號之效果。

其中，在 O1 與 O1 間之反向放大器，能使其 O1 輸出後之訊號反向放大，進而利用後方 O2 與 O3 間的反向放大器再次將訊號放大以達到訊號傳輸之目的。因此，當訊號由傳輸端通過耦合電容時，會經過三個反向器依序放大，最後訊號則可回復於原來之訊號，即傳輸端 Tx 與接收端之輸出 Vout(O3)為相同訊號。

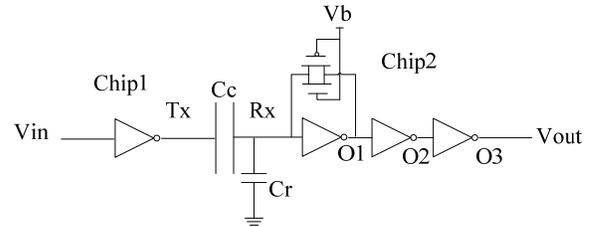


圖 2.2. 電容耦合通訊架構。

CMOS 反相放大器的增益會隨迴路電阻而改變，並進一步影響接收端之訊號。本計畫探討以 transmission gate 當作主動負載時，在不同偏壓下對訊號完整性之研究。在 HSPICE 模擬下如圖 2.3 所示，其 P 型 MOS 參數為  $W=1.5\mu\text{m}$ ，N 型 mos 參數為  $W=0.5\mu\text{m}$ ，電壓在 1.8V 下模擬，ron\_pn 曲線為我們所需求的電阻量，其值為 ron\_p 和 ron\_n 並聯，的到最大電阻值 10.4kΩ 在 0.844V 下，藉由跨阻放大器將電壓放大並經過數級放大器其訊號穩定下後，RX+和 RX-即做及開並輸出訊號結果。

進一步模擬在 2 Corner Case(FF、SS)下，主要針對 CMOS 製程時可能會發生最好與最差的情況先去分析，並且對電路做改善的動作。訊號藉由電容耦合時，造成訊號傳遞到 Rx 端的衰減，在 FF case，大約由 1.45V 的壓差變成 100mV 的壓差，而在 SS case 時，由 800mV~1.64V 的壓差為 840mV 變成 70mV 的壓差。

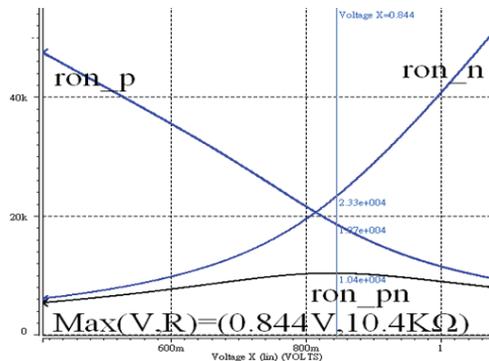


圖 2.3. Transmisson Gate 之可變電阻特性。

ACCI 之佈局考量除了在於傳輸端 CMOS 反相器以外，亦須加入金屬板進而讓傳輸端與接收端間具有電容耦合效應產生。而在電路模擬中，Cc 電容為假設傳輸端與接收端之間的電容值。由於在電路 layout 中是以兩塊金屬板互相靠近形成電容耦合，因此在傳輸端上為 Tx

Pad 最上層 Metal 6 長為 50um 與寬 50um 之金屬層；Metal 5 為長 16um、寬 16um，而 Metal 1 至 Metal 4 金屬層之大小都一致為長 6um、寬 6um。對於接收端 Rx Pad 最上層 Metal 6 為長 36um、寬 36um，Metal 5 的長為 10um、寬為 10um，Metal 1 至 Metal 4 大小則與 Tx Pad 端相同為長 6um、寬 6um。電路佈局中，盡量讓寄生電容愈少愈好。在電路最外圍畫上一圈保護環，保護環由金屬層 Metal 1 至 Metal 6 組成，分別在金屬層接上 VDD 與 VSS，讓電路在高速運作時減少雜訊干擾。在保護環的四角都做切角的動作，此方法可讓晶片切割時減少斷裂的機會。電路中使用金屬層 Metal 5 與 Metal 6 來佈局 IO PAD，使用雙層金屬用意為加強 IO PAD 的機械硬力，減低 IO PAD 因量測下針所造成的破壞。

整體電路佈局及採用 65nm 1P9M TSMC CMOS 製程晶片實作。在電源電壓的 1V 和 10Gbps 的數據速率進行測量時，接收器的功耗為 275 mW。接收電路測量的輸出電壓波形如圖 2.4 所示。圖中所示的測量結果是從 16 Mbps 到 11.2Gbps 帶寬的數據速率。

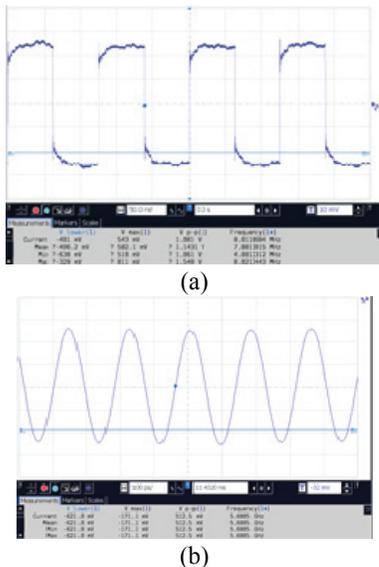


圖 2.4. ACCI 電路測量結果(a)16Mbps；(b)11.2 Gbps。

本計畫提出了 ACCI 傳輸接收電路，由反饋電阻放大器組成的一個自偏置的非接觸式的傳輸方式。此電容耦合電路經由 65nm 1P9M CMOS 製程完成晶片實作及量測驗證。測試結果顯示在電源電壓 1V 時其晶片與晶片資料傳

輸速率可達 10 Gbps。由於數據量的不斷增加，為提升產品功能性則晶片與晶片間的數據傳輸速度乃扮演關鍵性之角色，故進一步將 ACCI 電路加以改良乃為未來重要之研發方向。

### 3. 子計畫四：高性能類比數位轉換技術 (吳介琮教授)

本子計畫研究在奈米 CMOS 製程下的混合訊號式積體電路設計技術，將利用數位信號處理 (DSP) 的方法來彌補先進製程所造成的非理想效應，進而完成高效能的混合信號式積體電路。今年度的結案報告將描述一個我們設計並且量測成功的 10-bit 200-MS/s pipelined ADC 晶片，此晶片是以 65m CMOS 製程製作。我們提出雙路徑訊號放大的技術來產生 Pipeline Stage 的餘數。我們將每一 Pipeline Stage 切分粗階 MDAC 以及細階 MDAC。它們所用的運算放大器需要不同的規格。不同規格的運算放大器可以分別設計與最佳化。運算放大器在不需要時會被關掉以節省耗電。我們利用時間交錯電容組將雙路徑訊號放大技術運用於 Pipeline Stage。當取樣頻率達 200MS/s 時，此 ADC 只需從 1 V 電源消耗 5.37 mW。此 ADC 在整個 Nyquist Band 輸入頻率都至少有 55 dB 的量測到的 SNDR 性能。此 ADC 晶片的面積是 0.19mm<sup>2</sup>。以下將簡述此晶片的設計。

#### (3.1) A CMOS 5.37-mW 10-Bit 200-MS/s Dual-Path Pipelined ADC

A pipelined ADC consists of a cascade of pipeline stages. Each pipeline stage uses the quantized-feed forward conversion operation to resolve its input into a digital code and an analog residue. The residue then serves as the input for the next stage. In most cases, it is the accuracy and speed of this residue generation that determines the overall performance of a pipeline ADC. In CMOS technologies, the residue generation is realized using a multiplying digital-to-analog converter (MDAC), consisting of an opamp, switches, and capacitors. It is the opamp that determines the performance of an MDAC. Key opamp specifications are dc gain,

frequency response, noise, output signal range, and power consumption. A high-performance opamp consumes large power.

We have designed a CMOS low-power 10-bit 200-MS/s pipelined ADC. Its resolution is achieved by the inherent capacitor matching of the technology. We avoided digital calibration to keep design simple. We employed a dual-path amplification technique for residue generation. An MDAC is split into two different paths. One path generates a large-swing signal that may not be accurate due to the non-ideal opamp. The other path provides signal accuracy but needs only to generate a small-swing signal. This amplification technique uses two different types of opamps, which have different requirements and can be designed and optimized separately. To save power, the opamps are turned off when not in use. The opamps must be able to wake up quickly for high-speed operation. In the dual-path configuration, opamps can be designed with fast turn-on time. We also redesigned the pipeline stages to accommodate the dual-path techniques. We use time-interleaving capacitor sets to increase the amplification time for the opamps, leading to further power reduction. This ADC was fabricated using a standard 65-nm CMOS technology.

We propose a dual-path amplification technique for residue generation. Fig. 3.1 shows the 1st pipeline stage using the dual-path architecture. It includes a coarse-stage MDAC and a fine-stage MDAC. The coarse stage generates a residue  $V_{2c}$ , which may deviate from  $V_{2,ideal}$  due to the non-ideal opamp in the MDAC. The fine stage also performs the normal MDAC function, but its output is subtracted by  $V_{2c}$ , yielding  $V_{2f}$ . The overall intended output  $V_2$  is

$$V_2 = V_{2c} + V_{2f}$$

Voltage  $V_{2c}$  can be treated as an estimate of  $V_{2,ideal}$ . The difference between the ideal residue  $V_{2,ideal}$  and  $V_{2c}$  is recovered by  $V_{2f}$ .

In this dual-path architecture, the coarse stage generates a large-swing signal to emulate  $V_{2,ideal}$ . The fine stage determines the accuracy and noise performances of the entire pipeline stage, but needs only to generate a small-swing signal. The opamps in these two stages have

different requirements. They can be designed and optimized separately, leading to a better overall MDAC performance. It can be shown that, comparing to a conventional MDAC with two-stage opamp, this dual-path design provides similar accuracy and speed but consumes only 50% of the power.

Fig. 3.2 shows a 10-bit pipelined ADC using the dual-path amplification technique described. Each conventional pipeline stage is split into a coarse stage and a fine stage. Consider the 1st pipeline stage. It is split into a coarse stage 1C and a fine stage 1F. Its input is  $V_1$  and its two outputs are  $V_{2c}$  and  $V_{2f}$ . Clock  $\Phi 1$  is split into  $\Phi 1a$  and  $\Phi 1b$ . Input  $V_1$  is available during  $\Phi 1a$ . It is sampled by stages 1C and 1F, and is also quantized into code  $D_1$  in  $\{-1,0,+1\}$ . Stage 1C is enabled during  $\Phi 1b$ . Its output  $V_{2c}$  is sampled by stage 1F and the 2nd stage. Stage 1F is enabled during the entire  $\Phi 2$  period. Its output  $V_{2f}$  is sampled by the second stage.

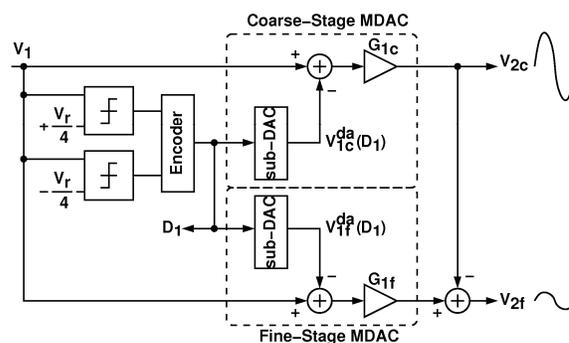


Fig. 3.1. A dual-path pipeline stage.

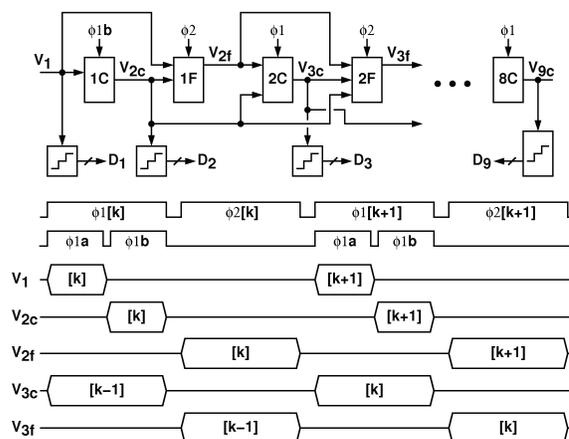


Fig. 3.2. Dual-path pipelined ADC architecture.

Consider the 2nd pipeline stage, it is split into a coarse stage 2C and a fine stage 2F. Its two inputs are the coarse input  $V_{2c}$  and the fine input  $V_{2f}$ . Stage 2C samples  $V_{2c}[k]$  during  $\Phi_{1b}[k]$  and  $V_{2f}[k]$  during  $\Phi_2[k]$ . Its output  $V_{3c}[k]$  is generated during  $\Phi_1[k+1]$ . Stage 2F samples  $V_{2c}[k]$  during  $\Phi_{1b}[k]$ ,  $V_{2f}[k]$  during  $\Phi_2[k]$ , and  $V_{3c}[k]$  during  $\Phi_1[k+1]$ . Its output  $V_{3f}[k]$  is generated during  $\Phi_2[k+1]$ .

Excluding the 1st pipeline stage, all other pipeline stages employ the same architecture and the same timing scheme. Each stage has two inputs, a coarse input and a fine input. The effective input is the summation of the coarse input and the fine input. Each pipeline stage comprises a coarse stage and a fine stage. Both the coarse stage and the fine stage have an amplification time of half clock period in each clock cycle. Each pipeline stage includes a sub-ADC, which quantizes the coarse stage's output. The sub-ADC has the entire  $\Phi_2$  period for quantization operation. Note that the design of the 1st pipeline stage is different. It receives only one input,  $V_1$ . Stage 1C has only the 1b period for amplification. The sub-ADC that quantizes  $V_1$  has a quantization time shorter than the 1b period.

The ADC was fabricated using a standard 65nm CMOS process. Fig. 3.3 shows the chip micrograph. It has an active area of  $0.19\text{mm}^2$ , including clock generator and encoder. All capacitors are standard metal-oxide-metal (MOM) capacitors. The chip was mounted directly on a circuit board for testing. Voltage references are externally supplied. At 200MS/s sampling rate, the total power consumption of the ADC is 5.37mW, among which the opamps consume 3.11mW, the comparators consume 0.11mW, the digital encoder consumes 0.36mW, and the clock drivers consume 1.55mW.

Fig. 3.4 shows the measured differential nonlinearity (DNL) and integral nonlinearity (INL). The maximum DNL is  $+0.08/-0.38\text{LSB}$ , and the maximum INL is  $+1.36/-1.29\text{LSB}$ . Fig. 3.5 shows the dynamic performance versus input frequency measured at 200MS/s sampling rate. At low input frequencies, the signal-to-noise-plus-distortion ratio (SNDR) is 57dB and the spurious-free dynamic range (SFDR) is 64dB. The measured effective

solution bandwidth (ERBW) is above 100MHz. Table 3.1 is the ADC performance summary. This ADC consumes 5.37mW from a 1V supply. The differential input signal range is 1.3Vpp.

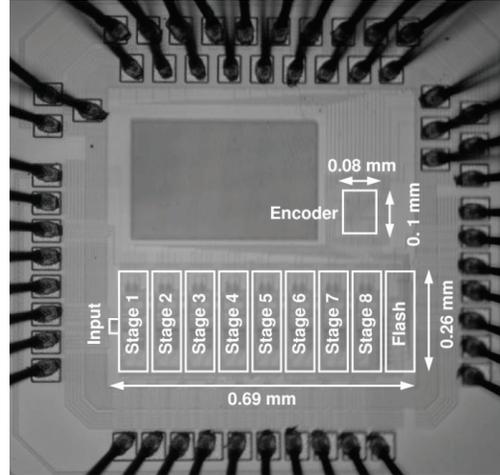


Fig. 3.3. ADC chip micrograph.

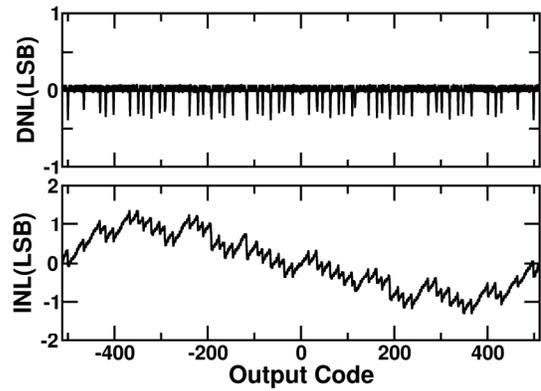


Fig. 3.4. Measured DNL and INL.

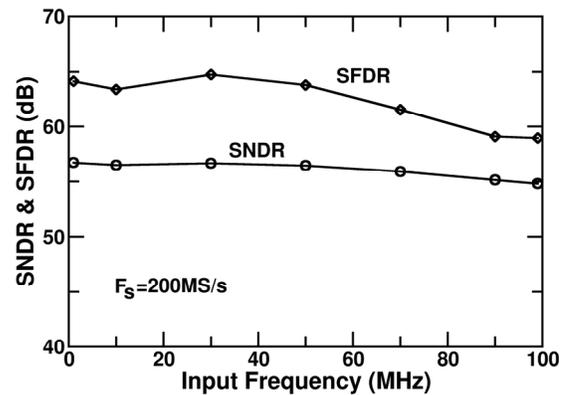


Fig. 3.5. Measured SNDR and SFDR.

Table 3.1: ADC performance summary.

Technology	CMOS 65 nm
Power Supply	1 V
Differential Input Range	1.3 V <sub>pp</sub>
Input Capacitance (Per Pin)	720 fF
Resolution	10 Bits
Sampling Rate $f_s$	200 MS/s
DNL	+0.08/-0.38 LSB
INL	+1.36/-1.29 LSB
SNDR @ $f_{sig} = 1$ MHz	57.1 dB
SNDR @ $f_{sig} = 99$ MHz	54.8 dB
Power Consumption	5.37 mW
Core Area	0.19 mm <sup>2</sup>
FOM	48 fJ/conv.-step

在本年度，我們成功設計並製作了一個 5.37-mW 10-bit 200-MS/s pipelined ADC 晶片。此晶片驗證了我們提出的新型雙路徑訊號放大的技術。此技術可以有效的降低電路的功率消耗，同時提升電路的性能。此 ADC 晶片成果已經發表於 2012 IEEE International Solid-State Circuits Conference (ISSCC) 國際知名會議，並入選將發表於 2012/12 IEEE Journal of Solid-State Circuits (JSSC) 期刊的 ISSCC 特刊。通常只有 20% 的 ISSCC 論文會被邀請發表在 JSSC 特刊。

#### 4. 子計畫五：先進之靜電放電防護技術開發 (柯明道教授)

本計畫的研究成果有：奈米製程下射頻電路之靜電放電防護設計、奈米製程下元件充電模式之靜電放電防護探討、高壓製程之靜電放電防護設計及高壓元件安全操作區域之研究、系統層級之靜電放電防護設計。詳細研究成果內容，請參閱以下章節。

##### (4.1) 射頻電路之靜電放電防護設計

本計畫針對 V 頻段(V-Band)的應用，於 60-GHz 低雜訊放大器進行靜電放電防護設計之研究。第一種是使用電感電容串連架構，搭配雙向二極體做為輸入輸出端之靜電放電防護元件，如圖 4.1 所示。此設計已經使用 65-nm CMOS 製程實際製作出多組驗證晶片，結果指出，雙向二極體的晶片佈局必須大於週長 30 $\mu$ m，方可達到一般工業界人體放電模式 (HBM) 2kV 的標準。

另外，本研究提出第二種設計，則是使用一電感元件與矽控整流器(SCR)結合，整體設計如圖 4.2 所示。此設計已經使用 65-nm CMOS 製程實際製作出多組驗證晶片。在同樣的應用下，不同設計 design I 與 design II 的比較中，因為 design II 的所加入的矽控整流器搭配觸發電路的效果下，能夠提供一額外靜電防護效果，增加靜電防護的耐受度，因此 design II 只要在雙向二極體佈局週長 23  $\mu$ m 的製作下，即可達到人體放電模式 2kV 的目標。

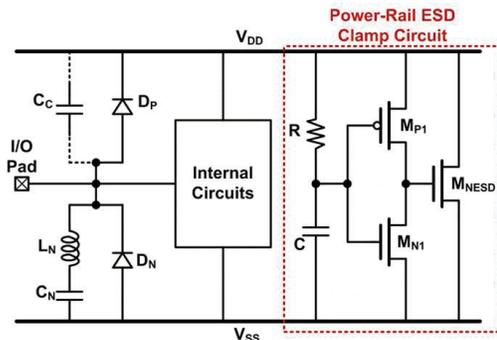


圖 4.1. Proposed ESD protection design I.

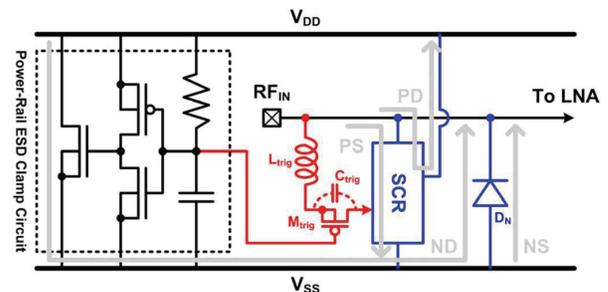


圖 4.2. Proposed ESD protection design II.

##### (4.2) 奈米製程下元件充電模式之靜電放電防護探討

一般而言，遭受元件充電模式 (Charged-Device Model, CDM) ESD 破壞的位置，經常發生於輸入輸出的銜接區域，然在經過 CDM 測試的實驗晶片中，發現破壞的位置座落於內部電路，如圖 4.3 顯微照片所示。因此，研究結果顯示中，CDM 測試後的損壞位置並非只發生於輸入輸出端，在沒有銜接輸入輸出腳位的內部電路，因 CDM 現象產生的耦合電流，同樣會使內部電路遭受 CDM 現象破壞的可能，這樣的現象在更先進的製程下，未來需要更加重視。

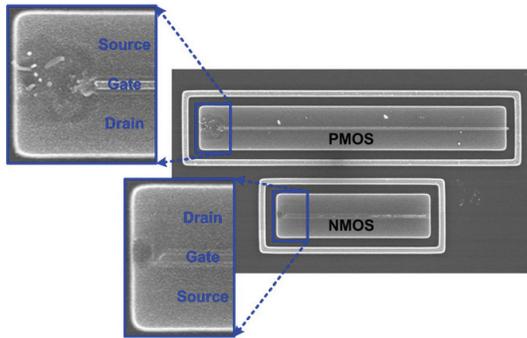


圖 4.3. SEM photo of core circuit after 500-V CDM ESD test.

#### (4.3) 高壓製程之靜電放電防護設計及高壓元件安全操作區域之研究

針對工業界的案例需求，本子計畫於一高壓製程電路方案之應用中加入改進方法，藉由改善佈局方式進而提高過度電性應力 (Electrical Overstress, EOS) 的容忍能力，此外為了能更進一步增加容忍能力，亦提出了一偵測電路以及補償電路，其提出之改善電路圖如圖 4.4 所示。此提出的方法已於 0.6- $\mu\text{m}$  40 伏特 Bipolar-CMOS-DMOS (BCD) 製程製作出實驗晶片並成功驗證。

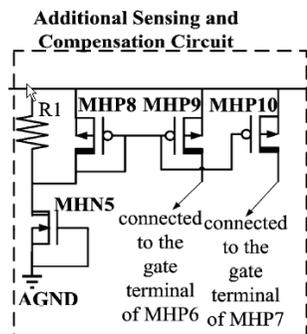


圖 4.4. New proposed sense and compensation circuit.

除了靜電放電等等的可靠度問題，高壓元件中之安全操作區域 (Safe Operating Area, SOA) 已儼然為另一個重要的可靠度議題。本研究實驗了不同附載所引發的 SOA 現象，並提出一些改進方法，改善 SOA 問題。在電路應用方面，可以增加電路技巧例如置入齊納二極體、電阻等等，使引發 SOA 的條件改變進而改善。而在製程方面，改善方法有置入額外基底參雜層、電流趨勢配置、和改變佈局方式。然在一般積體電路設計公司無法直接改變製程參數的情況下，只能以改變佈局方式來達

成，再利用佈局的變異情況下，改變原寄生元件的形成或置入，將可以達到同樣的效果。

#### (4.4) 系統層級之靜電放電防護設計

由系統層級靜電放電測試所引起的可靠度問題來自於多功能整合型的積體電路設計。圖 4.5 是我們所提出的四位元暫態偵測電路，此偵測電路是利用反相器電路架構以及電阻電容延遲效應來設計。此暫態偵測電路已於 0.13- $\mu\text{m}$  1.8-V CMOS 製程中實作，在系統層級靜電放電或是快速暫態脈衝發生時，已成功驗證可偵測出發生在電源線上的暫態干擾訊號並紀錄，使電子產品在受到電磁干擾而故障時，可配合韌體或軟體設定送出重新啟動訊號 (reset) 使系統自動作回復的動作，圖 4.6 為實際應用於手機面板的量測架設圖。

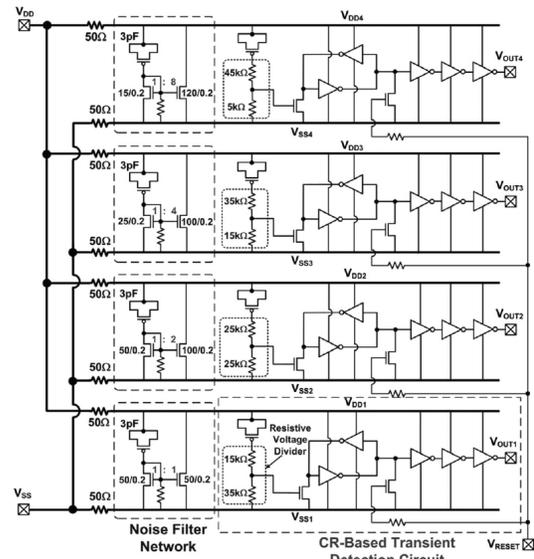


圖 4.5. Proposed 4-bit transient-to-digital converter.

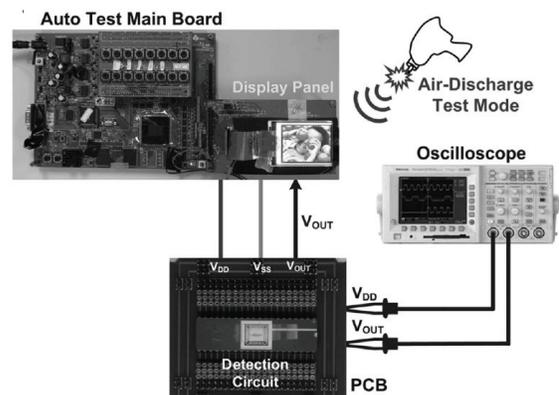


圖 4.6. Measurement setup for system-level ESD test.

### 三、結論

此整合型計畫已於 101 年 7 月 31 日執行完畢，由實際晶片驗證，並與模擬結果獲得相互佐證。截至目前為止，已發表 10 篇國際期刊論文與 8 篇國際會議論文。詳細研究成果內容，敬請參閱我們所發表之論文。

最後，感謝國科會的研究計畫經費支持，使得這些高度需求的研究議題能順利進行，進而提升學術界的研發能力，謝謝。

### 四、已發表論文

#### Journal

- [1] T.-Y. Lu, C.-Y. Yu, **Wei-Zen Chen**, and C.-Y. Wu, "Wide tuning range 60 GHz VCO and 40 GHz DCO using single variable inductor," *IEEE Trans. Circuits and Systems. I: Reg. Papers*, in press. (SCI)
- [2] T.-Y. Lu and **Wei-Zen Chen**, "A 3-10 GHz, 14-band CMOS frequency synthesizer with spurs reduction for MB-OFDM UWB system," *IEEE Trans. Very Large Scale Integration Systems*, vol. 20, no. 5, pp. 948-958, May 2012. (SCI)
- [3] **Wei-Zen Chen**, W.-W. Ou, T.-Y. Lu, S.-T. Chou, and S.-Y. Yang, "A 2.4 GHz reference-less wireless receiver for 1-Mbps QPSK demodulation," *IEEE Trans. Circuits and Systems. I: Reg. Papers*, vol. 59, no. 3, pp. 505-514, Mar. 2012. (SCI)
- [4] Y. Chai and **Jieh-Tsorng Wu**, "A CMOS 5.37-mW 10-Bit 200-MS/s dual-path pipelined ADC," *IEEE J. Solid-State Circuits*, in press. (SCI)
- [5] H.-W. Tsai and **Ming-Dou Ker**, "Layout consideration and circuit solution to prevent EOS failure induced by latchup test in a high-voltage integrated circuits," *IEEE Trans. Device and Materials Reliability*, in press. (SCI)
- [6] C.-Y. Lin, T.-L. Chang, and **Ming-Dou Ker**, "Investigation on CDM ESD events at core circuits in a 65-nm CMOS process," *Microelectronics Reliability*, vol. 52, no. 11, pp. 2627-2631, Nov. 2012. (SCI)
- [7] C.-Y. Lin, L.-W. Chu, S.-Y. Tsai, and **Ming-Dou Ker**, "Design of compact ESD protection circuit for V-band RF applications in a 65-nm CMOS technology," *IEEE Trans. Device and Materials Reliability*, vol. 12, no. 3, pp. 554-561, Sep. 2012. (SCI)
- [8] W.-Y. Chen and **Ming-Dou Ker**, "Characterization of SOA in time domain and the improvement techniques for using in high-voltage integrated circuits," *IEEE Trans. Device and Materials Reliability*, vol. 12, no. 2, pp. 382-390, Jun. 2012. (SCI)
- [9] C.-Y. Lin, L.-W. Chu, and **Ming-Dou Ker**, "ESD protection design for 60-GHz LNA with inductor-triggered SCR in 65-nm CMOS process," *IEEE Trans. Microwave Theory and Techniques*, vol. 60, no. 3, pp. 714-723, Mar. 2012. (SCI)
- [10] **Ming-Dou Ker** and C.-C. Yen, "New 4-bit transient-to-digital converter for system-level ESD protection in display panels," *IEEE Trans. Industrial Electronics*, vol. 59, no. 2, pp. 1278-1287, Feb. 2012. (SCI)

#### Conference

- [1] **Wei-Zen Chen**, T.-Y. L., Y.-T. Wang, J.-T. Jian, Y.-H. Yang, G.-W. Huang, W.-D. Liu, C.-H. Hsiao, and S.-Y. Lin, "A 160-GHz receiver-based phase-locked loop in 65 nm CMOS technology," in *Proc. IEEE Symposium on VLSI Circuits*, 2012, pp. 12-13.
- [2] Y.-H. Chen and **Wei-Zen Chen**, "A 0.6-7 Gbps, 1/7 rate, burst mode clock and data recovery circuit and demultiplexer," in *Proc. IEEE RFIC Symposium*, 2012, pp. 531-534.
- [3] S.-T. Chou, S.-H. Huang, Z.-H. Hong, and **Wei-Zen Chen**, "A 40 Gbps optical receiver analog front-end in 65 nm CMOS," in *Proc. IEEE International Symposium on Circuits and Systems*, 2012, pp. 1736-1739.
- [4] Y. Chai and **Jieh-Tsorng Wu**, "A 5.37mW 10b 200MS/s dual-path pipelined ADC," *IEEE International Solid-State Circuits Conference (ISSCC)*, 2012, pp. 462-463.
- [5] L.-W. Chu, C.-Y. Lin, S.-Y. Tsai, **Ming-Dou Ker**, M.-H. Song, C.-P. Jou, T.-H. Lu, J.-C. Tseng, M.-H. Tsai, T.-L. Hsu, P.-F. Hung, T.-H. Chang, and Y.-L. Wei, "Design of ESD protection cell for dual-band RF applications in a 65-nm CMOS process," in *Proc. of Electrical Overstress / Electrostatic Discharge Symposium*, 2012, pp. 331-335.
- [6] L.-W. Chu, C.-Y. Lin, S.-Y. Tsai, **Ming-Dou Ker**, M.-H. Song, C.-P. Jou, T.-H. Lu, J.-C. Tseng, M.-H. Tsai, T.-L. Hsu, P.-F. Hung, and T.-H. Chang, "Compact and low-loss ESD protection design for V-band RF applications in a 65-nm CMOS technology," in *Proc. IEEE International Symposium on Circuits and Systems*, 2012, pp. 2127-2130.
- [7] C.-Y. Lin, L.-W. Chu, **Ming-Dou Ker**, M.-H. Song, C.-P. Jou, T.-H. Lu, J.-C. Tseng, M.-H. Tsai, T.-L. Hsu, P.-F. Hung, and T.-H. Chang, "ESD protection structure with inductor-triggered SCR for RF applications in 65-nm CMOS process," in *Proc. IEEE International Reliability Physics Symposium*, 2012.
- [8] **Ming-Dou Ker** and W.-Y. Lin, "New design of transient-noise detection circuit with SCR device for system-level ESD protection," in *Proc. IEEE International NEWCAS Conference*, 2012, pp. 81-84.

# 國科會補助計畫衍生研發成果推廣資料表

日期:2012/10/23

國科會補助計畫	計畫名稱: 總計畫(I)
	計畫主持人: 柯明道
	計畫編號: 100-2221-E-009-095- 學門領域: 積體電路及系統設計
無研發成果推廣資料	

100 年度專題研究計畫研究成果彙整表

計畫主持人：柯明道		計畫編號：100-2221-E-009-095-					
計畫名稱：先進之混合信號式電路設計技術開發--總計畫(I)							
成果項目		量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）	
		實際已達成數（被接受或已發表）	預期總達成數(含實際已達成數)	本計畫實際貢獻百分比			
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	0	0	100%		
		專書	0	0	100%		
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 (本國籍)	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	1	1	100%		
國外	論文著作	期刊論文	10	10	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	8	8	100%		
		專書	0	0	100%	章/本	
	專利	申請中件數	0	0	100%	件	
		已獲得件數	0	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力 (外國籍)	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

<p style="text-align: center;">其他成果</p> <p>(無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)</p>	<p style="text-align: center;">無</p>
---	--------------------------------------

	成果項目	量化	名稱或內容性質簡述
科 教 處 計 畫 加 填 項 目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與(閱聽)人數	0	

# 國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

## 1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

達成目標

未達成目標（請說明，以 100 字為限）

實驗失敗

因故實驗中斷

其他原因

說明：

## 2. 研究成果在學術期刊發表或申請專利等情形：

論文： 已發表  未發表之文稿  撰寫中  無

專利： 已獲得  申請中  無

技轉： 已技轉  洽談中  無

其他：（以 100 字為限）

## 3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

本整合型研究計畫有幸能夠集合國內從事無線傳輸電路設計之專家、高速連結技術之專家、高性能濾波技術之專家、高性能類比數位轉換技術之專家、以及積體電路可靠度技術之專家，共同成立整合型研究團隊從事「先進之混合信號式電路設計技術開發」整合型研究計畫的研發工作，藉由各相關領域專家之合作，使用奈米級積體電路製程開發先進之混合信號式電路所需之各種核心技術。

本計畫之整合，除了專業技術互補連接之外，最重要之目的是研究資源之整合。本整合型研究計畫主持人組成共同之研究群，所有學生之座位及實驗設備均共同分享使用，同學間交流非常密切。本整合型研究計畫所發展的核心技術非常貼近現今臺灣積體電路設計產業之實際需求，為目前國內積極推動的混合信號式積體電路產業中不可或缺的重要技術。而參與本計畫執行的工作人員能培養最新進的混合信號式電路設計技術，將可成為積體電路產業之高級設計人才，以提昇國內積體電路設計產業之競爭力。

此整合型計畫已於 101 年 7 月 31 日執行完畢，由實際晶片驗證，並與模擬結果獲得相互佐證。截至目前為止，已發表 10 篇國際期刊論文與 8 篇國際會議論文。詳細研究成果內容，敬請參閱我們所發表之論文。