

行政院國家科學委員會專題研究計畫 期中進度報告

高介電常數鈦酸鋇基閘極氧化物及元件的製作、結構與特性 研究(2/3)

計畫類別：整合型計畫

計畫編號：NSC94-2215-E-009-013-

執行期間：94 年 08 月 01 日至 95 年 07 月 31 日

執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：曾俊元

報告類型：精簡報告

報告附件：出席國際會議研究心得報告及發表論文

處理方式：本計畫涉及專利或其他智慧財產權，2 年後可公開查詢

中 華 民 國 95 年 5 月 18 日

行政院國家科學委員會補助專題研究計畫 ☐ 成果報告
☒ 期中進度報告

高介電常數鈦酸鋇基閘極氧化物及元件的製作、結構與特性
研究(2/3)

計畫類別：☒ 個別型計畫 ☐ 整合型計畫

計畫編號：NSC94-2215-E-009-013

執行期間：94 年 08 月 01 日至 95 年 07 月 31 日

計畫主持人：曾俊元

共同主持人：

計畫參與人員：

成果報告類型(依經費核定清單規定繳交)：☒ 精簡報告 ☐ 完整報告

本成果報告包括以下應繳交之附件：

- ☐ 赴國外出差或研習心得報告一份
- ☐ 赴大陸地區出差或研習心得報告一份
- ☐ 出席國際學術會議心得報告及發表之論文各一份
- ☐ 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、
列管計畫及下列情形者外，得立即公開查詢
☐ 涉及專利或其他智慧財產權，☐ 一年 ☐ 二年後可公開查詢

執行單位：國立交通大學電子研究所

中 華 民 國 95 年 05 月 31 日

摘要

我們利用交流磁控濺鍍法，濺鍍鈦酸鋇-二氧化矽($\text{SrTiO}_3\text{-SiO}_2$)非晶質薄膜於P型矽基板上，作為高介電常數閘極氧化層。材料分析的部份，我們分別用低掠角X光繞射分析儀(GIAXRD)、掃描式電子顯微鏡 (SEM)、化學分析電子儀(ESCA)及歐傑電子能譜儀(AES)來分析該濺鍍薄膜之晶體結構、表面型態、化學鍵型態及元素縱深分析。我們藉由量測該薄膜的電流電壓關係(IV)及電容電壓關係(CV)來分析其電學性質。由實驗數據得知，該薄膜經過 900°C 退火後仍呈現非晶質狀態；由白金/鈦酸鋇-二氧化矽/矽基板依序組成之金氧半結構，在電場為 100 kV/cm 下漏電流約為 $2\times 10^{-8}\text{ A/cm}^2$ ；經過 700°C 退火之薄膜之介電常數為 24。經過 600°C 退火之薄膜呈現典型的電壓電流特性，但經過 700°C 退火之薄膜卻呈現變形的電壓電流曲線，原因是鈦元素由 $\text{SrTiO}_3\text{-SiO}_2$ 薄膜擴散進入矽基板所造成。此外，我們也用同樣的參數濺鍍鈦酸鋇(SrTiO_3)及鈦酸鋇-氮化矽($\text{SrTiO}_3\text{-Si}_3\text{N}_4$)薄膜作為對照組，分析加入二氧化矽對薄膜的影響。

關鍵詞：

高介電常數、閘極氧化層、漏電流、介電常數。

Abstract

$\text{SrTiO}_3\text{-SiO}_2$ amorphous thin films for high-k dielectric oxides were deposited on p-Si substrate using rf-magnetron sputter. The crystal structure, surface morphology, chemical bonding configuration, and depth profile of the composition were investigated using glancing incident angle X-ray diffraction (GIAXRD), scanning electron microscopy (SEM), X-ray photoelectron spectroscopy (XPS), and Auger electron spectroscopy (AES), respectively. The current-voltage (IV) and capacitance-voltage (CV) measurements were used for investigating the electrical properties of the films. The films remained amorphous structure when annealed up to 900°C . The Pt/ $\text{SrTiO}_3\text{-SiO}_2\text{/Si}$ MOS structure had a low leakage current density of about $2\times 10^{-8}\text{ A/cm}^2$ measured at 100 kV/cm and dielectric constant of 24 for 700°C -annealed film. The films annealed at 600°C showed typical CV characteristics. However, the deformed CV curves were found for films annealed at 700°C due to the diffusion of Ti species in the $\text{SrTiO}_3\text{-SiO}_2$ film into the Si substrate. To study the effect of SiO_2 addition, on the separate study, the pure SrTiO_3 and $\text{SrTiO}_3\text{-Si}_3\text{N}_4$ thin films were also deposited on the Si substrates using the same sputtering process, but pure SrTiO_3 and $\text{SrTiO}_3\text{-Si}_3\text{N}_4$ powdered targets were used.

Keywords:

high-k, gate oxide, leakage current, dielectric constant.

研究目的

二氧化矽為目前廣泛被使用的閘極氧化層材料，但是當其厚度低於 20 奈米時，將面臨許多問題，例如超薄氧化層無法忍受閘極電場的增加；穿隧電流造成閘極漏電流劇烈上升；氧化層厚度的均勻性不佳等，其中又以閘極漏電流的問題最為嚴重，所以我們利用高介電常數材料取代傳統的二氧化矽，則閘極氧化層厚度較厚即可達到相同的等效電容值，在一定電壓下可以減低閘極氧化層內的電場強度，並大幅降低漏電流，進而達到元件的要求。本研究計畫採用具有高介電常數之鈦酸鋇基薄膜作為閘極氧化層之應用研究，鈦酸鋇薄膜的介電常數較二氧化鋁及二氧化鉛高出許多，但鈦酸鋇薄膜容易成長為結晶態，且薄膜表面粗度高，因此我們藉由加入二氧化矽提升其結晶溫度，製作成鈦酸鋇-二氧化矽非晶質薄膜，進而增進薄膜之平坦性，以期達到降低漏電流密度和減小薄膜表面粗度之目的。

文獻探討

二氧化矽閘極氧化層的厚度將小於 2 奈米，以符合國際半導體技術方針 (International Technology Roadmap for Semiconductors) 的規範 [1]，然而 2 奈米厚的閘極氧化層將導致其漏電流增加至 1 A/cm^2 的忍受上限(量測電壓為 3V) [2]。漏電流的增加是因為直接穿隧現象的發生，而漏電流的增加將造成元件的功率消耗增加 [3]。因為高介電常數材料可以較厚的薄膜達到相同的等效電容值，因此過去幾年有非常多的相關研究被提出 [2-7]。在各種可能的高介電常數材料中，鈦酸鋇薄膜擁有超高的介電常數，是個理想的高介電常數材料 [8-10]。然而鈦酸鋇薄膜的結晶溫度過低，經過後續高溫製程後會使得漏電流增加，因此我們將二氧化矽加入鈦酸鋇作為閘極氧化層的材料，以期能得到較高的結晶溫度。在我們的研究結果中發現，鈦酸鋇-二氧化矽薄膜經過 900°C 的高溫退火後仍呈現非晶質狀態，因此可避免漏電流的增加。諸如二氧化鋁-二氧化矽及二氧化鉛-二氧化矽等混合氧化物薄膜均有相關研究提出 [2,11]，惟獨鈦酸鋇-二氧化矽混合氧化物薄膜在過去並未有類似的研究，為了要更了解此種材料的電學性質及材料特性，我們對該材料有深入的研究及探討。

研究方法及步驟

硼摻雜之P型矽基板經過標準的RCA清潔步驟後，再浸泡氫氟酸去除矽基板的原生氧化層。接著用交流磁控濺鍍法濺鍍純鈦酸鋇、鈦酸鋇-二氧化矽及鈦酸鋇-氮化矽等薄膜，濺鍍標靶是由鈦酸鋇、二氧化矽及氮化矽等粉末依等莫耳比例製備。濺鍍時的工作氣壓為 10 mtorr；基板溫度為 300°C ；濺鍍環境為氫氣 8 sccm及氮氣 2 sccm。濺鍍完成之薄膜隨後在氮氣的環境下經過各種溫度的快速退火處理 1 分鐘，包括 600、700、

800 及 900°C。薄膜的材料分析的部分，我們分別利用低掠角X光繞射分析儀 (GIAXRD) 來分析薄膜的晶體結構；用掃描式電子顯微鏡 (SEM) 來分析薄膜的表面型態；用化學分析電子儀 (ESCA) 來分析該薄膜的化學鍵型態；最後用歐傑電子能譜儀 (AES)來分析薄膜中的元素縱深分佈。電性量測方面，利用電子束蒸鍍法成長白金上電極，電極面積為 $4.9 \times 10^{-4} \text{ cm}^2$ ，隨即經過 5 分鐘 400°C 的退火處理；背電極則是利用熱蒸鍍法在矽基板的背面蒸鍍鋁。最後在不同頻率下量測薄膜的電容電壓特性，並量測薄膜的漏電流。

結果與討論

圖 1 為鈦酸鋇-二氧化矽混合氧化物及純鈦酸鋇薄膜經過不同溫度退火後之薄膜結晶情形(低掠角X光分析儀分析)，圖 1(a)顯示鈦酸鋇-二氧化矽混合氧化物經過 900°C 的高溫退火後仍然保持非晶質狀態，然而圖 1(b)顯示純鈦酸鋇薄膜經過 700°C 的退火後即有(200)、(110)及(111)等結晶方向出現。

圖 2(a)為鈦酸鋇-二氧化矽薄膜經過 700°C 退火後的剖面圖，如圖中所示，膜厚約為 69 奈米，其中包含約 10 奈米的界面層。圖 2(b)為鈦酸鋇-二氧化矽薄膜經過 800°C 退火後的掃描式電子顯微鏡圖形，如圖所示，薄膜的表面十分平坦及細緻，薄膜表面的平坦度對於薄膜的電學性質有重要的影響，因為平坦的表面才能得到較低的漏電流。

純鈦酸鋇初鍍薄膜、經過 700°C 及 800°C 退火之薄膜，其介電常數分別為 18.1、149.3 及 109.4。然而鈦酸鋇-二氧化矽初鍍薄膜、經過 700°C 及 800°C 退火之薄膜，其介電常數分別為 17.9、23.6 及 19.5。因此，鈦酸鋇-二氧化矽混合氧化物薄膜的介電常數介於純鈦酸鋇與二氧化矽(3.9)之間，這是預期的結果。

然而，經過 800°C 退火的薄膜之介電常數比 700°C 退火薄膜略小，這個結果可以用化學分析電子儀(ESCA)的實驗結果來解釋。圖 3(a)為矽 2p 電子的鍵結能量圖，經過 800°C 退火薄膜之矽 2p 光電子峰值非常接近二氧化矽之峯值，然而經過 700°C 退火薄膜之矽 2p 光電子峰值約為 101.8 eV，推測為 Sr-O 或 Ti-O 的鍵結能量，因此我們認為經 700°C 退火薄膜之鈦酸鋇鍵結較強，所以介電常數也因而較大。同樣的現象也可以在氧 1s 電子的鍵結能量圖中觀察的到，圖 3(b)顯示經過 700°C 退火薄膜之氧 1s 光電子峰值靠近 530.8 eV，此值為 Ti-O 的鍵結能，然而 800°C 之峰值接近 532.9 eV，此值對應到二氧化矽的鍵結能量，因此經 800°C 退火薄膜之二氧化矽鍵結較強，所以介電常數也較小。

電學分析方面，鈦酸鋇-二氧化矽之 CV 分析圖，是由反轉區(inversion region)量測到電荷累積區(accumulation region)，圖 4(a)顯示經過 600°C 退火薄膜的量測結果顯示典型的 CV 曲線(量測頻率分別為 50、100、500 及 1000 kHz)，在反轉區少數載子需要較長的反應時間，因此電荷的轉換跟不上頻率的變化，因此電容值比電荷累積區來的低。圖 4(b)則為經過 700°C 退火薄膜的 CV 圖，此圖形在反轉區與圖 4(a)有明顯的不同，原因是鈦元素由氧化層區擴散進入矽基板，使得矽基板的少數載子增加，電荷的轉換速度變快，電容值因此上升。由圖中可觀查到電容值隨頻率變化的情形，此現象可由串聯阻抗及電感來解釋 [12]。圖 5 顯示鈦酸鋇-二氧化矽薄膜中各種元素的縱深分佈，由圖中可清楚的觀察到鈦元素擴散的情形。

圖 6 為鈦酸鋇-氮化矽薄膜經 700°C 退火後之 CV 分析圖，圖形顯示典型的 CV 曲線，因此加入氮化矽後可降低鈦元素擴散進入矽基板的情形。

漏電流密度方面，電場為 100 kV/cm 下，鈦酸鋇-二氧化矽初鍍薄膜、經過 700 及 800°C 退火薄膜的漏電流密度分別為 1.8×10^{-8} 、 2.0×10^{-8} 及 2.2×10^{-8} A/cm²，漏電流隨著退火溫度的增加而上升，推測是因為高溫退火後氧化層內的陷阱(trap)數目增加，導致漏電流增加。

結論

平坦且緻密的鈦酸鋇-二氧化矽薄膜成功的濺鍍於矽基板上，且鈦酸鋇-二氧化矽薄膜經過 900°C 之高溫退火後仍然呈現非晶質狀態，該薄膜經過 700°C 退火後的電學性質優異，介電常數為 24，漏電流密度為 2×10^{-8} A/cm²，因此鈦酸鋇-二氧化矽薄膜是可能取代二氧化矽，作為閘極氧化層的材料。

參考文獻

- [1] International Technology Roadmap for semiconductors (Semiconductor Industry Association, Austin, Texas, 2004)
- [2] A. I. Kingon, J.-P. Maria, and S. K. Streiffer, *nature*, 406 (2000) 1032
- [3] G. D. Wilk, R. M. Wallace, and J. M. Anthony, *J. Appl. Phys.*, 89 (2001) 5243
- [4] J. C. Lee, H. J. Cho, C. S. Kang, S. J. Rhee, Y. H. Kim, R. Choi, C. Y. Kang, C. H. Choi, and M. Akbar, *IEDM Tech. Dig.* 2003, (2003) 999
- [5] H. Harris, K. Choi, N. Mehta, A. Chandolu, N. Biswas, G. Kipshidze, S. Nikishin, S. Gangopadhyay, and H. Temkin, *Appl. Phys. Lett.*, 81 (2002) 1065
- [6] Y. Nagasato and T. Ueno, *Jpn. J. Appl. Phys.*, 44 (2005) 1665
- [7] S. C. Song, Z. Zhang, C. Huffman, S. H. Bae, J. H. Sim, P. Kirsch, P. Majhi, N. Moumen, and B. H. Lee, *Thin Solid Films*, 504 (2006) 170
- [8] C. Y. Liu, H. T. Lue, and T. Y. Tseng, *Appl. Phys. Lett.*, 81 (2002) 4416
- [9] C. Y. Liu, B. Y. Chen, and T. Y. Tseng, *J. Appl. Phys.*, 95 (2004) 5602
- [10] C. C. Lin, L. W. Lai, C. Y. Lin, and T. Y. Tseng, *Thin Solid Films* (accepted)
- [11] D. A. Neumayer and E. Cartier, *Appl. Phys. Lett.*, 90 (2001) 1801
- [12] H. T. Lue, C. Y. Liu and T. Y. Tseng, *IEEE Electron Device Lett.*, 23 (2002) 553
- [13] Nicollian and Brews, MOS Physics and Technology, John Wiley & Sons, New Jersey, 2003, p. 105

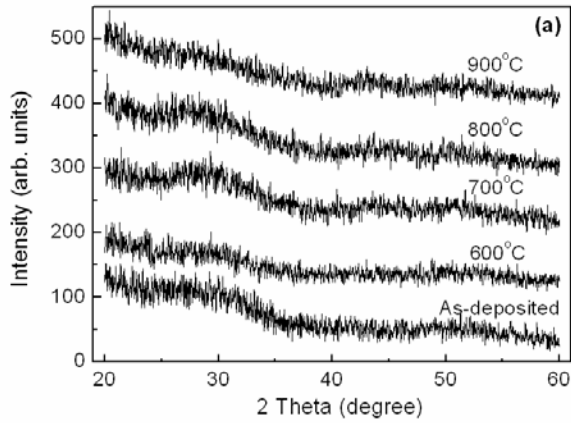


圖 1(a) 鈦酸鋇-二氧化矽薄膜經過各種不同溫度退火後仍保持非晶質狀態。

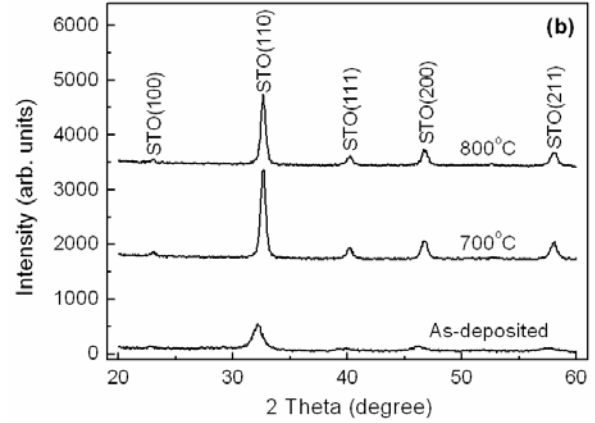


圖 1(b) 鈦酸鋇薄膜經過 700°C 退火後即有 (200)、(110) 及 (111) 等結晶方向出現。

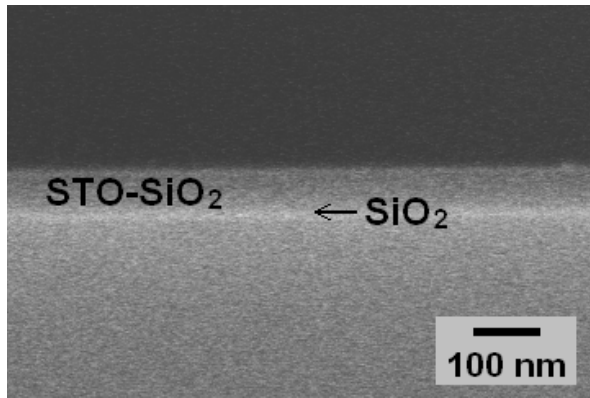


圖 2(a) 鈦酸鋇-二氧化矽薄膜經過 700°C 退火後的剖面圖，膜厚約為 69 奈米。

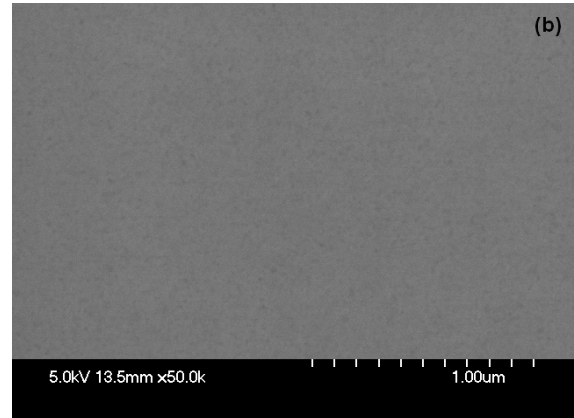


圖 2(b) 鈦酸鋇-二氧化矽薄膜經過 800°C 退火後的 SEM 圖形，顯示薄膜十分平坦。

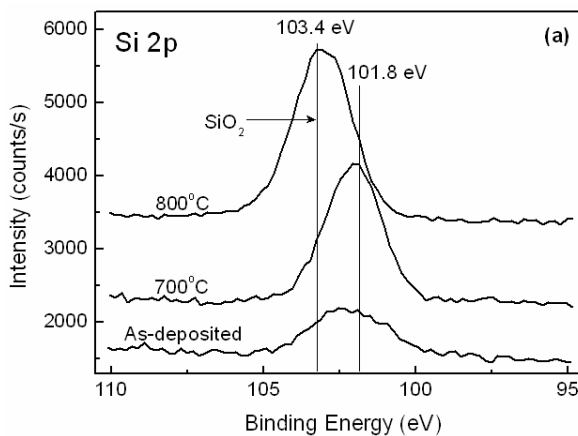


圖 3(a) 鈦酸鋇-二氧化矽薄膜之 Si 2p 電子的鍵結能量圖，經 800°C 退火薄膜之鍵結能量接近 SiO₂，因此介電常數較小。

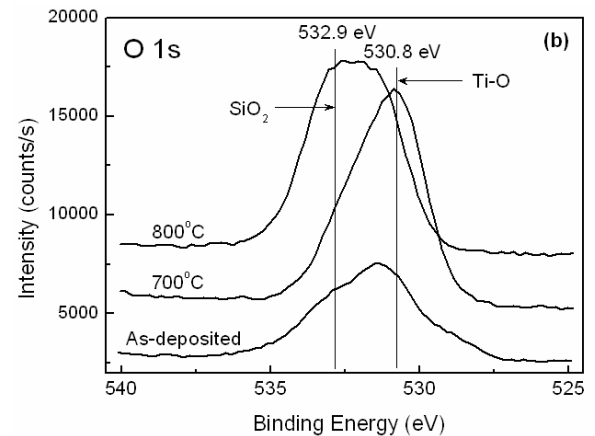


圖 3(b) 鈦酸鋇-二氧化矽薄膜之 O 1s 電子的鍵結能量圖，經 800°C 退火薄膜之鍵結能量接近 SiO₂，因此介電常數較小。

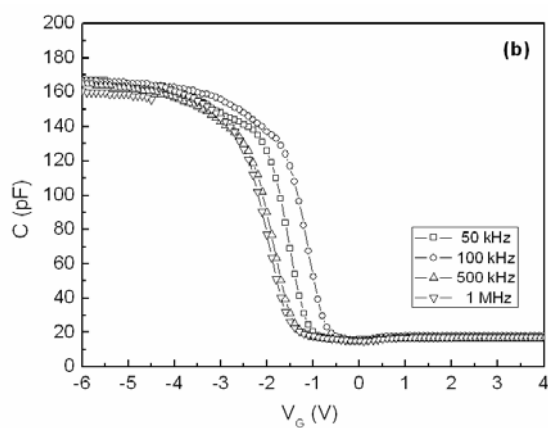


圖 4(a) 鈦酸鋇-二氧化矽薄膜經過 600°C 退火後顯示典型的 CV 曲線。

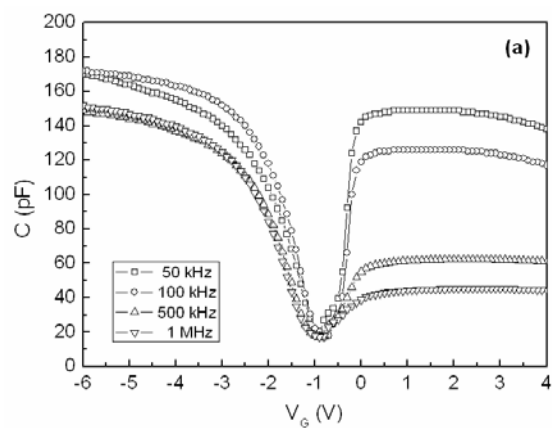


圖 4(b) 鈦酸鋇-二氧化矽薄膜經過 700°C 退火後，因為鈦元素的擴散，所以電容值在反轉區明顯增加。

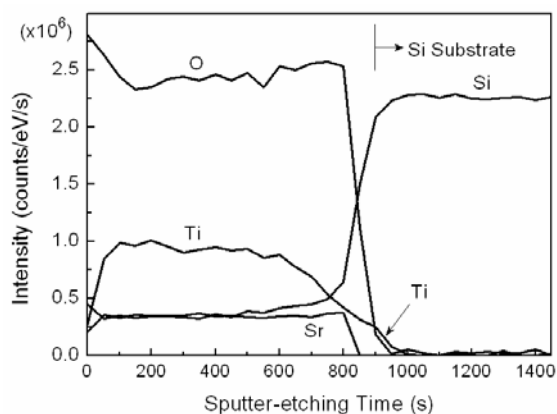


圖 5 鈦酸鋇-二氧化矽薄膜中各種元素的縱深分析，由圖中可清楚的觀察到鈦元素擴散的情形。

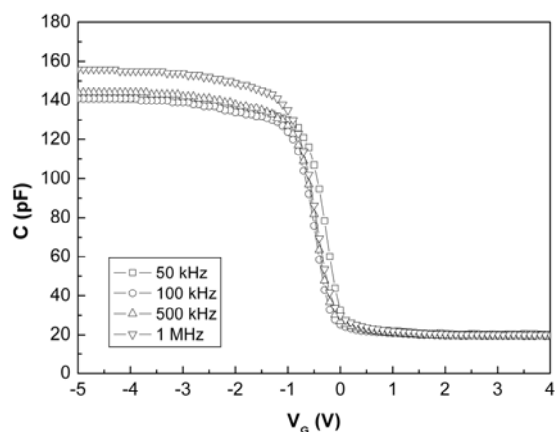


圖 6 鈦酸鋇-氮化矽薄膜經 700°C 退火後顯示典型的 CV 曲線，可降低鈦元素的擴散對薄膜電性之影響。