



晶片系統國家型科技計畫 第二期 96 年度成果報告

NSC 96-3113-P-009-001-Y

計畫總主持人：吳重雨 校長

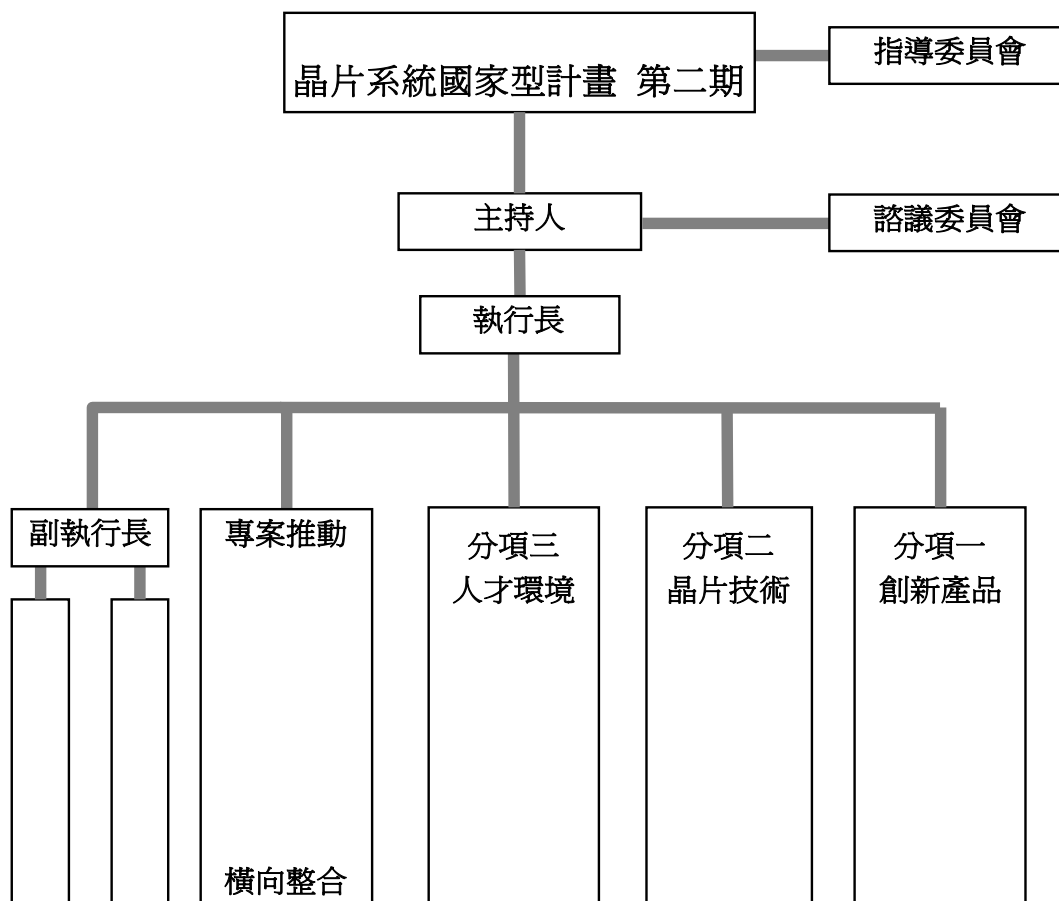
計畫共同主持人：陳良基 教授

中華民國九十七年七月十日

目 錄

晶片系統國家型科技計畫成果效益事實報告	3
晶片系統國家型計畫辦公室 96 年行事曆	32
 <u>附錄</u>	
附件一、經濟部技術處成果效益事實報告	35
附件二、經濟部工業局成果效益事實報告	94
附件三、國科會工程處成果效益事實報告	106
附件四、教育部成果效益事實報告	129
附件五、竹科管理局成果效益事實報告	143
附件六、工研院系統晶片中心成果效益事實報告	154
 績效評估報告(自評).....	163
 績效評估報告(第三者評估)	195
 晶片系統國家型科技計畫 96 年度辦公室運作計畫活動及國外差旅報告	202

二、計畫架構(含樹狀圖)：



三、計畫主要內容

本計畫之主要目標在於創新產品的開發、前瞻技術的整合、與人才環境的全球化，居於「矽晶圓製造為根，晶片系統設計為幹，創造優質生活為果」的基本精神，因而規劃三個分項，作為長期努力的目標，另規劃三個專案作為橫向整合，以滿足短期技術的需求。如下所述：

(1) 分項一：以創新產品為導向之系統整合技術

■ 多元網路整合技術 (Heterogeneous Network Integration)

異質網路整合與上層應用整合，作到 Seamless Applications、IP Mobility，與 Ubiquitous Networking。

■ 數位生活數位家庭 (e-Life and Digital Home)

迎接數位家庭，圍繞 Media Center 開發相關多媒體產品技術，豐富娛樂教育

內涵。

- 健康監控生活照護 (e-Health, Health Monitoring and Life Care)
發展健康監控與居家照護系統並結合網路系統開創 e-Health、e-Life 的新應用。

(2) 分項二：以前瞻技術為導向之晶片整合技術

- 前瞻電路智財模組(Advanced IP Technology)
開發多元網路與數位家庭的關鍵智財模組，作為系統晶片整合的基礎。由政府投入資源，引導開發先進製程設計技術，以順利促成技術升級。
- 多元模組整合技術 (Heterogeneous Integration - CMOS/MEMS/SiP, D/A/RF)
整合數位、類比、射頻模組，降低能耗、減少成本、提升 IC 產品附加價值，並進一步整合微機電與感測元件，以開創健康監控與生活照護的新應用。
- 自動設計軟硬共構(EDA and Hardware/Software Co-Design Platform)
厚植嵌入式軟體技術，開發其發展系統平台與週邊相關應用軟體工具鏈。引進先進 EDA 技術，開發共時軟硬體驗證流程，以縮短設計流程。

(3) 分項三：前瞻 SoC 設計人才養成與環境建構

- 晶片系統教育改進與人才養成計畫
以「前瞻晶片系統設計人才培育先導計畫」，培育電機資訊相關科系學生為具國際競爭力的晶片系統軟硬體設計之高級人才。為工程師再教育與轉業之培訓，以系統晶片產業人才培訓為延伸。以訓練具國際觀與國際知名度之設計人才，提升我國技術的能見度為規劃內容。
- 設計專區設計與環境建構
推動 IP 使用成為台灣 SoC 設計的主流模式，並建構完整之 IP 商業整合環境。推動設計驗證前瞻 SoC 產品設計所需之設計環境。
- 服務產業與全球市場
推動參與國際 SoC/IC 組織與標準會議，引進國外主流產品技術。專人專職參與國際標準組織，引進前瞻標準技術，並學習市場調查與分析方法。

(4) 專案一：射頻與混合信號電路設計 (RF and Mixed Signal Circuit Design)

- 系統架構與標準規範 (分項一)
- RF/MSD 前瞻電路模組設計 (分項二)
- 射頻與混合訊號電路教育改進聯盟 (分項三)

(5) 專案二：嵌入式軟體 (Embedded Software)

- 嵌入式軟體應用平台 (分項一)
- 嵌入式軟體設計平台 (分項二)
- 嵌入式軟體教育改進聯盟 (分項三)

(6) 專案三：異質整合技術 (SiP/MEMS/Sensor Integration)

- 生醫晶片系統開發 (分項一)
- 系統封裝、微機電、感測元件之設計與整合 (分項二)
- 異質整合技術人才培育 (分項三)

參、計畫經費與人力執行情形

一、計畫經費

計畫名稱		96 年度經費(仟元)						執行率
		預算數			決算數			
		經常門	資本門	合計	經常門	資本門	合計	
經濟部 技術處	晶片中心	393,777	32,500	426,277	384,899	32,527	417,426	97.92%
	中科院	45,900	0	45,900	40,603	0	40,603	88.46%
	資通所	23,960	900	24,860	23,803	900	24,703	99.37%
	學界科專	160,000	0	160,000	157,750	0	157,750	98.59%
	業界科專	380,530	0	380,530	342,609	0	342,609	90.03%
技術處小計		1,004,167	33,400	1,037,567	949,664	33,427	983,091	94.75%
經濟部工業局		276,649	0	276,649	236,067	0	236,067	85%
國科會工程處		380,000	0	380,000	354,229	0	354,229	93.2%
教育部顧問室		88,000	110,000	198,000	80,536	117,459	197,995	99.9%
科發基金- 嵌入式軟體技術計 畫		25,000	0	25000	25000	0	25000	100%
科發基金- 竹科管理局		119,600	0	119600	119600	0	119600	100%
總計		1,893,416	143,400	2,036,816	1,765,096	150,886	1,915,982	94%

與原計畫規劃差異說明：

詳細經費運用說明於附件各部會經費執行情形一覽表。

二、計畫人力

姓名	計畫 職稱	投入人年數 及工作重點	學、經歷及專長	
吳重雨	總主持 人	0.75 人年	<u>學 歷</u>	國立交通大學電子研究所博士

姓名	計畫 職稱	投入人年數 及工作重點	學、經歷及專長	
		計畫總主持人	經歷	傅爾布萊特(Fulbright) 國際學者 (2004) 國立交通大學電機資訊學院 院長 (2002 ~ 現在) 伊利諾大學香檳校區 電機資訊工程系 學期專任教授 (2003) 國立交通大學 研發長 (1995 ~ 1998) 國科會工程技術發展處 處長 (1991 ~ 1995) 國立交通大學電子工程系所 所長 (1989 ~ 1991) 國立交通大學電子工程學系 系主任 (1986 ~ 1989) 國立交通大學電子工程學系 教授 (1983 ~ 現在) 波特蘭州立大學電機工程系 副教授 (1984 ~ 1986) 國際電機電子工程學會院士 (IEEE Fellow)
			專長	積體電路與系統 半導體物理與元件 類神經網路
陳良基	共同主持 人	0.66 人年 計畫共同主持 人	學歷	國立成功大學電機工程博士 美國 AT&T 貝爾實驗室及華盛頓大學研究
			經歷	國立台大電機系教授 國立台大電機系研究所所長 國立台大系統晶片中心主任 國際電機電子工程學會院士 (IEEE Fellow)
			專長	多媒體數位信號處理演算法 超大型積體電路 (VLSI) 設計 數位訊號處理及視訊編碼系統設計
周景揚	執行長	0.66 人年 計畫執行長	學歷	美國伊利諾大學香檳校區計算機科學博士
			經歷	台灣聯合大學系統副校長 國立交通大學電工系教授 國家實驗研究院國家晶片系統設計中心主任 國際電機電子工程學會院士 (IEEE Fellow) 台灣積體電路設計學會理事長 美國 AT&T 貝爾實驗室研究 美國吉悌電信公司(GTE)中央實驗室資深研究員
			專長	電腦輔助設計 積體電路與系統 計算機結構
柯明道	副執行長	0.66 人年	學歷	國立交通大學電子研究所博士

姓名	計畫 職稱	投入人年數 及工作重點	學、經歷及專長	
		負責國際交流 活動 行政業務	經歷	國科會博士後副研究員 工研院電通所積體電路產品工程部 部門經理 交通大學電子工程學系助理教授/副教授/正教授 交通大學電機資訊學院產業研發碩士專班主任 國際電機電子工程學會院士（IEEE Fellow） 中華民國靜電放電防護工程學會創會理事長 中華民國第 41 屆十大傑出青年
			專長	奈米電子與晶片系統 積體電路設計及可靠度 靜電放電防護電路
關志達	召集人	0.58 人年 負責分項一 創新產品	學歷	美國加州理工學院電機博士
			經歷	國立台灣大學電機工程所所長 國立台灣大學電機工程學系教授
			專長	通信積體電路設計 高速積體電路設計
周世傑	召集人	0.58 人年 負責分項二 晶片技術	學歷	國立交通大學電子研究所博士
			經歷	國立交通大學電子工程系教授兼主任 國立中央大學電機工程系教授 國立中央大學研發處研推組組長 Agere Systems , USA ; Visiting Research Consultant 美國伊利諾大學香檳分校, Visiting Associated Professor
			專長	數位/混合訊號積體電路與系統 通訊積體電路 計算機電腦輔助設計
許炳堅	召集人	0.58 人年 負責分項三 人才環境	學歷	美國加州柏克萊大學電機博士

姓名	計畫 職稱	投入人年數 及工作重點	學、經歷及專長	
			經歷	國立交通大學(院長級)校務策略顧問、榮譽教授 電機資訊學院代理副院長、講座教授 國立聯合大學電子工程系兼任客座教授 美國南加州大學電機系教授及生物工程系教授 美國南加州大學超大型積體電路信號處理實驗室主任 美國南加州大學電機系電物品片研究所副主任、主任 傅爾布萊特國際資深學者 (Fulbright Senior Scholar) 國際電機電子工程學會院士 (IEEE Fellow) 國際電機電子學會 電路與系統學術會 副總裁、備位總裁 國際電機電子學會 電路與系統學術會 總裁、資深總裁 新思科技公司(Synopsys)研發處長 台灣積體電路製造公司(TSMC)設計暨技術平台專案處長
			專長	積體電路與系統包括設計,分析,自動化 訊號處理 多媒體 類神經網路
徐爵民	召集人	0.58 人年 負責專案一 射頻混合 信號電路	學歷	美國加州柏克萊大學電機博士
			經歷	清華大學電機院院長 國際電機電子工程學會院士 (IEEE Fellow) 工研院副院長 奈米國家型科技計畫總主持人 台灣奈米技術產業發展協會理事長 台灣薄膜電晶體液晶顯示器產業協會(TTLA)理事 國際電機電子工程師學會(IEEE)中華民國分會理事長 工業局影像顯示產業推動辦公室主任 台灣半導體產業協會(TSIA)理事 台灣 SoC 推動聯盟秘書長 工研院電子工業研究所所長 工研院系統晶片技術中心主任 中國模糊學會理事長
			專長	微電子系統 設計自動化
李政崑	召集人	0.58 人年 負責專案二 嵌入式軟體	學歷	美國印地安那大學博士
			經歷	清華大學資訊工程教授兼副系主任

姓名	計畫 職稱	投入人年數 及工作重點	學、經歷及專長	
		技術發展	專長	平行語言設計 物件為主語言 編譯器設計
邱俊誠	召集人	0.58 人年 負責專案三 異質整合 科技開發	學歷	美國科羅拉多大學航空太空博士
			經歷	國立交通大學 電機與控制工程學系教授兼系主任
			專長	微機電系統 結構之動力分析與控制 微快速成型系統 伺服控制系統

人年算法：1 人參與計畫幾個月除以 12 個月

部會人力統計：

FY96 年度		經濟部 技術處	經濟部 工業局	國科會 工程處	教育部	竹科管理局	合計
人年		910.86	19.64	1172	213	49	2364.5
學歷	博士	128.57	0.58	318	76	30	553.15
	碩士	448.1	10.66	239	128	15	840.76
	其他	334.19	8.4	615	9	4	970.59
年資 (%)	15 年以上	7.35	2.35	102	32	5%	
	11-15 年	6.80	3.43	61	43	13%	
	5-10 年	21.37	7.09	155	64	22%	
	5 年以下	64.48	6.77	854	74	9%	

肆、計畫已獲得之主要成就與量化成果(output)

部會	產出品片	國外論文篇數		國內論文篇數		專利項數				技術移轉						專門技術數	技術報告(篇)	產學合作		促進廠商投資	
		國際會議	期刊/會議論文	期刊	會議	國外		國內		件數		簽約金		先期技轉(家)							
						申請中	取得	申請中	取得	國外	國內	授權金(仟)	權利金(仟)								
經濟部技術處	34	266	118	35	73	111	28	112	39	1	27	71,567	5,220	14	52	343	37	165,261	12	293	
經濟部工業局	6	-	-	-	-	7	-	5	-	-	-	-	-	-	-	7	1	776	8	3449	
國科會工程處	573	238	117	12	50	30	1	40	5	2	3	0	4900	0	1	27	18	13577	0	0	
總計	613	504	235	47	123	148	29	157	44	3	30	71567	10120	14	53	377	56	179614	20	3742	

部會	學術成就	其他效益	專業人才培育							活動			
			養成人數			人才培訓		形成教材(門)	修課人次	競賽		研討會	
			博士	碩士	其它	短期	中長期			場次	人次	場次	人次
經濟部技術處	-	-	-	-	-	-	-	-	-	0	0	44	2,181
國科會工程處	60	1	239	615	1	-	-	-	-	8	140	32	1222
經濟部工業局	-	-	-	-	-	1624	91	-	-	-	-	6	400
教育部顧問室	7	-	330	2636	-	-	-	新增前瞻課程 6 門，累計 56 門 累計跨領域課程 5 門	26,558	4	2,170	91	6,013
總計	67	1	569	3251	1	1624	91	-	26558	4	2310	173	9816

註：以統計量化表示，評估項目由各部會附件中表示。

伍、評估主要成就及成果之價值與貢獻度

一、學術技術成就(科技基礎研究)

經濟部技術處

共推動執行法人科專 4 項計畫、學界科專 6 項計畫、業界科專 9 項計畫，其詳細執行成果如下：

晶片中心

1. 無線多媒體系統晶片關鍵技術發展四年計畫(1/4)
 - 共計專利申請：68 件（國內 23 件/國外 45 件），獲證：21 件（國內 11 件/國外 10 件），專利應用：3 案，並於知名國際會議（如 IEEE Electronic Letters, SoC Technical Journal）或期刊（如 ISSCC, RFIC, VLSI/TSA etc.）發表相關論文，包含期刊 15 篇、研討會 28 篇、研究報告文件 130 篇等。
2. 通訊與光電環境建構計畫－晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項
 - FY96 於著名之學術期刊論文(如 IEICE Transaction on Electronics, IEEE Journal of Solid-State Circuit, IEEE Transaction on Very Large Scale Integration Systems 等)，專利獲證 7 件，專利申請 13 件，專利應用件數為 1 案 2 件，專利收益 35,555 仟元。並與交大/中央、清大合作執行學界科專。

中科院

- 申請 3 件國內專利、5 件國外專利，並獲得 3 件國內專利、4 件國外專利，專利應用授權金合計 500 仟元。
- 以安捷倫 ADS 完成 MB-OFDM UWB PHY V1.2 射頻與基頻整合系統模擬，200Mbps data rate 的情況下，Minimum receiver sensitivities 比規範要求的還低了 6 dBm。

資通所

- 完成論文發表國內 6 篇，國外 2 篇並刊登於 IEEE 期刊，其中「使用裴氏網路與代理人技術實現階層式遠端監控系統」列入年度 SCI 論文。

學界

1. 前瞻高效能低耗能之雙處理器系統技術研發
 - 建立數位處理器編譯器工具技術。提高傳統排程與分配方式於此一架構下無法達成之運算速度，提升國內在超長指令集數位訊號處理器編譯器技術上競爭力。
 - 建立低功率數位電路技術。達到運用相同電力而延長手持式裝置使用時間的目的。
2. 晶片系統傳輸鏈之電路系統設計與驗證平台開發
 - General interface generator for various protocol:在硬體介面自動產生方面，有關

protocol 的描述，可透過圖形化介面的選項或以 SystemC 語法描述不同的協定(protocol)，自動合成符合設計要求的介面電路。此種方式具備高度的設計彈性，具備支援各種不種的 protocol 能力，改善僅能使用在特定硬體介面的 library based 型式。在合成演算法方面，主要依據使用者描述的 FSM 以鍵結串列資料結構表示並取其 complement，再與介面內部 buffer 狀態及控制暫存器狀態比較，決定目前狀態是否允許存取此次的 transaction。

- Efficiency driver generator for char. or lock type devices:在驅動程式自動產生部分，針對 character 與 block type 之 device，以 Template-based 的方式，提供模組化與參數化之設計，產生相對應的 driver function，讓使用者不需深入了解 OS kernel 運作，也不需要額外的語法分析，可直接產生 driver 的 C code，相較於市面上之驅動程式產生器，只能針對 standard bus protocol 與特定 device 產生 driver，此驅動程式產生器可針對非限定之 custom IP 產生出所需之 driver，在 SoC 開發上較具有 flexibility，並藉由自動化之機制，加速 SoC 快速整合。
 - Transmission link Virtual Platform 之建立：利用 SystemC 來建立 NoC mesh topology 系統架構，在 communication 方面，則使用了 Transaction Level Modeling(TLM)設計方法來達到 Electronic System Level(ESL)之設計。使用 TLM 設計方法可以滿足複雜系統之設計及驗證，而達到快速的系統模擬及效能評估。
3. 超低功率數位訊號處理器核心開發
- 本計畫在產出自有指令集架構(ISA)的超低功率數位訊號處理器核心同時，並將開發相關低功率軟硬體之前瞻技術，並研發其 SOC 發展平台。將提供學術機構研發低功率核心之各項技術。其 SOC 發展平台之經驗，並可利於未來相關 SOC 設計之研發。
4. 晶片系統之關鍵設計技術研發
- 130 篇國內外論文發表，其中 IEEE 2006 ISSCC 論文 2 篇，並獲得 2 件 ISSCC/DAC IC Design Contest Award(*)IEEE 2007 ISSCC 論文 3 篇，並獲得 ISSCC/DAC IC Design Contest Award(**)。
5. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計
- 研究團隊成果包含於國內討論會發表 3 篇期刊、IEEE JSSC(IC 設計會議)發表 1 篇期刊、並於國際 SCI 期刊 (IEEE Trans. Signal Processing、Journal of VLSI Signal Processing 等等)中發表 10 篇期刊論文，以及在國際知名 EI 電路設計會議、訊號處理會議、通訊會議發表 14 篇論文，總計達 28 篇。這些成果增加我國在相關技術領域之國際知名度。
6. 晶片系統智財彙集及介面整合實驗
- 由於 SoC 的高度複雜性以及 IP 的多樣性，SoC 研究開發可以仰賴本計畫所完成之 IP Reuse 的完備環境工具，在合理的時間內完成 SoC 的設計。並且，完成之跨校合作 IP 匯集平台，除了提供各校 SOC 中心作為資訊交流外，更有助於產學交流及技術移轉洽談。
7. 后羿計畫—前瞻無線測試平台與技術
- 本計畫所研發之技術（包含無線測試系統，內含自我測試，無線通訊電路、測試軟體等）於測試領域在學術界技術屬於領先，但是學術界缺乏實際案例的實作，以及將自我開發技術實用化的能力。本計畫將引進業界的力量，促進產學領域之間的溝通，並且增加實際案例的實作，將可更加延伸學術研發之價值。對於此領域之學術發展因此有極大之成效。
 - 晶片自我測試與修復技術為下一世代相當重要的測試技術，也是國際間十分重

視的一項技術。目前此技術國際間尚在萌芽階段。本計畫已研發記憶體晶片之自我測試與修復技術，對於邏輯及類比晶片之自我測試技術亦多所著墨。預計未來將陸續實現自我修復技術及容錯電路設計技術。

8. 微型化與全像光資訊儲存技術之開發

- 研究團隊成果包含於國內討論會發表 19 篇期刊、於國外討論會發表 32 篇期刊、發表 30 篇國外期刊論文，這些成果增加我國在相關技術領域之國際知名度。

業界

1. 90 奈米之高畫質(HD)多核心架構多媒體處理器計畫

- 本計畫目標為研發一 90 奈米製程多核心架構多媒體處理器，以滿足多項高畫質(HD)視訊應用市場。主要有三大工作項目：(1)多媒體處理器之多核心架構(2)多媒體程式編譯工具之設計(3)VLSI 整合與實現

2. Display Port 高速數位串列顯示介面晶片

- 本計劃完成後，將可建立更完整自有的高速串列技術(High-Speed Serial Link)整合的相關技術能力。

經濟部工業局

- 提供「國內發展 SoC 現況分析與可行之策略方案報告」、「國際間 SoC 發展相關指標、技術發展與次世代產品趨勢分析報告」，以及「國內 IC 設計產業目前發展 SoC 之現況調查研究報告」，協助國內產官學研了解競爭國家產業現況及產業環境建構，以作為業界在產品與技術開發方向之決策依據。
- 促成 3 家以上廠商加入或積極參與 JEDEC 標準制定會議、促成 1 家廠商參與快閃記憶體模組及記憶卡的電性、機構與架構標準制定活動，並擔任 JC64.1 Critical Parameter Working Group 主席、3 人次參與國際標準會議，帶回最新標準技術資訊與業界分享、加入 3 案國際標準組織，積極參與標準制訂活動、提案電路板層級元件充電模式靜電放電測試國內標準 1 案。
- 廠商因執行鼓勵前瞻應用主導性新產品輔導計畫，共計完成 8 件產品開發，共計申請專利 10 項。

國科會工程處

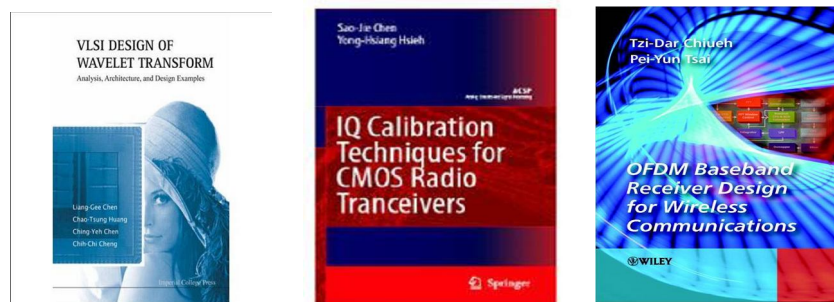
- 經由本計畫之執行我國學術界於 ISSCC 國際研討會上發表論文的數量可為一指標，其數量由 2003 年 2 篇，2004 年 4 篇，提升到 2005 年 12 篇，而在 2006，2007 年則分別有 16，17 篇，論文數量僅次於美日，與韓國約在伯仲之間。此外本國學術界在設計自動化領域的 DAC/ICCAD 於今年的論文數亦有大幅成長。ITC 及 VTS 等測試技術領域指標型研討會之論文數也穩定成長，由上說明顯示學術上之研發水準已在各相關領域獲致全面性之提升。
- 本年度經由 CIC 與晶圓廠製作之研發晶片達 573 片，由此顯示學術界在前瞻研發方面質與量的進步非常迅速。

教育部

96 年度本計畫在學術技術面上，針對提昇我國國際能見度及提昇我國師生之國際競

爭力，有 2 項重要的成績，簡述於下：

- 本計畫 96 年度首度推動「ACM 國際積體電路電腦輔助設計馬拉松競賽（ACM CADathlon Contest）參賽計畫」，參賽學生首次參與 2008 ACM CADathlon Contest，即獲得冠、亞軍殊榮，與麻省理工學院、柏克萊加州大學和密西根大學等國際名校同列為歷年獲獎學生之榮譽榜。而 2008 ICCAD 的會議主席也因此將於 97 年 2 月帶團訪台，希望能與我國有更進一步互動。本次亮麗的表現，不但是本計畫多年努力下來所展現出一張漂亮的成績單，更大大地提昇了我國 SoC 領域的國際能見度，是為本計畫推動的一項重大成果。
- 本計畫鼓勵 SoC 領域教師與國際知名出版社合作，出版英文教科書，目前已有三本英文教科書已出版(如附圖)，對於提升我國學術界在國際 SoC 領域的地位與能見度有直接的助益。而間接地，也為奠定我國產業屹立於全球半導體產業旗艦地位的基礎，跨出來重要的第一步。



科管局

- 完成與全世界知名的電子設計自動化(EDA)軟體業者如 Synopsys、Cadence、Agilent 和國內電子設計自動化軟體業者如 Incentia 與 SpringSoft 等合作，降低 EDA 設計工具之使用成本，建立台灣自有的設計平台，提供國內新與設計公司使用。
- 完成矽導竹研發中心全廠網路佈線與網路機房建置，使進駐於矽導竹研發中心之廠商能以高品質的網路設備為基礎，進行產品開發。
- 完成建置以台、清、交與成四所大學研發之矽智財為主的商業矽智財網站，並將矽智財建置在開發的矽智財交易網站上，並實際完成矽智財線上交易。
- 本計畫於嵌入式軟體開發上進行二進制轉譯(Binary Translation)技術的研究，希望借助靜態及動態的二進制轉譯，將大量現存的嵌入式應用軟體(ARM 或是 MIPS based)轉移到台灣心計畫(Andes Technology)為主的硬體平台，以推廣台灣心計畫之成果，並降低設計廠商之成本。

二、經濟效益(產業經濟發展)

經濟部技術處

晶片中心

1. 無線多媒體系統晶片關鍵技術發展四年計畫(1/4)

- 繼開發全球功率消耗最低之 DVB-T Tuner IC，本年度持續研發應用於下一代移動手持式數位視訊廣播之 DVB-H Tuner IC，採用 1.2V TSMC 0.13um CMOS 製程，Power consumption (continuous mode)僅為 120 mW、Area 也僅為 7.2 mm²，已提 provisional 專利申請案 6 件。此研發成果除成功技轉台灣創毅(Mavcom)，加速其建立手機電視市場晶片和系統解決方案的能力，未來亦可應用於數位電視、數位機上盒、Notebook，及下一代移動手持式數位視訊廣播產品，將為國內相關產品廠商創造無限商機。
- 完成技轉國內一流大廠(凌陽科技)之 PAC DSP 技術專利授權案，包含 PAC DSP 相關 15 案 35 件核心專利(含申請中)，技轉簽約金額高達三千多萬元；該公司將本計畫之 PAC DSP 與其自主開發以及業界科專支持的 32 位元 S+Core™處理器(MPU)互相搭配，成立新創公司—凌陽核心科技，從事多媒體應用處理器晶片及多媒體應用處理器的開；接棒完成產品商品化，希望能發揮綜效，帶領台灣搶進 80 億美元規模的數位訊號處理 SoC 晶片市場，帶動國內可攜式 3C 終端產品之產值再創高峰。

2. 通訊與光電環境建構計畫—晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項

- 消費性電子與通訊產品功能日益擴增，所需消耗的功率亦隨之大幅提昇。因此，更佳的電源管理技術與低功率設計技術遂成為半導體產業與 IC 設計的發展重點。本計畫將 DVFS，Power Gating，Multi-Vdd 等相關 Low power 技術，實際應用至晶片系統關鍵技術發展計畫，並提供其所需之設計驗證技術與設計流程，成功開發出高效能、低功耗 32 bit DSP 與 PMP Platform with DVFS feature，搭配 Low power 技術之 DSP，技轉給凌陽核心等國內廠商，促成廠商直接投資金額達 1 億 2 千萬元，將可進一步提昇產業技術能量及產品競爭力。

中科院

- 技術移轉 UWB 基頻晶片關鍵技術給聯華電子與創惟科技，研發成果收入合計 600 萬元，繳庫數 300 萬元。
- 創惟科技預計投入 1 億元開發 UWB 晶片解決方案，預估產值達 50 億元。

資通所

- 掌握 ZigBee 2006 協定關鍵核心技術。完成 ZigBee 2006 無線通訊協定開發，並完成 60 nodes，10 天 24 小時無間斷聯網之穩定性測試。後續將可協助晶片、模組及感測終端裝置等上游產業廠商研發製造。
- 針對工業、環境監控及生活等應用提供 WSN Turnkey Solution，協助中下游產業之系統整合、技術服務及營運等。

學界

1. 前瞻高效能低耗能之雙處理器系統技術研發

- 本計畫技術移轉授權金為 900,000 元，衍生委託金額達 12,600,000 元。
 - 由於 DSP Market 到 2007 年產值預估將達 130 億美金（資料來源：Forward Concepts），如能建立一自製平台，在國際上佔一席之地（如 15%），即可達約 20 億美金的產值，未來的潛力值得重視。本計畫著眼於此，積極架構國內自製數位處理器之整合開發環境，以整合軟體開發工具組、圖形化使用者界面、數位訊號處理函式庫為首要目標，發展足以與國外大廠抗衡之發展平台。
2. 晶片系統傳輸鏈之電路系統設計與驗證平台開發
- 提昇介面電路的設計時效，降低人力成本，加速產品 time to market 目標：有關 SoC 系統的產品，其設計最大的瓶頸在於各個 IP 的整合以及軟體與硬體之間介面的整合。在硬體整合方面，主要的設計便是 interface 的考量，而在軟體與硬體的溝通介面則為 driver 的設計。不論是 interface 或是 driver，在設計上都是花費時間而且容易出錯，透過介面設計自動化的方式，除了減少人為錯誤，有效節省人力資源，亦可將介面電路設計時程有效降低，達到產品 time to market 目標。
 - 提昇 SoC 系統設計模擬驗證時效，協助廠商解決複雜設計問題：目前在 SoC 設計領域裡面臨到許多的挑戰，因為不僅只有考量 component level issue(例如, performance, power 等問題), 也要考量 system-level issue(例如, reusability, adaptability, and scalability 等問題)。所以，我們提供一 NoC 系統虛擬平台，來幫助解決上述之問題。對於系統設計之廠商而言，目前或未來都會遇到越來越複雜的應用系統及產品，建立系統虛擬平台可以幫助廠商解決複雜的應用系統更可縮短設計時程，而提高生產力。相對地，當技術成熟之後，也會促成更多之廠商的投資而促進經濟之發展，這有助於在協助提升我國產業全球地位和產業競爭力。
3. 超低功率數位訊號處理器核心開發
- 本計畫預計產出一個自有指令集架構(ISA)的超低功率數位訊號處理器核心，完成其硬體設計與晶片實現，建立所需之軟體工具環境，並以 SOC 平台展示其在行動多媒體通訊應用之市場價值。最後以 Reusable IP 之型態移轉至工業界。此超低功率的數位訊號處理器核心將有助於提昇國內電子產業開發相關行動多媒體通訊應用之市場。自有指令集架構更將使國內產業掌握關鍵技術，主導市場。
4. 晶片系統之關鍵設計技術研發
- 建立低功率 SOC 設計相關軟硬體關鍵技術，範圍涵蓋國內自主性 CPU 軟硬體 IP 設計，低功率數位/類比電路設計技術以及低功率多媒體與網路相關應用之智財技術等，對於國內 SOC 設計產業(包含 star IP 設計公司，SOC design house，與多媒體 SOC 設計相關公司)在設計技術之提升上助益甚大。以執行計畫成果涵蓋：
- 所研發之 MPEG /H264 及低電壓 CMOS 電路技術，已技轉廠商，提升其設計能力
 - 所開發之創新指令 RISC 相關軟硬體設計技術，將來可成為 SOC 設計中之 star IP.
5. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計
- 本計畫系統化之設計流程與方法可提供產業界作為相同系統開發之用，能於開發初期提供系統驗證，從規格制定至 IP 設計都可以驗證整合系統之效能，降低開發後期系統整合的風險。
 - 本計畫成果與技術之擴散將可提升國內無線晶片產業之技術能力並縮短 IEEE 802.11n/16e 產品之開發時程，另一方面，本計畫的執行可提前為國內廠商建立多模之基頻傳收機關鍵 IPs，所提出之專利可以提供業界晶片設計上有利之競爭條件。在 4G 技術開發上將提供法人及業界經效能驗證之 4G 基頻傳收機 IP。目前專利「正交分頻多工系統之低複雜度子載波間干擾消除演算法」已向本國及美國申請中。

- 本計畫在電路設計技術方面的成果其擴散將可促進國內獨到之 CMOS 晶圓製造技術與無線通訊系統晶片設計產業結合，提高產業設計層次和競爭力。可重組式 FFT 處理器將可應用於多模 802.11n/16e/20 之系統整合晶片。所開發之 LDPC 已解決記憶體與運算單元之權衡最佳化。目前專利「應用於信度傳播演算法的自動補償方法與裝置」已向本國及美國申請中。
- 6. 晶片系統智財彙集及介面整合實驗
 - 為積極建立台灣成為全球 SoC 設計中心，本計劃目的在鼓勵學術單位建立開發研擬前瞻性之智財及平台相互間之相容機制、率先研擬智財建立標準流程，樹立台灣學術界在智財開發管理能力之領先地位，藉由相容機制之建立，同時可提供國家計劃順利完成產學研相關補助案之成果試用與彙集，作為國家推動 SoC 計劃之整體成效表徵及積極向外推廣之具體成果。臺灣學術界，長久以來累積 IC 設計的經驗，開發出不少相當先進的智財，如能加以整理彙集、提供 IC 設計公司授權使用，提供優良的設計平台，供全球客戶使用，使台灣能在製造利基上繼續做強有力的發揮，開創出新的設計優勢，從而在世界半導體、資訊電子業扮演舉足輕重的角色。
- 7. 后羿計畫—前瞻無線測試平台與技術
 - 我們創新提出利用無線介面來執行測試、診斷並修復記憶體晶片及單晶片系統 (SoC)，此方法不但一舉解決了傳統測試機台所面臨的窘境，還可以大幅縮短測試時間並有效降低測試成本。這個構想是全新的、原創性的作法。我們相信本案成功執行後，使用無線介面來測試晶片將在十年內成為主流。並協助提升晶片測試產業之技術自主性。本計畫應用到許多通訊、設計及測試領域的相關知識，透過成計畫執行過程中實際操作研究與多元化的學習訓練將可培育許多積體電路設計與測試專業人才，紓解半導體產業人力供需不足的現象，並有助提昇產業的競爭力。鑒於無線測試系統之建立具有大幅降低測試所需時間、成本等多項效益，本計畫之成果，勢將促成一具有競爭力之嶄新產業，並可帶動相關上下游產業的發展。
- 8. 微型化與全像光資訊儲存技術之開發
 - 我國光儲存產業規模雖然為世界第一，但規格及重要零組件仍掌握在歐、日等國大廠中。若能在可攜式電子產品使用的微型光儲存技術領域獲得突破，將可大幅提升我國相關產業的競爭力。目前在這方面的應用尚未形成一完整的規格或技術上的共識，但已有韓、美、歐、日等國的產學單位相繼投入。本計畫所發展的微型讀取頭技術，將可協助國內廠商在此關鍵時刻，投入先期的研發的行列。除此之外，本計畫所發展的藍光雷射或 LED、微型透鏡以及微系統組裝技術亦可協助相關廠商取得關鍵性的技術。
 - 目前在國際上，全像光資訊儲存仍為前瞻性的技術開發階段。今年度研發的方向以發展智財權與關鍵技術為主，獲得之成果得以在新材料製程測試、光讀寫機構、以及新式編解碼技術等方面進行專利佈局，可提供相關產業在產品規格制定上具有利的國際地位；另一方面，在記錄材料之製作與檢測、多工機構自製能力、雷射光源自製能力與光學讀取頭之對光技術...等關鍵技術也取得一定的進度與能力，可提供相關產業高科技元件與精密系統之自製能力，這些進展可作為繼續研發的基礎動力，預期四年計畫完成後，可使國內光資訊相關產業在面對此全新的技術，能具有極佳的國際競爭力，創造豐厚的獲利條件。

1. 90 奈米之高畫質(HD)多核心架構多媒體處理器計畫

- 以美國的 DVR 市場服務營收預測為例，從 2005 年的 15 億並且預測 2010 年的 30 億，市場成長力道驚人，藉由此計畫之成功，可掌握相關關鍵技術，可於台灣完成整套的 HD-DVR 產品相關流程，有助於相關多媒體 OEM/ODM 產業。

2. Display Port 高速數位串列顯示介面晶片

- 相對於 HDMI 在高授權費及無法支援內接系統的應用等障礙，Dell 與 HP 等 PC 大廠主導的 DisplayPort 顯示介面相對有很大的發展空間，且 Dell、HP 與繪圖晶片大廠也都計畫從 2007 年下半年開始量產支援 DisplayPort 介面的相關產品，2008 年導入 Entry Level 產品，繪圖晶片大廠市場評估在 2008 年之後，內接系統可能將全部改用 DisplayPort 取代 LVDS，由於內接系統應用對使用者來說並沒有市場既有產品相容性的問題，預計將會是短時間成為主流的市場型態，再加上 PC 與 CE 外接系統應用，預估在未來市場成熟後每年擁有超過 200million 新一代 DisplayPort 顯示介面系統相關晶片的需求量，預估超過幾十億產值。

經濟部工業局

1. 人才培訓方面，除了引導理工背景之高級人力具有晶片系統專業技術能力，俾擴大重點產業之人力資源供給，並提供工程師進行在職進修訓練，有效提昇業界工程師素質及技術能力，以協助重點產業發展。
2. 邁入 SoC 的時代，嵌入式作業系統勢必無法與硬體切割，反而必須更緊密的配合，評估調查嵌入式作業系統需求，可深入了解建立軟硬體共構平台提供服務之標準，並比較嵌入式系統之硬體支援、軟體解決方案等，以業界走向與需求進行整理分析，未來可作為研發者引入嵌入式軟體之評估標準。
3. 廠商因執行鼓勵前瞻應用主導性新產品輔導計畫，共計引發投資約 34.5 億元。

國科會工程處

1. IC 設計產業在目前及未來均為我國最重要產業之一，目前在無晶圓廠 IC 設計產業我國雖居世界第二，但因國內廠商眾多且主力產品類似、晶片系統設計技術落後及缺乏關鍵性 IP 與系統整合能力，使整個產業發展受到相當大的限制。經由本計畫之執行已使我國學術界設計環境為世界最佳，同時使用先進製程之障礙最低，經本計劃經費之支柱與參與計畫師生的努力，不但研究成果已逐漸顯現，同時已培育出甚多優質的 SoC 設計人才，將可使我國 IC 產業持續保有競爭力以期能永續發展。
2. 藉由本計畫之執行引導國內廠商跳脫既有跟隨者的傳統產業模式，提高相關業者的發展前景與機會。

科管局

- 本計畫於矽導竹科研發中心服務專區，研發前瞻 SoC 設計平台、矽智財交易平台、嵌入式軟體等計畫，並建構以台灣半導體製造產業為主的晶片生產製造流程，以培植台灣新興設計公司的角度，提供開發 SoC 所需之相關軟硬體服務，

以降低台灣新興設計公司開發 SoC 之成本，縮短開發時程，使產品能快速推廣到市場。計畫完成後可以建立自有的設計平台，植入本國製造資料庫並完成試製驗證，矽智財皆以台灣設計平台設計，並於本國晶圓代工公司試製驗證及量產，提供全世界終端系統產品公司組裝成客戶所需產品行銷全球。期待台灣的設計平台，即是全球的設計平台；台灣的矽智財即是全球共用的矽智財，而台灣的晶圓代工則是全球 IC 的製造中心。

三、社會影響(民生社會發展)

經濟部技術處

晶片中心

1. 無線多媒體系統晶片關鍵技術發展四年計畫(1/4)

- 成功結合產官學研等不同單位投入研發 SoC 相關技術，培養國內 SoC 關鍵、EDA、低功耗、軟硬體與系統整合人才，並積極延攬海外具經驗之優秀人才，以強化我國 SoC 核心技術的研發實力。
- 計畫執行充份運用國內各界能量擴展技術研發；藉由多項學、業界技術服務、技術移轉與合作開發，可直\間接促成廠商投資，並對學\業界設計能力與環境提升，均有極大助益。

2. 通訊與光電環境建構計畫－晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項

- 與 EDA 大廠合作，發展設計方法與設計流程上的改善與突破，並透過與學術界的合作，廣泛培育 EDA、SoC、低功耗、軟硬體與系統整合人才，強化國內 SoC 核心技術的研發實力，進一步在市場卡位，以期能在通訊與消費性電子的系統晶片市場佔一席之地。

中科院

- 釋放中科院系統設計與寬頻無線之能量，培育國內無線通訊之系統、射頻與基頻設計人才，強化產業發展技術基礎，提升產品附加價值。

資通所

- 本計畫開發 WSN 所需之 SoC 關鍵技術。WSN 應用廣泛，例如：應用在電力公司的電壓監測；應用在博物館的展櫃內溫濕度、光線控制；應用在辦公住宅大樓之社區人員管控。應用於工廠之設備運作狀況監測。由於其技術之特性，使得許多過去無法實現的應用成為可能。

學界

1. 前瞻高效能低耗能之雙處理器系統技術研發

- 本計畫研發之高效能低耗能雙處理器系統之完整解決方案，在硬體上，將可宣示自行研發先進的數位訊號處理器系統的能力；在軟體上，也將顯示擁有自行設計實作先進處理器系統之相關軟體開發工具、系統與應用程式的能力與經

驗。計畫執行過程中所研發之相關設計、整合、驗證、測試、軟體系統等技術將有助於產業界加速 DSP 相關 SOC 產品之技術整合，對於目前國內之高科技資訊產業的進步與提升將有極大的幫助與關鍵性的影響。

2. 晶片系統傳輸鏈之電路系統設計與驗證平台開發

- 訓練介面整合設計的人才，具備軟硬體介面整合設計之能力，增加人才就業機會：介面整合的自動化技術可廣範應用在現今許多電子產品上面，包含手機、PDA、嵌入式系統家電等等，舉凡一個完整系統皆需面臨系統之中各個不同元件之間介面的整合及軟、硬體之間的溝通介面的整合，設計整合自動化是未來產業趨勢，透過自動化方式，加速系統產品整合，使產品更能取得市場先機，藉此提昇產業競爭力。
- 推廣系統 Virtual Platform 應用設計，提高 SoC 發展之人才素質與競爭力：現今一些發展高科技之國家，對於 SoC 或者是 NoC 的應用發展，都已經有相當不錯的開發。我們所建立的 Virtual Platform 為 NoC mesh topology 當系統架構，這對於目前在開發或者在設計 NoC，都可提供相當好的一個驗證 virtual platform，讓開發系統者可以快速的驗證，以提高 SoC 或 NoC 發展之競爭力。也讓更多產業的系統開發廠商會更投入系統的開發，而需要更多的人力，進而增加就業的機會。在 H.264 影像壓縮系統 IP 方面，我們提出 H.264 模組 IP 的快速演算法，可降低 H.264 複雜的運算量，並減少硬體數量，以提高影音多媒體的應用面並提供更多的資訊娛樂服務。

3. 超低功率數位訊號處理器核心開發

- 本技術的發展將帶動多媒體手機、MP3 Player 等相關產品的開發。

4. 晶片系統之關鍵設計技術研發

- 發展 UniRISC 處理器：有利於台灣自主性 SOC 產業的發展；與 CIC 進行 MPSOC 計畫，逐步透過 CIC 推展於學術界。
- 高效率的模擬環境設計：國內最高模擬性能，可提供相關公司快速處理器技術；具有與 SystemC 結合能力，造就 ESL 設計環境之核心基礎。

5. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計

- 本計畫之執行除了可提升我國前瞻無線通訊之科技技術水準，並可經由本計畫之執行培養大量高科技技術人才，對國內中長程相關技術及產業將有不小的貢獻。此外我國目前正在大力推行 M Taiwan 計畫(行動台灣)，以期我國在前瞻通訊技術上能與國際領先技術並駕齊驅，並加強我國在無線通訊基礎建置水準進而提升整體社會在網路通訊上之方便性，本計畫之執行及成果將可充分配合 M Taiwan 計畫，提供相關技術及人力資源，因此對整體社會之進步及生活品質之提升將有所助益。

6. 晶片系統智財彙集及介面整合實驗

- 本計畫配合計畫宗旨目的，結合台、清、交、成四所學校建立多媒體、處理器、無線、類比及 Test core 四座相關智財資料庫，納入統一智財彙整中心管理。智財中心需提供一相容智財設計與驗證平台，以供學術界與業界作智財設計技術與驗證機制之交流。預期此一智財研發彙整中心可成為國家級設計中心，提供台灣產業界進行智財設計服務之後援，亦可成為學術界之重要參考。

業界

1. 90 奈米之高畫質(HD)多核心架構多媒體處理器計畫

- 此計畫之成功，可以破除目前日、美掌握關鍵技術局勢，協助台灣相關廠商進入高畫質視訊產業，促進廠商緊密合作，關鍵智財掌握，可提升台灣視訊產業競爭力。

2. Display Port 高速數位串列顯示介面晶片

在 DVI/HDMI port 的 Video Processor、LVD TV Controller 晶片也已完成量產準備，搭配新一代傳輸介面 DisplayPort 的開發，對國內 TFT LCD 產業將有莫大助益，強化國內電子產業健全體質及上、下游產業整合能力。

經濟部工業局

1. 促成輔導企業－智慧星微系統股份有限公司與中山大學電機系奈米微系統實驗室及黃義佑教授合作，並以共同開發之「具高表面積之多柱狀微熱電致冷器」進行中華民國專利申請中。
2. 廠商因執行鼓勵前瞻應用主導性新產品輔導計畫，促進公司新聘博士 4 人、碩士 28 人、學士 11 人，共計增加就業 43 人。

國科會工程處

1. 計畫執行過程中所研發之相關設計、整合、驗證、測試、軟體系統等技術將有助於產業界加速相關 SOC 產品之技術整合，對於目前國內之高科技資訊產業的進步與提升將有極大的幫助與關鍵性的影響。
2. 計畫中通訊技術與生醫照護技術的發展，可加速國人生活便利性，提升國人生活品質。
3. 透過計畫之推動，學界研發團隊針對提出新創性的演算法架構，初步驗證後與法人如工研院或是中科院合作，完成雛形系統的建制與驗證。待市場成熟，所累積的研發能量與訓練出來的人才，就能結合國內產業的相關技術，不論在推出更具競爭力的產品，或是提升台灣在系統規格制訂的能力，都將有極大的助益。

竹科管理局

本計畫以培植台灣新興設計公司為主要目標，提供設計 SoC 產品所需之軟硬服務，期望本計畫可協助國內具創意之工程師或設計團隊，在研發產品初期能提供具競爭力價格之先進設計工具與開發 SoC 產品之服務，提升台灣半導體之整體設計能力。

四、其它重要成果效益

經濟部技術處

晶片中心

1. 無線多媒體系統晶片關鍵技術發展四年計畫(1/4)

- MIMO Mobile WiMAX 關鍵技術 FY96 完成 DVB-H RF Tuner IC 以及 Mobile WiMAX RF Mixed Mode 等 RF IC 設計及開發驗證。
- PACII Processor and Software Application 關鍵技術 FY96 成功完成國內領先使用具 DVFS(Dynamic Voltage Frequency Scaling)功能之 PMP SoC 執行 H.264 解壓縮器，可提供數種功率模式供軟體動態調整，改善晶片能量消耗並有助於降低系統功率消耗，延長行動可攜設備可使用時間。

2. 通訊與光電環境建構計畫－晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項

- 本計畫所建立的 Low Power Design flow 設計技術，將 Power gating 技術搭配自行開發之低 rush current，快速 wake up 之 power gating cell，可大幅降低漏電流及縮短時間，並發展 Dynamic & static IR drop analysis，可更精準分析動態功率消耗。

中科院

- 7 月 16~20 日參加 IEEE 802.15.3c 國際標準制定會議，與台灣大學、元智大學合作提出 1 項 Proposal (DCN: DCN:15-07-0615-01-003c)，通過第 1 次 Down Selection，全球排名第四，尚在三星與菲利浦之前。
- 完成 MB-OFDM UWB PHY V1.2 ASIC-Oriented FPGA VHDL 碼設計，並與 MAC 系統軟體整合於 FPGA 與射頻雛型(Prototype)整合平台，完成無線影像傳輸驗證，在 5 公尺的距離 PHY 傳輸速率可達 60Mbps。

資通所

- 完成 ZigBee 2006 無線通訊協定開發，並完成 60 nodes，10 天 24 小時無間斷聯網之穩定性測試。
- 針對工業、環境監控及生活等應用提供 WSN Turnkey Solution，協助中下游產業之系統整合、技術服務及營運等。

學界

1. 前瞻高效能低耗能之雙處理器系統技術研發

- 已完成技術移轉案例 1 件，移轉的對象為：奇景光電股份有限公司。
- 獲得 2 件中華民國專利，國內外共有 10 件專利正在申請階段；發表於國外期刊之論文共 7 篇。

2. 晶片系統傳輸鏈之電路系統設計與驗證平台開發

- 完成介面自動合成產生器(interface auto-synthesis generator)：提供圖形化介面供設計者輸入規格參數，包含 I/O definition, protocol description, buffer width, buffer depth 等等。
- 完成驅動程式自動產生器設計：針對 character 與 block type 之 device，以 Template-based 之設計，提供設計者圖形化介面，透過點選介面選單之參數，包含 header-file、address、kernel function 等等。

3. 超低功率數位訊號處理器核心開發

- 完成第二版 DSP 指令集 (Instruction Set Architective)
- 完成第二版軟體 Tool Chain 含 Compiler, ISS Simulator 等。
- 已申請 14 件 (9 項) 相關專利，申請中 11 件 (7 項)，已核准 3 件 (2 項)。

4. 晶片系統之關鍵設計技術研發

- 完成 UniRISC 原型 (Ver.1.2) 及進階版 (Ver.1.5) 之設計及驗證。
- 完成 0.5V 低電壓 CMOS Cell Library，並以 RISC Core 驗證成功。完成 Dual-Vth TCAM 及 ADDLL macros 設計與驗證。
- 完成 Dual-V^{DD} 電路設計軟體 "Clustuar" 及具 PVT 變異容忍度之 Level Converter 設計。
- 完成 IPV6 Soft IP 設計，相關專利申請中；完成 TCP Splicing Software 環境架設。

5. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計

- 完成 WiMAX RF Transceiver 系統驗證 EDA 平台及 802.16e/802.11n RF/Analog IP Behavior Modeling 流程與環境建構。
- 完成多項高效能之 802.11n/16e 基頻智產(IP) 之設計含，FFT/IFFT、RS decoder、LDPC 解碼器、Turbo 解碼器。

7. 晶片系統智財彙集及介面整合實驗

- 完成之 IPQ 流程，提供各校研究生採用，並與業科 IP Mall 廠商研擬納入 IP Mall 交易平台中。
- 完成之跨校合作 IP 匯集平台，除了提供各校 SOC 中心作為資訊交流外，更有助於產學交流及技術移轉洽談。

8. 后羿計畫—前瞻無線測試平台與技術

- 研發完整 All-digital Phased-Lock Loop(ADPLL) 技術，與國際技術相較具有 High Frequency Profile Uniform 及超高解析度等優勢。
- 已獲得之專利-中華民國專利：(1)積體電路元件檢測系統。(2) 複合多項式之亂數產生方法及其裝置。(3)半導體記憶體及其錯誤修正方法。

9. 微型化與全像光資訊儲存技術之開發

- 完成分離式 (Discrete) 及積體式 (Integrated) 的紅光 (NA0.65，波長 650nm) 及藍光 (NA0.65，波長 405nm) 微型光學頭系統設計架構，其中分離式系統使用合離式光學元件，積體式系統則利用 SU8 製程整合部份光學元件。
- 完成上述四種系統的相關光學設計，並已訂定細部元件規格包含 HOE、LD、PD、Prism、Micro-mirror 與 Substrate 等。

業界

- 在推動成立 SoC 業界科專計畫方面，其推動重點在「創新性整合系統」、「前瞻電路智材設計」、「設計工具/設計平台」。根據此三項推動重點，今年共推動 12 件業界科專與 1 件國外研發中心。通過審查有 5 件業界科專與 1 件國外研發中心。其效益如下：
- 透過安霸的計畫，將協助廠商開發應用於數位電視的 Multi-Core Audio Application processor。此計畫完成後可達到 H.264/AVC 及時編碼，並滿足 HD 視訊的要求，未來將可協助系統廠順利切入高畫質應用領域。
- 透過奇景光電的計畫，將協助業界開發支援新標準(DisplayPort)的平面顯示模組相關晶片與技術，並利用與國內面板廠既有的合作管道，進而提供完整的高品質顯示系統方案。

經濟部工業局

推動執行晶片系統人才培訓計畫、協助進行產發展策略研究與規劃、協助進行創意

系統產品研究與促進產學研參與國際標準組織、鼓勵前瞻應用主導性新產品開發補助，其詳細執行成果如下：

- 12 月份完成短期專業進修人才培訓班 1,624 人次，學員出席率均達八成以上，達成計畫目標；完成中長期養成人才培訓班 91 人，達成計畫目標，學員出席率均達五成以上。
- 針對晶片系統國家型科技計畫，進行產業發展策略規劃與研究，舉辦「晶片系統(SoC)產業發展座談會與研討會」各 1 場次，彙整各界專家意見，完成「國內發展 SoC 現況分析與可行之策略方案報告」、「國際間 SoC 發展相關指標、技術發展與次世代產品趨勢分析報告」，以及「國內 IC 設計產業目前發展 SoC 之現況調查研究報告」等三份研究報告之編撰。
- 建立 SoC/ESW 開發驗證技術與推廣業界應用，完成嵌入式作業系統之需求調查及 Linux 安裝程序導引報告、FPGA 硬體加速模擬技術及推廣業界應用、先進製程低功率實現後正規驗證流程/方法及推廣業界應用、低功率電路正規驗證流程 (Formal Verification) 方法及技術報告、先進製程免雜訊 (SI) 設計流程/方法。
- 促成學研業界共同交流，積極參與國際標準組織、深入國際標準制定活動並提出標準制定草案
- 96 年度共受理 10 件計畫申請案，執行計畫管考共 19 件計畫，執行廠商 19 家；辦理宣導說明會 6 場，共計 118 家廠商與會；辦理 5 場簽約作業暨計畫執行說明會，共計 7 家廠商參加。遴選並採訪 5 家（京潤科技、鈺寶科技、詠發科技、旺玖科技、義隆電子）執行成效良好廠商，編撰計畫成果專刊。
- 自 92 年 5 月至 96 年 11 月共受理 71 件申請案，經晶片系統國家型科技計畫辦公室認列符合計畫範疇共計 56 件。符合 SoC 範疇的 56 件當中，獲核定通過共 34 件。研發總經費計新台幣約 19.6 億元，包括政府提供補助款約 6.2 億元，促進民間投資計約 13.4 億元。

國科會工程處

推動執行補助學術整合型研究計畫，其詳細執行成果如下：

- 配合矽導師資及大量研究生之投入，培養博碩士高階研發人力近五百五十人。
- 在電子系統層級(ESL)設計，通訊 CMOS 傳輸 SoC、生醫應用 IC，EDA 技術、多媒體 IC、軟性電子 TFT 電路、SoC 測試，多核心嵌入式系統等關鍵 SoC 技術均已有團隊投入研發，對國內產業界未來之發展提供堅強之後盾。

教育部

教育部前瞻晶片系統設計人才培育先導型計畫推動的思維，是希望透過學校教學實驗環境及課、學程教材內容的建置及改進，協助學校提昇其教學品質，進而培養出產業所需，具國際競爭力的人才。本計畫依循此推動理念，將推動經費主要投入在「教材的發展與推廣」及「學校教學資源的充實」二項工作上，其推動成果及效要摘要說明如下。

1. 教材的發展與推廣

- 96 年本計畫補助發展 6 門前瞻專業課程，累計(自 91 年開始)發展 56 門課程教材及 5 門通識課程教材，並全數收錄至 SOC 聯盟教材資料庫，供全國大學校院相關教師下載使用。96 年度新增註冊使用本教材資料庫的教師共有 149 人，並有 1,451 人次完成教材下載，累計(93 至 96 年)有 505 位教師註冊使用本教材資

料庫，3,140 人次完成相關課程教材下載。(資料庫網址：
http://vlsicdb.cs.nthu.edu.tw/main_all.htm)

- 本計畫補助發展的教材係由以聯盟跨校核心師資合作開發，這些結合跨師資發展出來的上課及實習教材，透過聯盟教材資料庫的分享機制，以及聯盟辦理的各項短期研習課程的推廣，得以迅速及全面性地讓國內相關教師在最短時間內獲得已經消化、彙整之相關資訊及教材，並能在較短的時間內，熟悉了解這些前瞻議題，應用於各校相關教學、研討上。各校師生直接獲益，影響層面擴及全國，極具推動效益。

2. 學校教學資源的充實

- 在 SoC 前瞻技術領域專業教學方面，本計畫推動「SoC 學程計畫」，96 年度補助 40 大學校院 58 系所推動 SoC 相關學程共 74 案，充實大學校院相關課/學程教學軟硬體實驗設備，共有 25,449 修課人次；在跨領域整合教學方面，本計畫推動「高科技專利取得與攻防課程推廣計畫」及「晶片系統商管學程計畫」。有關專利課程推廣計畫，96 年度培養 54 名種子教師，並補助 31 大專校院開授本項課程，累計(94 至 96 年)共有 2,609 修課人次。有關晶片系統商管學程計畫，共補助有清華大學、交通大學等 9 校開授本學程，目前共約有學生 2,000 人登記修習本學程，累計修課人次約達 6,000 人次。
- 透過上述各項課/學程推廣計畫的推動，本計畫協助全國各相關系所在各校開授 SoC 領域專業及跨領域課程，並藉由聯盟各項短期研習課程及聯盟教材資料庫的推廣分享機制，將聯盟發展出的教材典範廣泛地落實於國內各大學校院正規教學活動上，不但加速學校在 SoC 領域的教學能量的建立，也全面提昇國內大學校院 SoC 領域的教學品質，對於 SoC 領域博碩士人才的培育確有很大的貢獻。

竹科管理局

推動執行前瞻 SOC 產品設計服務技術研發計畫，其詳細執行成果如下：

- 竹科研發中心硬體工程已於 95 年全部完成，辦公室區域約 14,000 坪。
- SoC 設計環境建置第一階段網路建置已於 96 年 2 月完成，包含設計平台主機房、Server、Storage 等硬體建置。
- 完成與國內外知名電子設計自動化軟體業者如 Synopsys、Cadence、Mentor 與 Agilent 等設計平台之建置，提供 EDA/IT 軟硬體設計環境服務。
- 建立 IP Mall 交易平台服務，引進具商業價值 IP，促成新系統產品快速開發上市。
- 成立單一窗口，招商引進 IC 設計及相關公司進駐，廠家數達 14 家，進駐率已達 50% 以上(含交大育成中心、IMEC)，完成 SoC 設計訓練教室及視訊會議室。

陸、與相關計畫之配合

- 結合資策會、交大及清大研發能量，共同於清大圖書館完成無線感測器網路建置，並具備室內環境監測、人員定位追蹤及線上更新無線節點等功能。本測試應用平台系統將可提供產學研進行各類創新技術及應用服務等測試驗證。
- 推動學界成立研發中心，投入研發能量於前瞻無線測試平台、雙處理器系統技術、低功耗數位訊號處理器等技術，並結合研究單位，致力於產業技術開發的推動，以提升整體產業技術。
- 提供「國內發展 SoC 現況分析與可行之策略方案報告」、「國際間 SoC 發展

相關指標、技術發展與次世代產品趨勢分析報告」，以及「國內 IC 設計產業目前發展 SoC 之現況調查研究報告」，協助國內產官學研了解競爭國家產業現況及產業環境建構，以作為業界在產品與技術開發方向之決策依據。

- 延續 FY94/FY95 3 個 SoC 相關國際前瞻標準工作小組，實際參與國際前瞻標準組織，透過工作小組會議推動工作進行。
- IP Mall 完成與國內外知名電子設計自動化軟體業者如 Synopsys、Cadence、Mentor 與 Agilent 等設計平台之建置，提供 EDA/IT 軟硬體設計環境服務。
- 建立 IP Mall 交易平台服務，引進具商業價值 IP，促成新系統產品快速開發上市。

柒、後續工作構想之重點

- 在以創新產品為導向之系統整合技術部分，強調多元網路整合技術，達成異質網路整合與上層應用整合，做到 Seamless Applications、IP Mobility、與 Ubiquitous Networking；注重數位生活數位家庭 (e-Life and Digital Home)，希望迎接數位家庭時代，開發相關異質網路連結及多媒體產品技術，豐富娛樂教育內涵；重視健康監控生活照護 (e-Health, Health Monitoring and Life Care)，發展健康監控與居家照護系統並結合網路系統開創 e-Health、e-Life 的新應用。
- 在以前瞻技術為導向之晶片整合技術方面，政府投入資源協助法人研究機構與學校，執行先行試驗計畫，率先投入使用先進製程，完成設計流程來作 SoC 設計研發，取得經驗，減少業界先期投入的陣痛，發展前瞻電路智財模組(Advanced IP Technology)；另亦發展多元模組整合技術 (Heterogeneous Integration) (CMOS/MEMS/SiP, D/A/RF)，整合數位、類比、射頻模組，降低能耗、減少成本、提升附加價值；推動自動設計軟硬共構 (EDA and Hardware/Software Co-Design Platform)，厚植嵌入式軟體技術，開發其發展系統平台與週邊相關應用軟體工具鏈。
- 在以前瞻 SoC 設計人才養成與環境建構部分，以 SoC 教育改進計畫，培育電機資訊相關科系學生為具國際競爭力的晶片系統軟硬體設計之高級人才；以系統晶片工業人才培訓為延伸，作為工程師再教育與轉業之培訓；並以訓練具國際觀與國際知名度之設計人才，提升我國技術的能見度為目標。此外，並推動 IP 使用成為台灣 SoC 設計的主流模式，並建構完整之 IP 商業整合環境。在 SoC 前瞻技術領域專業教學方面，本計畫推動「SoC 學程計畫」，充實大學校院相關課/學程教學軟硬體實驗設備；在跨領域整合教學方面，本計畫推動「高科技專利取得與攻防課程推廣計畫」及「晶片系統商管學程計畫」。
- 綜觀上述，辦公室針對技術整合開發及產業需求預計 97 年第一季產出策略行動規劃方案，提供政府資源投入時推動之方針，後續工作之重點為：
 - 數位家庭加強與法人合作，以系統整合終端產品為目標，訂定系統需求規格。
 - 推動 Multicore 技術相關軟硬體研發。

- 人才環境積極促進國內研發人員養成與提升國際 SoC 領域地位。
- 嵌入式系統積極推動嵌入式軟體應用及設計平台，另規劃促成嵌入式產業發展聯盟，使嵌入式系統產業上下游的合作，建立產業鏈 ecosystem 的完善體系。
- 生醫電子積極規劃與工研院合作開發，期望發展出具獨特創新功能的生物醫學晶片，以開創 e-Health、e-Life 的新紀元。

捌、檢討與展望

一、檢討

晶片中心

- **Software** 在計畫中佔重要因素，然國內缺乏系統面之軟體開發人才。本計畫積極尋找專業軟體人才，並 **leverage** 工研院、資策會等資源，共同致力於無線多媒體系統晶片關鍵技術之研發。
- 國內在 **IC/SoC** 產品之驗證技術與人才極為缺乏，爲了提昇國內 **IC** 與 **SoC** 設計產業的競爭力，需要政府積極投入 **IC** 與 **SoC** 驗證方面的能量，以提昇未來研發人才的素質與產品競爭力。

中科院

- 本計畫開發自主 **UWB** 晶片關鍵技術，並技術移轉國內業者(如聯華電子、創惟科技等)開發 **UWB** 晶片並掌握關鍵零組件，降低對國外大廠的依賴。其中，創惟科技預計投入 1 億元開發 **UWB** 晶片解決方案，預估產值達 50 億元。就在國內業界普遍肯定本計畫之研發成果之時，本計畫亦面臨核心研發人員流失的問題，因此本計畫正考慮在完成經濟部交付之階段性任務後，將終止計畫執行，以便於將寶貴的政府資源做更妥善之運用。

資通所

- 感測網路應用廣泛，涉及各樣的 **Domain Knowledge**，因此需密切與各領域專業結合，深入瞭解其應用需求，才能開發出符合於領域特定需求。
- 家庭娛樂市場潛力無窮，**WSN** 應用於寓教育樂將有極大的發展潛力。未來亦將朝向新型態的遊戲育樂應用需求，研發出寓教育樂應用 **WSN SoC**。

工業局

- 爲因應產業對有效人力運用及素質提升之需求，未來長期人才培訓學員就業公司除了跨領域公司及轉換至同領域不同公司外，同公司轉換部門，亦可爲列入就業媒合計算範圍中，促使廠商現有人力能充分運用，避免造成部分職缺嚴重不足但部份職務卻人力過剩之窘況。
- 標準規格制定過程需廠商積極參與，才能提出符合產業效益之規格標準，然因標

準推動工作需專人專職長期投入，又難見到立即效益，更涉及各廠商不願揭露的商業機密，廠商投入意願不高。

- 標準推動工作非常需要來自業界的實質投入，然目前計畫規定出國人員僅限計畫書內人員，則業界人士已被排除在外。
- 雖然持續進行計畫廣宣之媒體活動與舉辦計畫說明會，主動出擊拜訪國內 IC 設計廠商，積極進行計畫補助機制說明，並主動輔導廠商進行提案作業，惟廠商提案件數仍傾向和緩。

國科會

- 自從進入奈米製程(65m/45nm)以來，製作 IC 所需經費膨脹非常快。尤其是 SoC 所需面積大，經費更是驚人，因此晶片製作費用日益不足。目前已朝多個設計案共用一嵌入式核心處理器(MP-SoC)的方式降低所需經費，未來將持續開發前瞻電路共用與重新結構(reconfigure)技術已持續降低大型設計製作所需費用。

教育部

- 本計畫主要執行人力為各大學院校之教授學生及 9 位專任助理，另外在每項活動亦須動員本計畫核心人員外之支援人力，整個規模非常龐大。計畫經費約僅有 5.2%用於聯盟行政管理，經費之使用效率極高。本計畫之產出除了多項重點課程教材之開發與推廣，對於相關學術活動如國際研討會，全國性學生競賽，國際學生交流，種子教師培訓，跨領域新課程師資培訓等等莫不帶給全國 SoC 領域相關師生，甚至產業界研發人員吸取新知，深化技術之機會與效果。
- 對於提升領域內師生之國際競爭力相關推動，因在行政層面限制較為繁複、誘因少，加上參與教師需要投入的時間與精力十分龐大，推動上稍顯薄弱。未來推動宜積極協調，降低行政藩籬，以提供投入相關推動的教師一個可專心推動核心工作的行政環境，進而提昇領域教師參與的意願。

科管局

依實際執行面分成硬體工程及環境建置（軟體）兩部分，先進行硬體工程計畫，再執行環境建置（軟體）計畫。

1. 硬體工程：

- 配合矽導計畫催生 SoC 設計服務示範專區，由科管局承購飛利浦大鵬廠區顯示器製造廠房的 13605 坪空間，該廠房佔地八公頃，緊鄰台積電、聯電，做為矽導計畫之智財匯集、SoC 平台服務、驗證服務、測試服務、培訓服務、研發中心、育成中心及 Data Center 之全方位服務示範園區，結合周邊 IP、EDA 及系統廠商等之創新設計能力，建構全功能的設計服務專區，並將成為政府與民間合作共謀國家建設之範例。

- 竹科研發中心硬體工程部分，因委託交通大學承包整建工程之承包商關係企業財務周轉困難，致使工程延宕，廠商無法如期進駐，同時原訂 94 年至 96 年要執行之「前瞻 SoC 產品設計服務研發計畫（SIPP）」，亦無法如期進行，計畫必須往後順延 1 年（95 年至 97 年）。惟在經多次與交大召開協調會議結果，情形已獲致改善，且於 95 年 4 月底業與交大完成工程移交手續。
- 科管局接續辦理周邊廠房改裝餐廳、禮堂與生活機能區整建裝修工程，預計 97 年完工，期能於未來符合矽導計畫後續推動與招商進駐之需求。

2. 環境建置－「前瞻 SoC 產品設計服務研發計畫」：

- 科管局於 94 年 5 月 18 日向科發基金管理委員會申請 3 年計畫，在 94 年執行第一階段，95、96 年執行第二階段；94 年核定總經費 1.24031 億元，95、96 年各分別為 1.4392 億元及 1.196 億元，預估總金額為新台幣 3.87551 億元。由於第一階段期程從 95 年 3 月開始，整體計畫期程將由 95 年 3 月至 98 年 2 月止。
- 林政務委員逢慶於 95.11.09 及 96.03.23「挑戰 2008：國家發展重點計畫」檢討會議指示，SIPP 計畫應針對招商及營運面提出深入規劃說明，於下次指委會提報。科管局依林政委指示及期末報告審查意見全盤檢討後續計畫，執行重點將置於產業化效益、招商及營運。計畫將 EDA/IT 服務平台、IP Mall 交易平台及設計服務業務，將採專業委託方式執行(繼續委託交大執行)，另招商、環境機能建置管理由科管局執行，測試量測服務引進廠商入區提供服務。
- 本計畫交通大學針對上述修正建議提出第二期計畫，經 96.8.13 召開矽導指導會議結論，交通大學將繼續執行本計畫中 EDA/IT 服務技術、測試服務、IP Mall 交易平台及設計服務業務等項目，已簽約議價完成並全面推動。

二、展望

- 建議人培計畫結案時間，不因年度結束而結束，以跨年度之方式，讓結訓學員在業界最需要之時間投入市場，強化人才培訓計畫之功效。
- 目前標準推動工作雖以分享標準資訊與工作小組成果予業界為主，使廠商取得現有的標準資訊做為產品研發方向的參考。但藉由資訊的分享，已逐漸凝聚廠商共識，了解標準推動的長遠利益，進而願意投入更多人力共同擬定參與標準提案的可能規格及方式。
- 建議由業界熟悉相關技術人員參與國際會議，整理相關標準資訊，再由計畫經費向其購買相關標準報告。
- 未來將持續拜訪廠商、了解廠商需求，以此修訂計畫機制，提升廠商提案意願，特別是未來將持續配合晶片系統國家型科技計畫推動重點：「數位家庭」與「生

醫電子」兩領域進行計畫推動之各項工作。

- 綜而觀之，本計畫推動績效優良，未來，宜持續配合晶片系統國家型科技計畫辦公室之規劃，爭取更多專家學者之參與，持續精進優質之 SoC 人才的培育。

(附件)

晶片系統國家型計畫辦公室 96 年行事曆

月	日	星期	事件名稱及摘要
1	9	二	計畫辦公室週會
1	11	四	Embedded Memory 討論會議 延續第一次會議結論，擬定推動策略方針，達成整合研發能力推動之目的，並附上第一次會議紀錄以供參考。
1	16	二	部會協商會議 97 年度中程綱要計畫審查作業事項
1	22	一	計畫辦公室週會
1	24	三	Embedded World-嵌入式系統暨應用技術論壇 隨著有線、無線寬頻技術快速演進，各國寬頻基礎建設日趨普及，透過各項資訊、通訊及消費電子產品，Any Time、Any Where、Any Medium 擷取個人所需之資訊，已對 21 世紀人類生活產生革命性改變。
2	11-14	日	國際交流 International Solid State Circuits Conference
2	27	二	NSoC 月會會議
3	15	四	科技政策管理暨科技計畫績效管考資訊平台說明會
3	15-16	四	第十三屆高性能計算編譯技術研討會 為電腦編譯系統、平行計算研究領域之國內重要學術會議之一，自民國 84 年第一屆舉辦以來迄今已舉辦 12 屆。其研討之主題側重於高性能計算系統及編譯技術未來研究發展之方向：包括即時系統與內嵌式系統之編譯技術，開發叢集計算與網格計算之技術與應用。
3	16	五	Memory Workshop 籌備會議
3	20	二	NSoC 部會協商會議
3	27	二	發現無線區域網路 802.11n 商機研討會
4	2	一	晶片系統國家型計畫指導小組會議
4	9	一	國科會委員會議
4	16-19	一	國際交流 3rd International Nanotechnology Conference on Communication and Cooperation
4	23-27	一	2007 國際超大型積體電路技術、系統暨應用(VLSI-TSA)設計、自動化暨測試(VLSI-DAT)研討會
4	24	二	NSoC 月會會議

5	10-12	四	半導體產業展
5	17	四	NSoC 中綱會議審查
5	21	一	Conference Meeting 1. 技術處中綱計畫預算相關事項討論 2. 召開會議後相關會議紀錄及補充
5	24	四	Conference Meeting 國科會中綱計畫規劃內容相關事項討論
5	25	五	97 年度經濟類國家型科技計畫概算額度協調複審會
5	31	四	Conference Meeting
6	8	五	發展 WiMAX 產業－人才培訓相關事宜討論
6	12	二	NSoC 月會 介紹新團隊、計畫簡介及推動現況報告、團隊分工及推動策略討論
6	26	四	國家型科技計畫主持人/共同主持人座談會議
6	29	五	嵌入式軟體討論會議 嵌入式軟體計畫擬提科發基金之討論
7	6	五	嵌入式軟體座談會議 嵌入式軟體計畫發展共同平台之策略規劃討論
7	12	四	國科會發明展第一次籌備會議
7	17	二	NSoC 部會協商會議 工研院晶片中心、資通所報告「法人科專在 WiMax 資源投入及現況」
7	31	二	SOC 技術策略規劃與推動會議 因應 7/17 日會議決議，儘速擬定 NSoC 與部會並肩推動的策略規劃
8	14	二	國科會發明展第二次籌備會議
8	16	四	橋接計畫事前討論會 NSoC 橋接計畫策略規劃
8	21	二	NSoC 月會會議 「e-Life」執行時程 roadmap
8	23	四	MTDT 籌備討論會議
9	11	二	NSoC 部會協商會議
9	26-28	四五六	.IEEE International SoC Conferenc(協辦) 地點：新竹國賓飯店
9	27	四	NSoC 辦公室會議
9	29	六	NSoC 國科會整合型研究計畫成果發表暨學界科專審查會 地點：交大交映樓 1 樓國際會議廳
9	27-30	四五六	國科會發明展

		六日	地點：台北世貿中心
10	1	一	Multi-Core 策略論壇會前會
10	18	四	NSoC 辦公室會議
10	23	二	NSoC 月會會議
10	29	一	95 年度擴大產學合作創新研發計畫成果報告會 (黃經堯教授出席，有關橋接計畫相關會)
10	30	二	IEK 舉辦 SOC 座談會 (周景揚執行長出席)
10	30	二	IEK 舉辦『數位生活與生醫發展趨勢』研討會 (許炳堅召集人、邱俊誠召集人出席)
11	5	一	Tron 合作計畫會議
11	8	四	97 年辦公室維運計畫審查會議，地點國科會 (柯明道副執行長出席)
11	16	五	NSoC 辦公室會議
11	18-19	日一	2007 International Workshop on SoC Frontiers 地點：交大交映樓國際會議廳 特別邀請歐盟、加拿大及國內頂尖 SoC 學者專家
11	20	二	NSoC 部會協商會議 特請 IEK 簡報 e-Health 產業及技術資訊
12	1	六	大學教師學術生涯規劃研習營 地點：交大電資中心國際會議廳
12	3	一	記憶體電路、系統與應用-台灣產官學研高峰論壇 地點：假台北晶華酒店舉行
12	4-5	二三	IEEE International Workshop on Memory Technology, Design, and Testing 地點：假台北晶華酒店舉行
12	18	二	技術處舉辦 96 年度電資通光領域規劃會議 地點：台北科技大樓(關志達召集人出席)
12	25	二	NSoC 月會會議
12	27	四	與技術處討論法人科專未來推動事宜

附件一

經濟部技術處成果效益事實報告

96 年政府科技計畫成果效益報告

壹、基本資料：

計畫名稱：發展晶片關鍵技術及設計驗證中程綱要計畫(1/4)

主 持 人：徐紹中

審議編號：96-1401-03-庚 01

計畫期間(全程)：96 年 1 月 1 日至 99 年 12 月 31 日

年度經費：1,037,567 千元 全程經費規劃：7,707,000 千元

執行單位：經濟部技術處、工研院、中科院

貳、計畫目的、計畫架構與主要內容

一、計畫目的：

本計畫係依據產業需求及技術發展趨勢並配合矽導計畫第一及二期的願景與目標，選定重點技術類別為主軸(如 WiMAX/4G、PAC、SiP、UWB 等關鍵技術)，並搭配環境建構、學界科專及業界科專之推動，以「矽晶圓製造為根，晶片系統設計為幹，創造優質生活為果」的基本精神而推動，發展台灣完善的晶圓半導體產業為根基，建構高效率的晶片設計技術與環境，利用系統晶片的實體產出，推動跨領域創造優質生活的創新產品開花結果，掌握與開發 SoC 技術核心與建立國際一流的研發環境，成為台灣未來於國際市場競爭中的新核心競爭力。

晶片系統國家型計畫第一期願景為「建立台灣成為世界系統晶片設計與服務中心」(IP Promotion)，其總目標如下：

1. 建構全球首區一指的设计環境、同步設計的能力，建立台灣成為全球系統晶片設計與服務中心，積極建構完整的系統晶片設計環境，創造附加價值產品。
2. 藉由本計畫的實施，先建立重點產品所需要的 SiP，供全世界的客戶使用，然後透過此計畫的成功，逐漸由民間企業來承接，即可全面發展未來所有重點產品的各式各樣齊全的 SiP。
3. 發展關鍵技術，包括低功耗高效能系統晶片、RF / Mixed Signal、無線通訊系統等設計技術、PAC DSP、Application Processor Platform 技術及標準 EDA Flow。
4. 建立可測試設計環境，使得晶片產品在设计開發的階段就能夠將產品的測試方案設計進晶片，以解決晶片產品的測試問題。

5. 提供設計平台環境與技術以支援晶片系統國家型計畫的各項前瞻產品開發。

晶片系統國家型計畫第二期願景為「創造優質生活之兆級多元化整合技術」(IP Integration)，其總目標如下：

1. 多元化整合資訊、通訊、消費性電子、數位內容等科技，開發對工作、生活、娛樂有益處的系統應用產品，帶給全民優質生活。
2. 建立以前瞻為導向的相關系統晶片整合技術，發展具創意之異質網路、娛樂、教育、生活照顧等產品。
3. 使用與國際同步之先進製程，開發具國際水準、高附加價值的 SIP 關鍵技術。
4. 培育 SoC 世界級的軟硬體設計、產品創意、國際行銷、系統產品應用等人才，提升我國人力素質與國際競爭力，並積極參與國際各項標準訂定。

在此總目標指引之下，設立本計畫願景如下：

1. 掌握與開發 SoC 技術核心技術
2. 建立國際一流研發環境
3. 協助台灣成為世界級 SoC 設計/服務中心

二、計畫架構(含樹狀圖)：

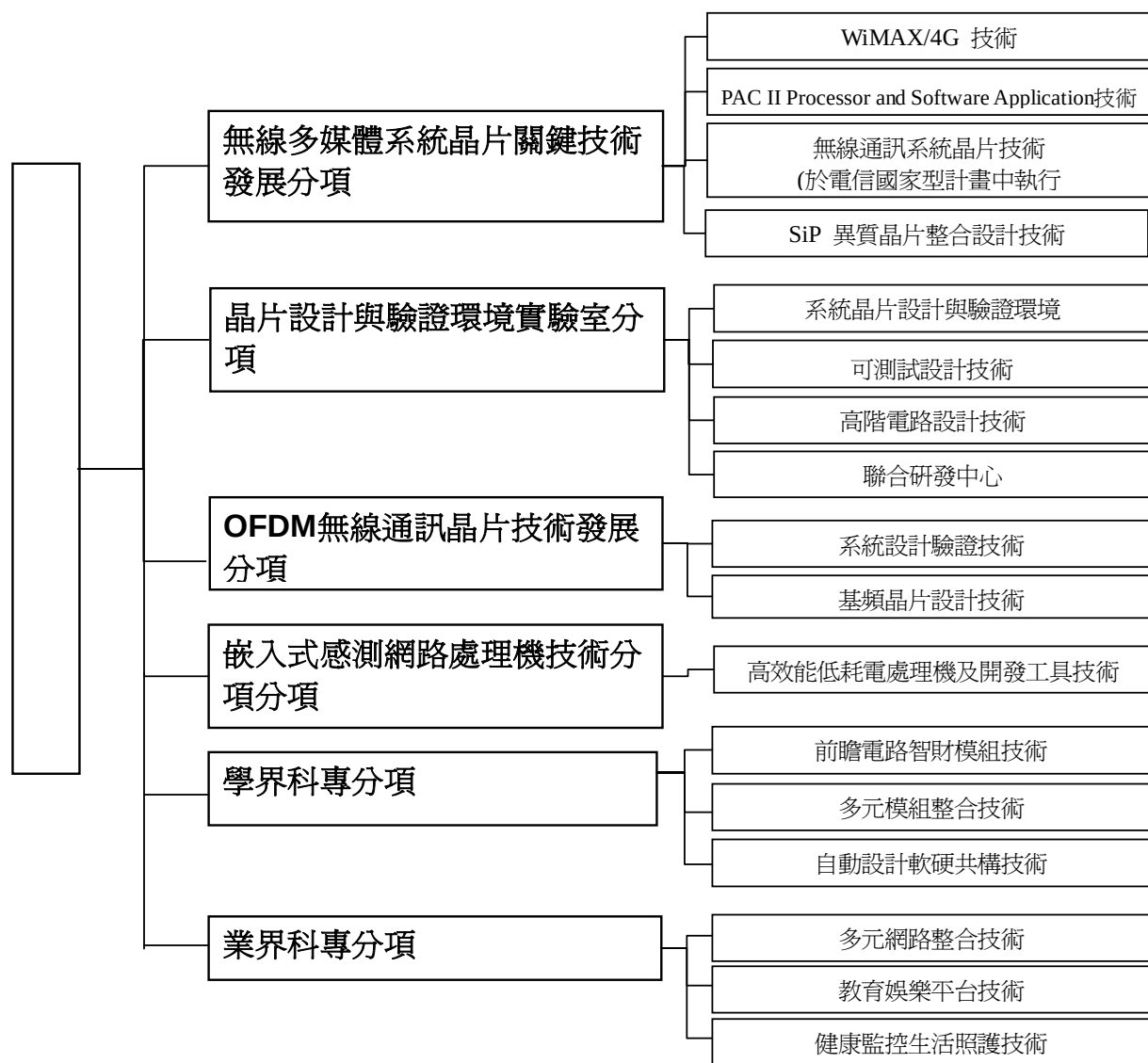


圖 1.發展晶片關鍵技術及設計驗證中程綱要計畫架構圖

三、計畫主要內容

本計畫分為六個分項 (請參考計畫架構圖)，分別為無線多媒體系統晶片關鍵技術發展分項、晶片設計與驗證環境實驗室分項、OFDM 無線通訊晶片技術發展分項、嵌入式感測網路處理機技術分項、學界科專分項及業界科專分項。

另為了配合 M-Taiwan 政府政策及確保無線通訊 WiMAX Chipset 的發展成功，「晶片系統國家型科技發展計畫」與「電信國家型計畫」同時支持此項技術發展。本計畫雖為「晶片系統國家型科技發展計畫」，但為了使委員對 WiMAX Chipset 發展有一全貌，本文也呈述於「電信國家型計畫」中針對 WiMAX Chipset 執行之工作項目於第一分項中之無線通訊系統晶片技術子項展現，唯該子項之經費與人力是含括於電信國家型計畫。

以下針對六個分項計畫主要工作內容分述如下：

1. 無線多媒體系統晶片關鍵技術發展分項

(1). WiMAX/4G 技術：

- 完成 WiMAX RF/BB IC 兩顆 Chip。
- 完成 WiMAX Application-specific Chipset。
- 完成 WiMAX Single Chip Integration。
- 完成 DVB-H RF Tuner。
- 完成 4G Transceiver Key Modules Circuit Design。
- 完成 4G Transceiver Test Keys and Engineer Test Modules。

(2). PAC II Processor and Software Application 技術：

- 完成 Multi-Cores/ Multi-Threads DSP Arch. Design。
- 完成 PAC SoC(smart phone) Tape out and Reference Design。
- 完成 Multi-cores IPC。
- 完成 Multi-Cores/ Multi-Threads DSP Tape out。
- 完成 Application Processor (for wireless Comm. /HDTV) FPGA Demo。
- 完成 Application Processor (for wireless Comm. /HDTV) Tape out and Reference Design。
- 完成 Application Processor (for Audio/Video/Image understanding) Platform Design。

(3). 無線通訊系統晶片技術(於電信國家型計畫中執行): 開發符合 IEEE 802.16e 標準之用戶端 MAC+PHY Core IP

- 完成 802.16e (OFDMA mode)系統 MAC 軟體設計與驗證。
- 完成 802.16e (OFDMA mode)系統 PHY 硬體設計與驗證。
- 完成 802.16e (OFDMA mode)系統 MAC+PHY advanced features IP 設計與驗證。
- 完成 802.16e (OFDMA mode)系統 MAC+PHY 整合測試與驗證。

(4). SiP 異質晶片整合設計技術：

- 建構異質晶片整合系統之射頻 SiP 系統、模組化之模擬、設計、分析、測試驗證技術流程。
- 完成 SiP WiMAX Module 功能整合設計與驗證。
- 建立異質晶片整合系統相關結構應力分析熱傳分析及量測技術流程。
- 建立射頻系統、模組、元件與基板等整體電路之全波模擬設計流程，加速 SiP 與 SoC 其相互驗證的可靠性。
- 建立異質晶片整合系統之射頻/基頻/類比-數位混合訊號/記憶體等電性參數模擬設計、分析及量測驗證技術。

2. 晶片設計與驗證環境實驗室分項

(1). 系統晶片設計與驗證環境

- 建立 90nm/65nm RTL-GDS-II Automatic Design Environment。
- 完成 Integrated Verification Platform。
- 完成 On Chip Variation Analysis and Verification。
- 完成 High-Level Synthesis Flow。
- 完成 Equivalence Check at ESL。
- 完成 Nano Technology DfM/DfY Models 相關技術，並建立驗證及分析流程。
- 完成 OASIS-Based Backend Environment Setup。

(2). 可測試設計技術

- 完成 Low Power Hierarchical SoC Test Integration and Automation。
- 完成 DfT and Diagnosis for Delay Faults。
- 完成 Failure Analysis and Diagnostics for Defect Density。
- 完成 Cost-effective Test Strategy/Architecture for High-Speed Serial Link(HSSL)。
- 完成 Wireless AMS BIST。
- 建立 High ESD Immunity Design for RF SoC Application。
- 建立 Multi-Voltage I/O Interface and ESD Protection for 90nm/65nm CMOS Process。

(3). 高階電路設計技術

- 「高階電路設計技術」將可有效輔助 SoC Digital/Analog/RF 整合效率，並為 WiMAX/4G 異質整合無線通訊網路（Heterogeneous Wireless Communication Network）環境建構基礎，更重要的是使未來電路設計更能符合國內產業界的需求，以期有機會創造出新一代 IC 產品的競爭力，並促進我國電子資訊產業再升級。
- 建立高頻、雜訊、功耗特徵化技術與最佳化設計方法。
- 建立電源電壓 0.5~1.0V 電路設計技術。
- 建立 65~130nm low noise, low power RF transceiver 電路設計技術。
- 建立 65~130nm high resolution, low power ADC 電路設計技術。
- 建立 65~130nm high speed PLL 電路設計技術。

(4). 聯合研發中心

與國內學界合作重點主要聚焦在未來新興前瞻技術，包括：

- Wireless Sensor Network Technologies（無線感測網路技術）。

- 4G Wireless Access Technologies（第四代無線接取技術）。
- 低功耗高效能無線寬頻通訊傳輸單晶片系統架構，與其所須之關鍵功能模組元件，如：高性能微機電射頻被動元件開發、低雜訊放大器、混波器、頻率合成器，與信號處理器。

另與國外知名大學(美國卡內基美隆大學-CMU)合作規劃將包括：

- 高階類比/混合式積體電路設計自動化技術，藉由與 CMU 之前瞻技術交流可加速提昇本院視訊監控與系統單晶片的設計能力。未來相關技術可配合計畫的相關技術能量，大幅提昇國際競爭力。

3. OFDM 無線通訊晶片技術發展分項

本分項計畫延續中科院 UWB 基頻晶片研發成果，以開發數位家庭無線通訊與應用系統整合晶片為目標，協助國內業界開發數位家庭 Media Center 整合晶片，搶食數百億美金的數位家庭市場。

- (1). 以 90nm CMOS 製程，完成 480Mbps 之 Wireless USB 基頻晶片系統。
- (2). 開發 MB-OFDM UWB 與 802.11n 基頻無線通訊整合平台矽智財，技術移轉國內 IC 設計業界開發數位家庭 Media Center 整合晶片。
- (3). 結合數位家庭上、中、下游業者共組策略聯盟，帶動數位家庭產業發展。

4. 嵌入式感測網路處理機技術分項

建立無線感測網路裝置之高效低耗能處理機技術，針對應用於 Pervasive 應用情境之運算需求變化，彈性提供高效能或低耗電處理模式，其耗電表現可超越 ARM7。此外，並開發 Parallel Arithmetic Block（PAB）架構技術，以 20% 之電路架構，提供相同架構之通用型 DSP 運算能力，並提供完整開發環境能有效降低應用程式的實現難度，並藉以開發出應用於影像感知無線網路所需之運算處理核心。

- (1). 高效能低耗電處理機技術及開發環境工具。
- (2). Parallel Arithmetic Block（PAB）架構技術。

5. 學界科專分項：

建立以技術提昇為導向之電路整合技術，包括：

- (1). 前瞻電路智財模組(Advanced IP Technology)
- (2). 多元模組整合技術(Heterogeneous Integration) (CMOS/RF/MEMS/SiP)
- (3). 自動設計軟硬共構(EDA and Hardware/Software Co-Design Platform)

6. 業界科專分項：

建立以創意產品為導向之系統整合技術，包括：

- (1). 多元網路整合技術(Heterogeneous Network Integration)
- (2). 教育娛樂平台技術(Edutainment Platform – Education & Entertainment)
- (3). 健康監控生活照護(Health Monitoring and Life Care)

參、計畫經費與人力執行情形

(一)計畫經費：

會計科目 \ 項目		預算數(仟元)	執行數(仟元)	備註
經常支出	1.人事費	295,026	292,713	
	2.旅運費	17,787	16,928	
	3.材料費	84,511	85,989	
	4.維護費	6,872	6,395	
	5.業務費	128,228	121,758	
	6.設備使用費	9,040	8,367	
	7.管理費	75,966	71,732	
	8.其他費用	386,737	345,782	
	小計	1,004,167	949,664	
資本支出	1.土地及改良物	0	0	
	2.房屋及建築	0	0	
	3.機器儀器設備	0	0	
	4.資訊設備	33,400	33,427	
	5.交工及運輸設備	0	0	
	6.雜項設備	0	0	
	7.其他	0	0	
	小計	33,400	33,427	
合計	金額	1,037,567	983,091	

預算數—填寫數據與審計部法定預算同步(96年9月已修改96年院列管作業計畫報告)

執行數—填寫數據須與後續要填的第四季季報“實際支用累計”相同

與原計畫規劃差異說明：

1. 晶片中心

STC 預算數原提供立法院三讀後，議價簽約一級科目數(綠皮書)，為配合審計部法定預算之一級科目需求，特於此報告重編一級科目。

2.中科院

計畫執行內容與中綱計畫規劃相符，實際與經濟部簽約之預算經費由原中綱計畫規劃之45900仟元，調整為42022仟元。

(二)計畫人力：

姓名	計畫 職稱	投入人月數及 工作重點	學、經歷及專長	
吳誠文	分項計畫主 持人	投入：2.42 人月 工作重點： • 協助技術支援計畫之 規劃與執行	學 歷	美國加州大學聖塔芭芭拉分校；電機與 電腦工程博士(1985/12~1987/12)
			經 歷	清華大學電機資訊學院院長 (2004/02~2007/02)
			專 長	資訊通訊、IC 設計、測試領域
馬金溝	分項協同計 畫主持人	投入：3.6 人月 工作重點： • 協助技術支援計畫之 規劃與執行	學 歷	美國佛羅里達大學；電機工程博士(1988. 12)
			經 歷	工研院系統晶片科技中心晶片核心技術 組組長(2001~2006)
			專 長	資訊通訊、信號處理與 IC 設計
吳文慶	分項計畫 主持人	投入：7 人月 工作重點： • 研發以低功耗為主軸 之設計與驗證環境 • 可測試設計技術研發 與系統晶片之測試技 術開發 • 靜電放電防護設計技 術研發與產品開發相 關製程技術諮詢 • 超低電壓電路設計以 完成 0.5V PLL 設計與 驗證環境 • 完成 Pipelined ADC 模 型最佳化電路架構分 析	學 歷	國立交通大學電子研究所博士 (1990~1997)
			經 歷	工研院系統晶片科技中心/設計自動化組 /組長 (2005~迄今)
			專 長	• Design for Test, SoC Testing • Mixed-Signal Testing, Delay Testing, • EDA Design Flow
萬紹正	主持人	12/主持科專計畫	學 歷	中正理工學院學士
			經 歷	中科院副組長、組長、副所長
			專 長	系統工程、雷達工程、計畫管理
莊郁民	專案經理	12/ 專案管理與行銷推廣	學 歷	交通大學博士
			經 歷	軟體工程師、系統工程師、專案經理
			專 長	軟體工程、嵌入式系統、專案管理

姓名	計畫 職稱	投入人月數及 工作重點	學、經歷及專長	
王啓龍	分項技術 負責人	4 人月 計畫研發方向及進度控管	學 歷	國立交通大學/碩士/資訊工程 國立交通大學/學士/資訊工程
			經 歷	工研院資訊與通訊研究所/95.1~迄今/經理 工研院電腦與通訊研究所 88.07~94.12/經理 工研院電腦與通訊研究所 87.01~迄今/經理
			專 長	資通所/95 年~迄今/協同計畫主持人 電通所/93~94 年/分項計畫主持人 電通所/92 年/分項計畫主持人 電通所/89~91 年/分項計畫主持人 電通所/87~88 年/子項計畫主持人
李政崑	計畫 主持人	9.6 人月 綜理各分項之間研究工作 進度與跨分項相關事務之 協調與進行	學 歷	印第安那大學電腦科學博士
			經 歷	國立清華大學資訊工程學系教授
			專 長	平行化編譯器、稀疏矩陣編譯器、編譯器、compilers for embedded systems
周世傑	計畫 主持人	9.6 人月 督導整體工作進度、決定 計畫方向、促進學研合作 及技轉、規劃未來前膽技術	學 歷	國立交通大學 1984/9-1988/6 博士
			經 歷	國立交通大學 2004/08~迄今 電子工程學系教授
			專 長	1.通訊積體電路 2.超大型積體架構與電路設計 3.電腦輔助電路設計
林永隆	計畫主持 人	9.6 人月 總計畫及各分項計畫之執行、監督及協調	學 歷	1984/09~1987/06 美國伊利諾大學(博士)
			經 歷	1991/09~迄今 國立清華大學資訊工程學系(教授)
			專 長	VLSI 設計
王進賢	計畫 主持人	8.4 人月 總計畫及各分項計畫之執行、監督及協調	學 歷	國立交通大學電子研究所博士
			經 歷	國立中正大學電機工程學系主任兼教授
			專 長	E6 微電工程
陳紹基	計畫 主持人	12 人月 總計畫及各分項計畫之執行、監督及協調	學 歷	紐約州立大學電機系博士
			經 歷	交通大學電子系所教授
			專 長	訊號處理、微電工程
溫瓊岸	計畫 主持人	8.4 人月 4 校(台、清、交、成)	學 歷	國立成功大學 電機系 博士
			經 歷	國立交通大學 教授

姓名	計畫 職稱	投入人月數及 工作重點	學、經歷及專長	
		整合	專 長	無線通訊 IC 設計
張慶元	計畫 主持人	10.8 人月 綜理各分項及跨分項協調 事宜	學 歷	美國密西根州立大學電機博士
			經 歷	清華大學電機系副教授
			專 長	IC Design
邱俊誠	計畫 主持人	6 人月 綜理各分項及跨分項協調 事宜	學 歷	美國科羅拉多大學航空太空工程系博士
			經 歷	交通大學電機與控制工程學系教授兼系主任
			專 長	微機電與伺服控制系統
潘正偉	資深協理	9 個月/ 1.定製化硬體模組實現 2.多核心與多執行緒架構 3.分享式靜態記憶體架構 4.程式編譯工具實現硬體 指令集之最佳化 5.除錯工具之設計 6.前段邏輯設計 7.後段設計施工 8.系統驗證與 Bring up	學 歷	美國亞歷桑納大學電機博士
			經 歷	Sun
			專 長	多處理器核心架構、電路前段輯設計及後段設計
施振強	研究員級	14 個月/智慧整合型 RGB LED 背光源色彩 自動管理晶片組計畫主 持人	學 歷	加州柏克萊大學電機工程博士
			經 歷	Allayer 通訊公司總經理、Broadcom 亞太研發中心總裁、凌耀總經理
			專 長	計畫規劃管理系統設計
卜令楷	總計劃主持 人	4 個月/總計畫主持人	學 歷	國立台灣大學電機所博士
			經 歷	奇美電子/威盛電子
			專 長	IC 電路設計
羅升俊	計畫主持人	36 個月/計畫主持人	學 歷	Phd.
			經 歷	-
			專 長	-
劉彥甫		15 個月/	學 歷	E.E. Ph.D.

姓名	計畫 職稱	投入人月數及 工作重點	學、經歷及專長	
	系統設計處 處長	1.S/W Design Review 2.F/W Design Review 3.Application Design Review	經 歷	Infosense Inc. Topdek semiconductor Inc. ADMtek Inc.
		4.1 st FPGA Verification Review 5.1 st Tapeout Review 6.ALFA chip Test Review 7.Beta chip Test Review	專 長	DSP/Communication System
李志成	計畫主持人	1.計畫主持人	學 歷	台灣大學機械系/碩士
		2.負責整體計畫進度掌控及管制	經 歷	工研院/研究員
		3.壓力元件設計開發 4.0.5um CMOS process for pressure chip	專 長	MEMS 元件設計開發

與原計畫規劃差異說明：

晶片中心

原無線多媒體系統晶片關鍵技術發展分項計畫主持人張志偉副主任因生涯規劃異動，計畫主持人變更爲吳誠文主任。

肆、計畫已獲得之主要成就與量化成果(output)

表一 科技計畫之績效指標

計畫類別 績效指標	1	2	3	4	5	6	7	8	9	99
	學術研究	創新前瞻	技術發展(開發)	系統發展(開發)	政策、法規、制度、規範、系統之規劃(制訂)	研發環境建構(改善)	人才培育(訓練)	研究計畫管理	研究調查	其他
A 論文			✓							
B 研究團隊養成			✓							
C 博碩士培育			✓							
D 研究報告			✓							
E 辦理學術活動			✓							
F 形成教材			✓							
G 專利			✓							
H 技術報告			✓							
I 技術活動			✓							
J 技術移轉			✓							
S 技術服務			✓							
K 規範/標準制訂			✓							
L 促成廠商或產業團體投資			✓							
M 創新產業或模式建立										
N 協助提升我國產業全球地位或產業競爭力			✓							
O 共通/檢測技術服務										
T 促成與學界或產業團體合作研究			✓							
U 促成智財權資金融通										
V 提高能源利用率			✓							
W 提升公共服務										
X 提高人民或業者收入			✓							
P 創業育成										

計畫類別 績效指標	1	2	3	4	5	6	7	8	9	99
	學術研究	創新前瞻	技術發展(開發)	系統發展(開發)	政策、法規、制度、規範、系統之規劃(制訂)	研發環境建構(改善)	人才培育(訓練)	研究計畫管理	研究調查	其他
Q 資訊服務			✓							
R 增加就業			✓							
Y 資料庫										
Z 調查成果										
AA 決策依據										

表二 請依上表勾選合適計畫評估之項目填寫初級產出、效益及重大突破

績效指標		初級產出量化值		效益說明	重大突破
A 論文	國內	期刊：35 篇 會議：73 篇		晶片中心 - 論文發表在國內上重要研討會，促進產業技術交流，並瞭解學術界及廠商間技術研發成果及趨勢 中科院 - 分享研發成果，促進學術交流 資通所 - 論文預計產出 4 篇，實際產出 6 篇，達成率 150% 學界 6 篇論文發表在國際上重要期刊、6 篇論文發表在國際上重要研討會、1 篇論文獲獎 - 提出更有效率的功率模型，可增加 SOC 功率估測的效率，以及利用類比電路行為模型快速地即時分析不規則電源雜訊對於電路效能的影響等效益。	學界 - 在 pure CMOS 製程下達到 10GS/s 的 conversion rate，是已知文獻當中取樣速度最快之前瞻的設計。 - 成果受 IEEE 一流期刊肯定如: JSSC, Signal Processing, Vehicular Technology, Communication... 等等。

績效指標		初級產出量化值	效益說明	重大突破
	國外	國際會議：266 篇 期刊/會議論文：118 篇	晶片中心 - 論文發表可提昇技術研發品質，對外分享技術研發之成果，尤其於國際重要研討會，不僅提昇國際知名度，並可瞭解技術最新發展趨勢 中科院 - 分享研發成果，促進學術交流 資通所 - 發表國外文 2 篇並刊登於 IEEE 期刊。 學界 - 在 ASSCC、IMSTW、ATS 討論會有發表。 - 利用低壓的電晶體來設計混合電壓輸入輸出介面電路，在 I/O 電路設計上具有極具有學術參考等效益。 - 指標型 ISSCC 3 篇 8 篇為 SCI 論文，被引用次數為 1，獲獎次數 1 - 於國際一流期刊及會議發表成果，增加我國在相關技術領域之國際地位與知名度	

	績效指標	初級產出量化值	效益說明	重大突破
	B 研究團隊養成	24	晶片中心 - 頂尖無線通訊以及多媒體處理器系等相關軟硬體等技術研發團隊 - 以低功耗為主軸之研發團隊 - 以超低電壓設計為主之研發團隊 - 功率最佳化類比電路設計架構之研發團隊	晶片中心 - PACI DSP 研發團隊成立新創事業—凌陽核心科技，並結合凌陽 S+ core 研發團隊，共同投入多媒體晶片與應用之開發 - 將 DVFS, Power Gating, Multi-Vdd 等相關 Low power 技術，實際應用至晶片系統關鍵技術發展計畫，成功開發出高效能、低功耗 32 bit DSP 與 PMP Platform with DVFS feature - 完成 0.5V PLL 設計、佈局與驗證，結合 switch control circuit 調整 VCO 輸出範圍，以克服 PVT 偏移之影響，使得 PLL 在 0.5V 時輸出頻率可達 500MHz。 - 發展關鍵電路類比數位轉換器的功率最佳化架構的行為分析模組，縮短設計時程，能夠在電路設計之前快速掌握類比數位轉換器架構最佳化的分析探討
	C 博碩士培育	博士 34 碩士 213	學界 畢業後多進高科技上市公司	
	D 研究報告	251 篇	晶片中心 建立重要技術研究知識庫，幫助技術加速成長與價值擴散	晶片中心 相關技術報告將作為移轉廠商之技術文件庫及員工訓練教材
	E 辦理學術活動	16 (國內研討會)	學界 邀請華盛頓大學 3 位專精於 WiMAX 技術之教授舉辦 workshop 講授相關技術，訓練國內工程師以提升技術	
	F 形成教材	晶片中心 PAC DSP Programming 相關技術文件	晶片中心 針對研發成果編彙集結成相關文件，以利技術成果擴散、分享、傳承及推展	

	績效指標		初級產出量化值	效益說明	重大突破
	其他		無		
	G 專利	國內	申請：112 獲得：39	晶片中心 • 掌握核心技術，保障創新技術 中科院 • 專利應用授權金 500 仟元 資通所 • 專利申請預估 4 件，實際申請國內外 6 件，達成率 150% 學界 • 2 件國內專利已應用	晶片中心 • 完成專利應用 4 案，專利應用收入金額達 28,837 仟元；並促進廠商投資達 1 億 9 千萬 中科院 • 預估產值 50 億元
		國外	申請：111 獲得：28	晶片中心 • 產生高產業價值之優質專利，並協助廠商降低受制國外廠商之壓力 中科院 • 紀錄科專研發成果，以利經驗傳承與技術移轉 資通所 • 專利應用 5 件，專利授權金 200 仟元 學界 • 3 件國外專利已應用 (授權金 45 萬元)	
	H 技術報告		數量：134	中科院 • 紀錄科專研發成果，以利經驗傳承與技術移轉 資通所 • 研究報告預計 10 篇，實際 13 篇，達成 130%	
	I 技術活動		中科院 協助 3G CLUB 舉辦 2007 台灣 UWB 國際研討會，共 85 人參與盛會 學界：23 業界：研討會：4 場	中科院 • 提供國內外交流之平台，帶動國內 UWB 產業發展	

	績效指標		初級產出量化值	效益說明	重大突破
	J 技術移轉	可移轉技術 (件數)	件數：30 件	晶片中心 • FY96 科專研發技術績效彰顯，技術移轉廠家分別為：凌陽、台灣創毅、立錡、聯詠、天工、清大、交大、中正等數家 • 科技研發成果技術移轉授權金達 19,790 仟元 中科院 • 技術移轉授權金合計 6000 仟元 資通所 • 完成 " 高效能無線感測閘道器技術 " 技轉予清華大學 • 完成 ZigBee 2006 協定技術及 WSN SoC 之 PAB 技術 • 完成研發 Multiple Power Domain 架構。 • 完成 PAB 架構及開發環境，應用 PAB 於 48MHz 資料壓縮比達 126 倍。 學界 • 技術移轉授權金 6,850 仟元 • 技術權利金：4,020 仟元	中科院 • 預估產值 50 億元 資通所 • 結合資策會、交大及清大，完成無線感測器網路建置
		先期技轉 (項數、家數)	14 家	晶片中心 • 先期技術移轉授權金達 1,428 仟元	
	S 技術服務		技術服務 3 家	中科院 簽約金合計 495 仟元 學界 金額：1,600(仟元) 金額：3,609.5(仟元)	學界 將 OFDM 基頻技術實現於我國自有之 PAC 處理器以提升國際競爭力
	L 促成廠商或產業團體投資		晶片中心 促進廠商投資：3 家 中科院 促成研發投資 1 件數、金額 1 億元 學界 新創事業 1 家、金額 3 百萬 業界 家數：6 家	晶片中心 • 新思科技研發中心，廠商將於三年投入 6 億元的投資經費 • 新創事業凌陽核心(股)公司，投資經費達 1 億 2 千萬元 中科院 • 預估量產產值 50 億元	
	M 創新產業或模式建立		無		

	績效指標	初級產出量化值	效益說明	重大突破
	N 協助提升我國產業全球地位或產業競爭力	資通所 掌握 WSN 關鍵技術，提升我國產業全球地位或產業競爭力	資通所 • 掌握 ZigBee 2006 協定技術。並完成 60 nodes，10 天 24 小時無間斷聯網之穩定性測試。 • 將可授權 IC 設計公司整合無線感測網路處理機 IP 於其 SoC 產品上。	資通所 針對工業、環境監控及生活等應用提供 WSN Turnkey Solution。
	O 共通/檢測技術服務	無		
	T 促成與學界或產業團體合作研究	中科院： 促成合作研究 1 件 學界 合作研究件數 16、 研究金額 13,761 仟元 業界 件數：5 件 投入金額：6900 仟元	中科院 • 促成 TSMC、創惟科技與中科院發揮所長，共同開發先進製程 UWB 晶片解決方案，掌握自主性關鍵技術	
	P 創業育成	無		
	Q 資訊服務	資通所 開發出影響生活環境之新服務型態	資通所 • 由於 WSN 技術之特性，使得許多過去無法實現的應用成為可能。 • 應用在辦公住宅大樓之社區人員管控。 • 應用於工廠之設備運作狀況監測	
	R 增加就業	無		
	K 規範/標準制訂	中科院 7 月 16~20 日參加 IEEE 802.15.3c 國際標準制定會議，與台灣大學、元智大學合作提出 1 項 Proposal (DCN: DCN:15-07-0615-01-003c) 資通所 掌握標準技術 1 件	中科院 • 爭取提案納入 IEEE 國際標準，成為 Essential IP 資通所 • 掌握 ZigBee 2006 協定關鍵核心技術，通過 ZCP2006 相容性測試，並取得 TUV 認證，為除日本外，亞太地區第二家通過 ZigBee2006 認證者	中科院 通過第 1 次 Down Selection，全球排名第四，尚在三星與菲利浦之前
	Y 資料庫	無		

- 中科院完成計畫成果：
 1. 完成以下關鍵技術開發：
 - MB-OFDM UWB PHY V1.2 Matlab 基頻模擬平台。
 - MB-OFDM UWB PHY V1.2 ADS 基頻與射頻整合系統模擬平台。
 - MB-OFDM UWB PHY V1.2 ASIC-Oriented FPGA VHDL 碼設計。
 - MB-OFDM UWB MAC V1.0.1 C Language 系統軟體。
 - 整合 MB-OFDM UWB PHY V1.2 ASIC-Oriented FPGA VHDL code 與 MB-OFDM UWB MAC V1.0.1 系統軟體於 FPGA 與 RF 雛型系統整合平台，完成無線傳輸驗證。
 2. 95 年 2 月與聯華電子簽署「UWB 基頻系統模擬平台與基頻 VHDL 設計碼」技術授權合約，簽約金 1000 萬元。96 年度研發成果收入 300 萬元，繳庫數 150 萬元。
 3. 96 年 10 月與創惟科技簽署「UWB 基頻系統模擬」技術移轉合約，簽約金 300 萬元，並於 96 年 12 月收入 300 萬元，繳庫 150 萬元。
 4. 96 年 11 月與台灣積體電路製造公司、創惟科技簽署「UWB 射頻與基頻矽智財合作」NDA，將共同開發 65nm CMOS UWB 射頻與基頻矽智財並分享研發成果。
 5. 與全波科技、均利科技簽署 3 件技術服務案，簽約金合計 49 萬 5 千元。
 6. 7 月 16~20 日參加 IEEE 802.15.3c 國際標準制定會議，與台灣大學、元智大學合作提出 1 項 Proposal (DCN: DCN:15-07-0615-01-003c)，通過第 1 次 Down Selection，全球排名第四，尚在三星與菲利浦之前。
 7. 研究報告 10 篇：
 - UWB RF IC Test Plan 研究報告
 - UWB Baseband IC Design 研究報告
 - ADS 系統整合模擬輔助 UWB RF IC 規格制訂研究報告
 - MB-OFDM UWB PHY V1.2 ASIC-Oriented FPGA VHDL Code 設計研究報告
 - UWB MAC 設計研究報告
 - 頻率選擇性衰減通道之多碼多載波分碼多重連接系統研究報告
 - UWB 系統實體層之同步與解調變接收機設計分析與模擬研究報告
 - 以 C 語言實現 UWB 實體層系統模擬研究報告
 - 結合空間多工與跳頻技術應用於 MIMO UWB 無線通訊系統研究報告
 - 具中頻調變解調變之 UWB 無線通訊系統研究報告
 8. 發表論文 10 篇：
 - 莊郁民，“UWB 技術與產業發展現況”，電信科技與產業發展(電信國家型計畫)，2007 年 3 月。
 - 鄧俊宏, 李伯天, 蕭豐進，“MB-OFDM 超寬頻系統之低複雜度跳頻多輸入多輸出技術”，新新季刊，2007 年 4 月。
 - 莊郁民，“全球 UWB 產業發展現況”，中科院 38 週年院慶科專計畫成果發表論文集，2007 年 6 月。

- 鄧俊宏, 李伯天, 蕭豐進, “ 結合空間多工與跳頻技術應用於多輸入多輸出之超寬頻無線通訊系統 ”, 中科院 38 週年院慶科專計畫成果發表論文集, 2007 年 6 月。
 - 鄧俊宏, 李伯天, 蕭豐進, “ 運用整合性軟體無線電開發平台以實現多輸入多輸出之超寬頻無線通訊 ”, 中科院 38 週年院慶科專計畫成果發表論文集, 2007 年 6 月。
 - 林茂青、陳進勇, “ 超寬頻無線通訊晶片設計技術 ”, 中科院 38 週年院慶科專計畫成果發表論文集, 2007 年 6 月。
 - 謝明諭、鍾裕妙、莊郁民, “ 整合模擬基頻與射頻電路, 打造最佳 UWB 通訊系統 ”, 2007 行動科技產業全蒐錄, 2007 年 7 月。
 - Tsung-Chi Lu, Ching-Yao Huang, Maw-Ching Lin, “ Priority-Based EDF Scheduling Algorithm for Real-time Service ”, ICICS 2007。
 - 鄧俊宏, “ A Novel Multi-Code Multi-Carrier CDMA Systems over Frequency Selective Fading Channels ”, 97 年新新年刊, 2008 年 1 月。
 - 謝明諭、鍾裕妙、莊郁民, “ 超寬頻頻率變化劇烈 射頻規格決定 UWB 成敗 ”, 新通訊元件雜誌, 2007 年 10 月。
9. 專利申請國內 3 篇, 國外 5 篇:
- 鄧俊宏、黃正光、莊郁民, “ 多重輸入輸出之無線傳輸系統及其傳輸方法 ”, 中華民國專利申請號: 96118551, 申請日 May 24, 2007。
 - Juinn-Horng Deng, Jeng-Kuang Hwang, Yu-Min Chuang, “ Multiple-Input-Multiple-Output Wireless Transmission System and Transmission Method Thereof ”, 美國專利申請號: US11/776,000, 申請日 Jul. 11, 2007。
 - Juinn-Horng Deng, Jeng-Kuang Hwang, Yu-Min Chuang, “ Multiple-Input-Multiple-Output Wireless Transmission System and Transmission Method Thereof ”, 日本專利申請號: 特願 2007-183372, 申請日 Jul. 12, 2007。
 - 鄧俊宏、黃正光、李伯天、蕭豐進, “ 頻率選擇性衰減通道之多碼多載波分碼多重連接系統 ”, 中華民國專利申請號: 096142277, 申請日 Nov. 8, 2007。
 - Juinn-Horng Deng, Jeng-Kuang Hwang, Po-Tien Lee, Hu-Chin Shau, “ Multi-Code Multicarrier Code Division Multiple Access System in Frequency-Selective Fading Channels ”, 美國專利申請號: US11/984,563, 申請日 Nov. 20, 2007。
 - Juinn-Horng Deng, Jeng-Kuang Hwang, Po-Tien Lee, Hu-Chin Shau, “ Multi-Code Multicarrier Code Division Multiple Access System in Frequency-Selective Fading Channels ”, 日本專利申請號: 特願 2007-298055, 申請日 Nov. 16, 2007。
 - 鄧俊宏、黃正光、李伯天、蕭豐進, “ 具中頻調變/解調變之超寬頻系統 ”, 中華民國專利申請號: 096146576, 申請日 Dec. 6, 2007。
 - Juinn-Horng Deng, Jeng-Kuang Hwang, Po-Tien Lee, Hu-Chin Shau, “ Digital IF MODEM Technique Used for UWB System ”, 交由宏瑞專利事務所申請美國專利中。

10. 專利獲得國內 3 篇、國外 5 篇：

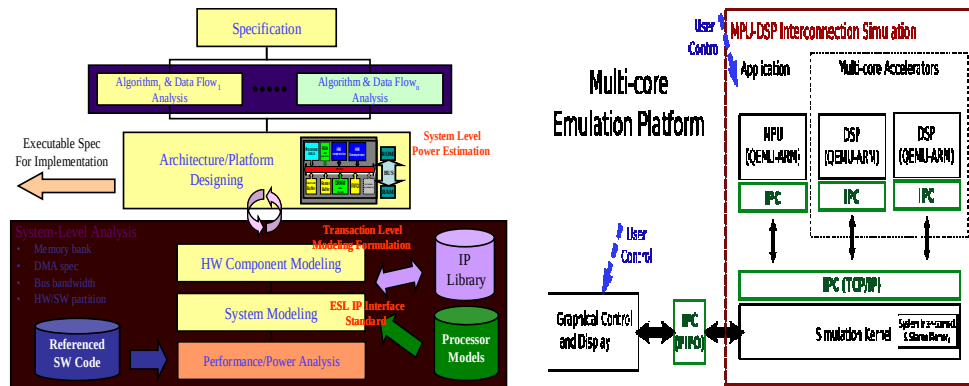
- 鄧俊宏、吳匡時、莊郁民，“定義符元時序窗並擷取訊號之方法及其裝置”，中華民國發明專利-發明字第號 I 266497，專利期間：2006/11/11 ~ 2024/11/14，證書日期：Nov. 11, 2006。
- 鄧俊宏、黃正光、李伯天、蕭豐進，“多天線差分單載波之通訊設備與方法”，中華民國發明專利-發明字第號 I 277312，專利期間：2007/3/21 ~ 2025/9/26，證書日期：Mar. 21, 2007。
- 鄧俊宏、黃正光、李伯天、蕭豐進，“多輸入多輸出分碼多重擷取裝置與其編解碼方法”，中華民國發明專利-發明字第號 I 288545，專利期間：2007/10/11 ~ 2025/12/8，證書日期：Oct. 11, 2007。
- 鄧俊宏、吳匡時、莊郁民，“Apparatus and Method for Defining Symbol Timing Window and Capturing Signal”，日本發明專利-特許第 3927982 號，專利期間：2005/1/25 ~ 2025/1/25，證書日期：Mar. 9, 2007。
- 鄧俊宏、吳匡時、莊郁民，“Time Domain Despreading Method and Apparatus”，日本發明專利-特許第 4007992 號，專利期間：2005/1/25 ~ 2025/1/25，證書日期：Sep. 7, 2007。
- 鄧俊宏、吳匡時、莊郁民，“Apparatus and Method for Defining Symbol Timing Window and Capturing Signal”，英國發明專利-GB 2421406 號，專利期間：2004/12/17 ~ 2024/12/17，證書日期：Mar. 14, 2007。
- 鄧俊宏、吳匡時、莊郁民，“Time domain spreading receiver which exchanges and inverts real and imaginary UWB signal elements”，英國發明專利-GB 2421405 號，目前正由將群專利事務所領證中。
- 鄧俊宏、吳匡時、莊郁民，“Time Domain Despreading Method and Apparatus”，美國發明專利，目前正由將群專利事務所領證中。

伍、 評估主要成就及成果之價值與貢獻度 (請以學術成就(科技
一、 學術成就(科技基礎研究)

晶片中心

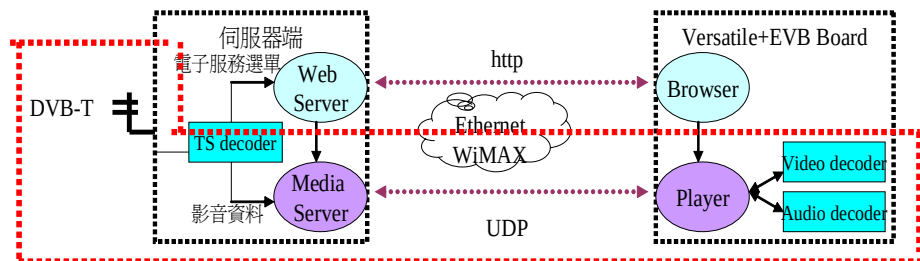
1. 無線多媒體系統晶片關鍵技術發展四年計畫(1/4)

- 重要研發成果
 - 圖 1.1 ESL Modeling 技術



- FY96 建立一個系統模擬環境和設計流程，可提供系統、軟硬體工程師使用。傳統的設計方法缺乏對整個系統的驗證和分析，搭配 CoWare 工具本計畫已完整建立整個 Embedded system 的模擬環境。Designers 可以藉由這個模擬環境對整個系統進行軟硬體的模擬，解決傳統 RTL 設計流程所無法分析和驗證整個系統的缺陷，使晶片下線時失敗的風險降到最低。
- 完整之電子系統級設計流程，包含 Duo-Core & Multi-Core 軟體開發、系統架構的設計和評估、系統驗證等三大主軸；FY96 亦自行設計了一個軟體設計環境的架構，將可提供軟體工程師一套簡單的軟體開發環境。本計畫將持續進行此軟體開發平台的效能改進，並陸續投入另外兩大主軸的開發，以提供一個完整的電子系統級設計流程。

■ 圖 1.2 Streaming Multimedia 技術



- FY96 完成支援雙核心(MPU+DSP)架構之串流環境建置，由伺服器端透過 DVB-T 卡接收 MPEG/MP2 位元流，並轉換成 H.264/MP2 位元流；Client 端再經由乙太網路傳輸接收位元流，由 DSP 解壓縮 H.264 位元流與 MPU 解壓縮 MP2 位元流，達到可即時收看電視節目。
- 在整合數據、語音、影像三合一 triple play 的應用服務時代，串流媒體(Streaming Medium) 隨著積體電路及寬頻有線/無線網路技術的發展，成為 IT 與多媒體產業的下一步。搭配完整之開發環境和多元豐富之應用軟體，本計畫發展之 Multimedia 能 smooth and real-time 的透過 Network 播放，且具提供 Multimedia-standard baseband 及支援 portable IPTV/personal media device(PMD) 之 streaming 處理能力。

- 與國際學業界合作
 - UCSB 國際合作計畫
 - 針對 advanced high speed serial link transceivers 之架構與測試技術；提出新的測試架構來克服高速序列傳輸介面量產測試所面臨之問題。其包含測試 pattern 提供法、BER 測試時間、抖動量分析..等。
 - 建立時脈資料回復電路抖動與位元錯誤率內建測試之行爲模型，其將可迅速且準確地驗證系統特性
 - 改變高速序列收發電路中 XTalk canceller 的操作模式及控制 XTalk canceller 中之 coefficients 數目/長度來改變週期抖動振幅/抖動頻率，可迅速提供系統所需之測試 pattern，此將可大幅降低測試成本
 - 將 Jitter Meter 輸出結果藉由軟體分析求得 Jitter frequency 以及 Jitter Amplitude。接著再將此訊息送入 BER estimator 中估算出位元錯誤率。此作法將可大幅縮短量產測試時間
 - 藉由整合 BER estimation 和 jitter extraction 之技術，搭配 circuit analyzer，提出低測試成本與低測試時間之 BER 測試技術架構
- 與國內學界合作/服務計畫
 - 清大一科專計畫；前瞻高效能低耗能之雙處理器系統技術研發三年計畫
 - 協助清大執行科專計畫之「雙處理器系統展示平台之開發與規劃」，將學界新一代晶片設計與軟體系統之相關的研究技術落實於本計畫發展之硬體系統架構上，共同合作研發一高效能低耗能雙核心處理器系統之多媒體平台和提供完整的解決方案。
- 其他重要具體成果說明
 - 本計畫過去發展之技術與成果深受產學研各界肯定，獲 FY96 經濟部科技專案成果優良計畫獎，96.07.10 假台大醫院國際會議中心舉行「經濟部技術處科專優良成果表揚大會」。本計畫以領先全球之技術為指標，結合產官學研等單位投入研發處理器及無線通訊等所需之關鍵技術與 IP。充分運用國內外學界能量擴展研發，透過技轉與合作，提供國內業界多媒體無線寬頻通訊完整的單晶片應用方案。更將我國關鍵元件的技術層次推升與世界頂尖廠商齊頭並進之地位。

2. 通訊與光電環境建構計畫一

圖 2. 晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項



- FY96 於著名之學術期刊 (如 IEICE Transaction on Electronics, IEEE Journal of Solid-State Circuit, IEEE Transaction on Very Large Scale Integration Systems 等)、研討會 (如 IPFA, ICECS, VLSI/DAT 等) 累積發表之論文計 20 篇，將創新技術與研發成果向外擴散與展現，並藉由論文發表提昇台灣之國際知名度。
- 96 年度專利獲證 7 件，專利申請 13 件，專利應用件數為 1 案 2 件，專利收益共 35,555 仟元。
- 96/4/28 在工研院內舉辦「DAT 聯盟超大型積體電路測試技術論壇研討會」，與國內 23 位教授進行測試技術討論，幫助 STC 與國內學術界教授之間的研究交流。
- 與清大合作執行「前瞻無線測試平台與技術」計畫，協助鎖相迴路 (PLL) 內建自我測試電路及傳統 scan-based design 技術之高階系統模型。
- 與交大合作執行「SoC on-chip transmission links system and platform」計畫，協助「SoC power and noise analysis platform」。
- 與美國加州大學聖塔巴巴拉分校 (University of California Santa Barbara, UCSB) 合作「Digitally assisted analog testing (DAAT) methodology for mixed-signal」，investigate a more comprehensive solution to utilizing on-chip modules for low-cost and intelligent loop-back testing of the transceiver。

中科院

- 7 月 16~20 日參加 IEEE 802.15.3c 國際標準制定會議，與台灣大學、元智大學合作提出 1 項 Proposal (DCN: DCN:15-07-0615-01-003c)，通過第 1 次 Down Selection，全球排名第四，尚在三星與菲利浦之前。後續將由台灣大學持續與各國際大廠合眾連橫，爭取成為 IEEE 802.15.3c 國際標準之 Essential IP。
- 申請 3 件國內專利、5 件國外專利，並獲得 3 件國內專利、5 件國外專利，專

利應用授權金合計 500 仟元，協助國內掌握 UWB 關鍵智財，作為日後與國際大廠交互授權之籌碼。

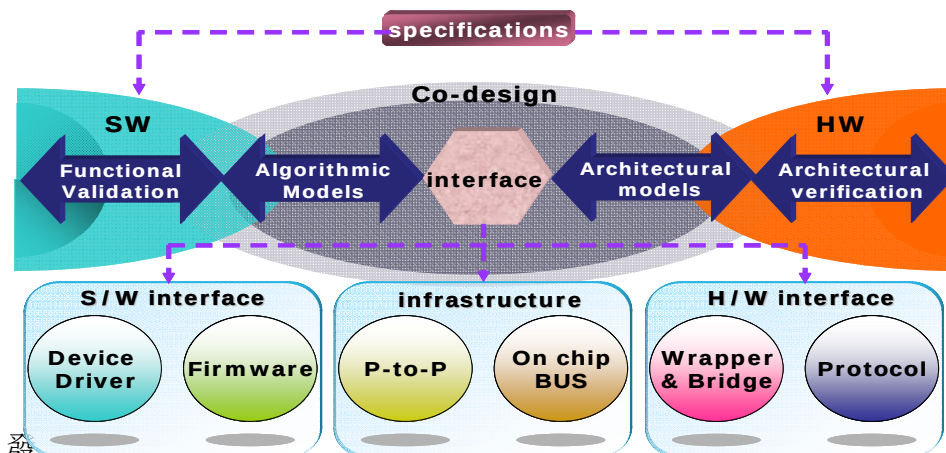
- 發表 5 篇國內期刊論文、4 篇國內研討會論文、1 篇國外研討會論文，分享研發成果，促進學術交流。

資通所

論文名稱	發表刊物/會議名稱	論文性質	中文摘要
使用裴氏網路與代理人技術實現階層式遠端監控系統	IEEE Transactions on Systems, Man, and Cybernetics, Part C: Applications and Reviews	期刊論文	對於遠端控制系統，某些人為的不當操作可能會引起事故而導致重大的災難。對於此類"人在迴路中"系統，本文提出一個階層式的監控架構，來確保人為下達之指令符合系統規範要求。在提出的方法中，我們使用裴氏網路來建模設計與驗證現場控制器與遠端監督器，而且用代理人技術來實現。
一個以 Transaction 為基礎之無線感測網路無線軟體下載方法	IEEE International Symposium on Communications and Information Technologies	研討會論文	本論文提出了一個以 transaction 為基礎的方法來解決 OTA programming 所產生的版本不一致的問題，此系統將一次 OTA programming 流程視為一個 transaction，當 programming 流程進入最後階段時，系統管理者可選擇要確認或放棄此次的所有軟體下載，以此來同步軟體的版本，並藉此來達成版本的一致性。

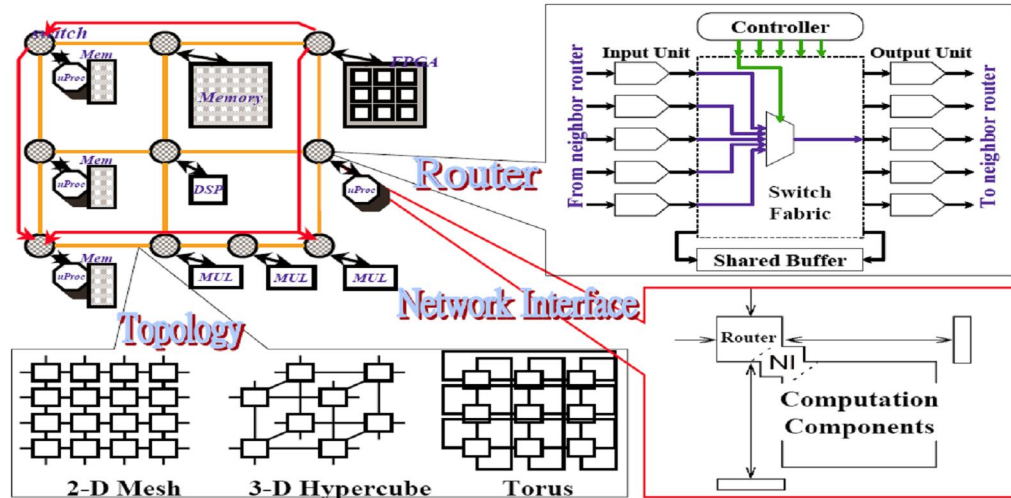
學界

1. 晶片系統傳輸鏈之電路系統設計與驗證平台開發



發
展一個嵌入式系統，其規格製定透過初期軟體模擬驗證完畢後，開始著手進行系統實現的工作，分為軟體與硬體兩個方面，最大的瓶頸在於系統各元件之間的介面整

合以及軟體與硬體之間溝通的介面整合，這個部份的工作通常是繁複而且容易出錯，透過介面整合自動化技術，依據所需求的規格，自動產生硬體的介面-wrapper/bridge，及軟體與硬體之間的溝通介面-driver，減少因人為所產生的錯誤，並能有效降低系統開發時程。

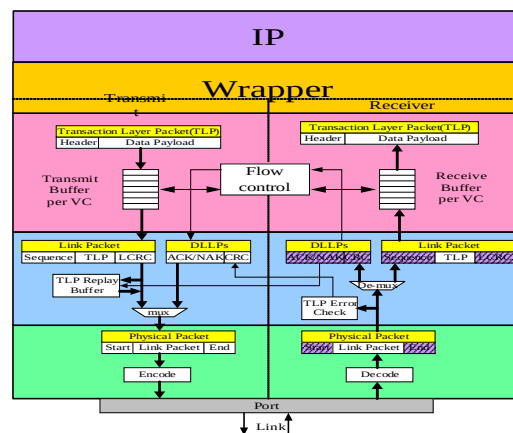


Virtual Platform 之建立：

利用 SystemC 來建立 NoC mesh topology 系統架構，在 communication 方面，則使用了 Transaction Level Modeling(TLM)設計方法來達到 Electronic System Level(ESL)之設計。使用 TLM 設計方法可以滿足複雜系統之設計及驗證，而達到快速的模擬及效能評估。

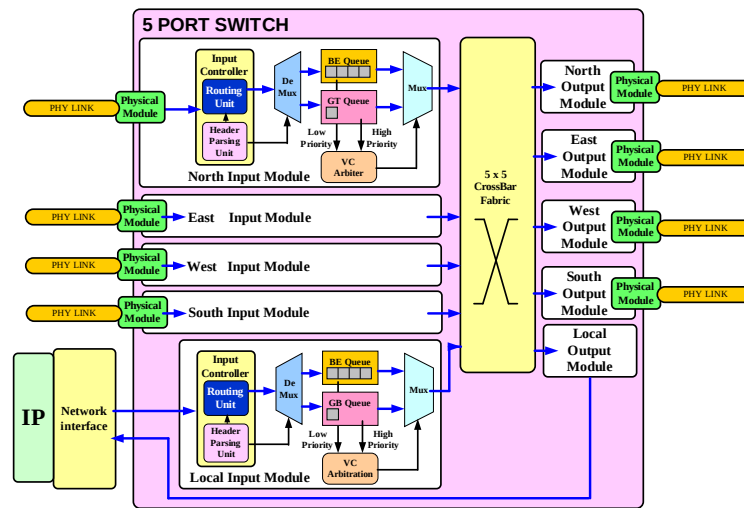
H.264 影像壓縮系統 IP：

利用 SystemC 及 Verilog 這兩種不同層級語言來建立 NoC 之應用系統(H.264 影像壓縮系統)，此各 IP 為 TLM modeling，將可提供 NoC 系統快速的模擬及分析。且 IP 可以重複的被使用，且可以與各種的 communication interface 或 protocol 整合在一起，而能夠達到縮短設計時程及使分析驗證上更有效率。另外有些 IP 模組是以快速演算法所完成的，不僅可以降低整體的運算量更可提高整體系統之效率。



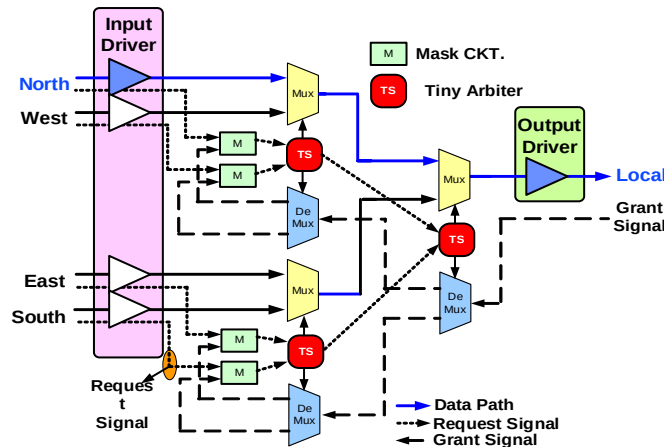
Network Interface: 此介面為 IP 與 Switch 之間溝通的橋樑，分為三層設計，傳輸層(Transaction Layer)、資料鏈結(Data Link Layer)、實體層(Physical)。每一層具有不同

的功能區塊，整合了封包結構化，流量控管、錯誤偵測、重傳機制、資料攪散與 8b/10b 編解碼等高速差動訊號傳輸技術，使 IP 資料轉換成能夠在 on-chip network 中傳輸，並透過控制訊息確保封包在傳送過程中之正確性，順序性，穩定性。



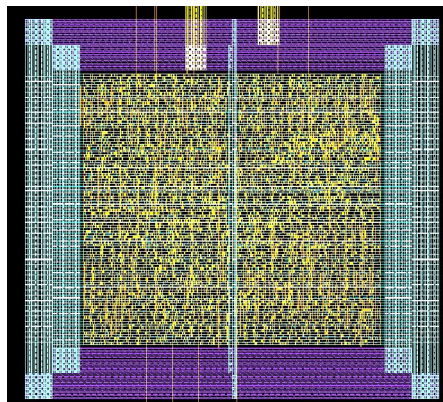
10 Gbps packet based high speed switch design: 我們所設計的switch硬體架構針對擴充性與實用性已參數化設計；我們switch的設計方式由於有局部同步全域不同步 (GALS, Globally Asynchronous Locally Synchronous)之特性，所以更易於整合各個運作於不同時脈的IP，而繞徑演算法(Routing Algorithm)則採用低硬體成本之X-Y繞徑 (X-Y Routing)演算法。本switch設計操作頻率為312.5MHz、傳送之資料寬度為32 bits、頻寬上已達到10Gbps，足以應付現今業界各種IP掛載和提供目前SoC內部所需之頻寬。

另外也提供IP開發者一個高速傳輸頻寬的通訊傳輸骨幹。



Fast Fair

計一具有公平器，結合了中控提供公平的仲與仲裁時間較



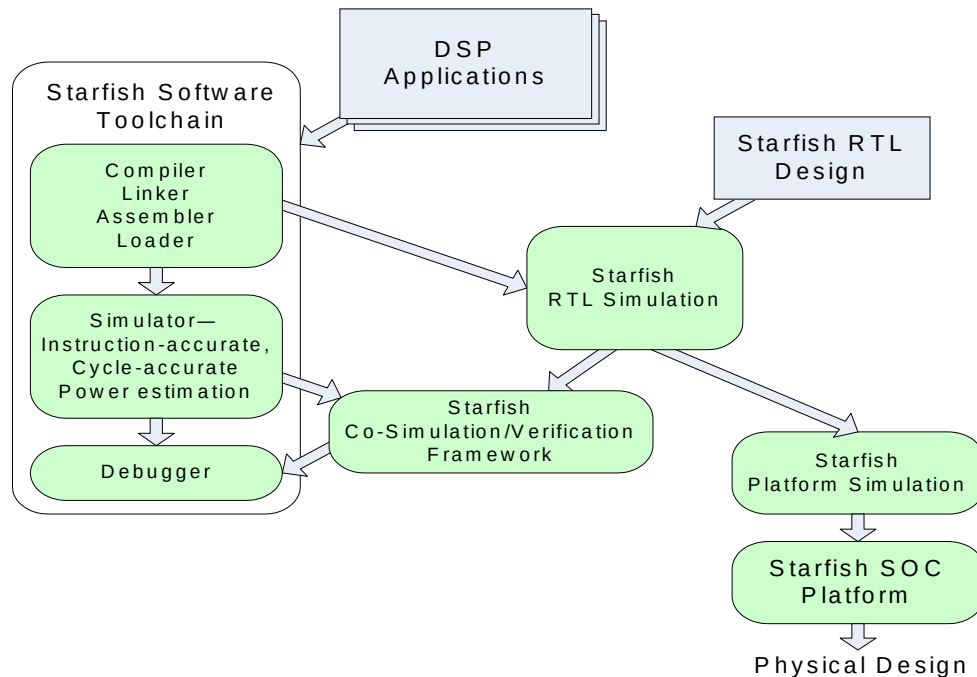
Crossbar Scheduler:本計劃設性仲裁機制之分散式仲裁式與分散式仲裁器的優點，裁機制，同時具有面積較小的優點此為on-chip switch

設計上的一大創新突破。

此為我們實際去 implement 出來的 10Gbps switch 的 layout 圖，我們使用 TSMC0.13um 的製程下不含 I/O pad 的晶片面積為 0.45x0.45 mm²，頻率可達 320MHz 功率消耗僅 18.06 mW。

2. 超低功率數位訊號處理器核心開發

本計畫產出一個自有指令集架構(ISA)的超低功率數位訊號處理器核心，完成其硬體設計與晶片實現，建立所需之軟體工具環境，並以 SOC 平台展示其在行動多媒體通訊應用之市場價值。如下圖所示，計畫內容開發完整的低功率數位訊號處理器 SOC 設計驗證平台，包含軟體、硬體、系統整合、展示與驗證，與測試晶片製作。這些技術除了有助於本計畫之達成，亦能夠廣泛應用於其他相關學術研究上。



3. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計：

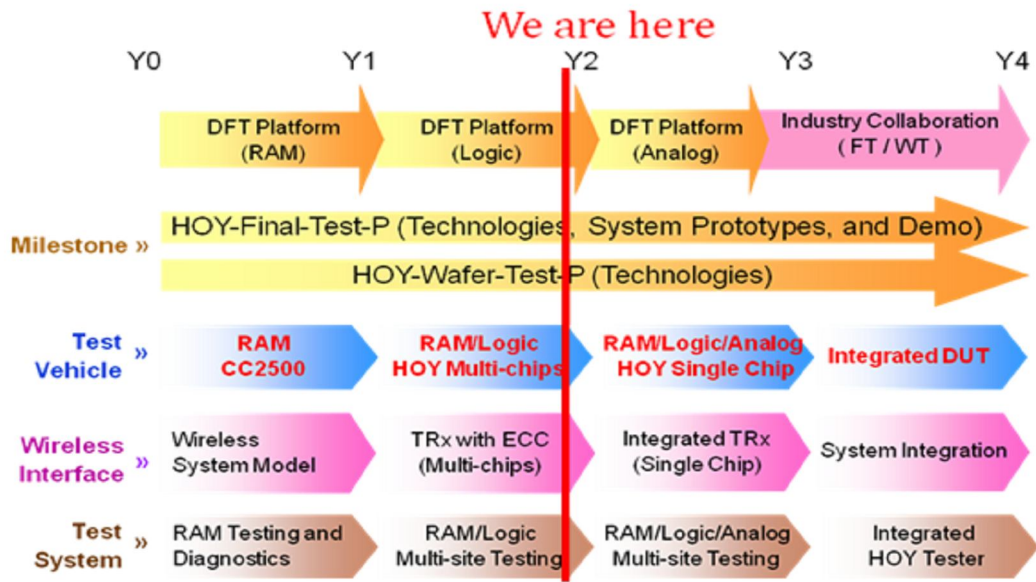
研究團隊成果包含於國內討論會發表 3 篇期刊、IEEE JSSC(IC 設計會議)發表 1 篇期刊、並於國際 SCI 期刊 (IEEE Trans. Signal Processing、IEEE Journal of Solid State Circuits, IEEE Trans. Communications, IEEE Trans. Vehicular Technology, IEEE Trans. Magnetic, Journal of VLSI Signal Processing 等等) 中發表 10 篇期刊論文，以及在國際知名 EI 電路設計會議、訊號處理會議、通訊會議發表 14 篇論文，總計達 28 篇。這些成果增加我國在相關技術領域之國際知名度。

4. 晶片系統智財彙集及介面整合實驗

- 彙集四校 180 項 IP，完成 Academic IP Server。
- 完成『具加解密功能之無線多媒體 SoC 設計(Wireless Multimedia SoC with Encryption)之規格制定並完成效能評估。
- 完成智財之重複使用性及驗證技術制定。

5. 后羿計畫-前瞻無線測試平台與技術

- 本計畫所研發之技術（包含無線測試系統，內含自我測試，無線通訊電路、測試軟體等）於測試領域在學術界技術屬於領先，但是學術界缺乏實際案例的實作，以及將自我開發技術實用化的能力。本計畫將引進業界的力量，促進產學領域之間的溝通，並且增加實際案例的實作，將可更加延伸學術研發之價值。對於此領域之學術發展因此有極大之成效。
- 晶片自我測試與修復技術為下一世代相當重要的測試技術，也是國際間十分重視的一項技術。目前此技術國際間尚在萌芽階段。本計畫已研發記憶體晶片之自我測試與修復技術，對於邏輯及類比晶片之自我測試技術亦多所著墨。預計未來將陸續實現自我修復技術及容錯電路設計技術。



業界

1. 90 奈米之高畫質(HD)多核心架構多媒體處理器計畫

- 本計畫目標為研發一 90 奈米製程多核心架構多媒體處理器，以滿足多項高畫質(HD)視訊應用市場。主要有三大工作項目：(1)多媒體處理器之多核心架構(2)多媒體程式編譯工具之設計(3)VLSI 整合與實現

2. 智慧整合型 RGB LED 背光源色彩自動管理晶片組開發計畫

- 本一尖端智慧整合型 RGB LED 被光源色彩自動管理晶片組開發計畫可以解決目前 R.G.B LED 背光源所遭遇之困境。本計畫內容含三組晶片(1)R.G.B 光偵測積體電路(全 CMOS 製程，整合 R.G.B 彩色濾光鏡+光偵測器+組抗轉移放大器)(2)色彩、亮度自動偵測及補償控制積體電路(3)RGB LED 驅動積體電路(4)製作封裝及量測。

3. Display Port 高速數位串列顯示介面晶片

- 本計劃完成後，將可建立更完整自有的高速串列技術(High-Speed Serial Link)整合的相關技術能力。

4. 微機電整合壓力晶片(MEMS Pressure IC)技術研發計畫

- 21 世紀將是微小化的時代，而 CMOS-MEMS 可謂微小化的靈魂也是一種結合電子、機械及化工等多元技術整合的產業。本計劃的成功，將帶領國內產業向微小化產業邁進，補強整個新興產業的完整性與自主性，這也是近來我國政府正大力倡導的策略性關鍵性產品之一。

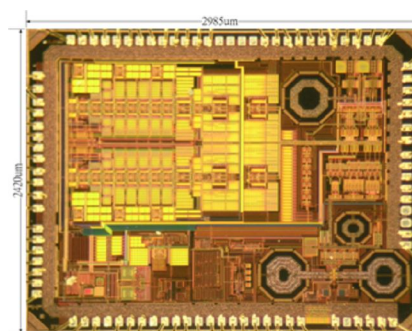
二、技術創新(科技整合創新)

晶片中心

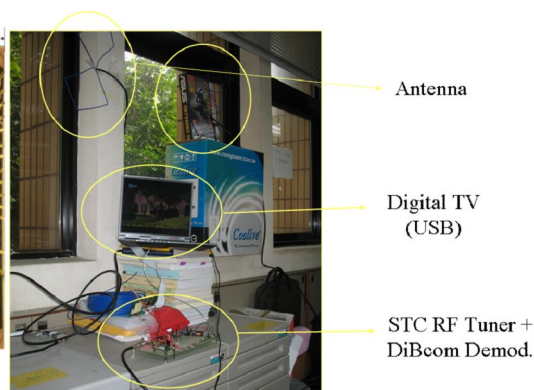
1. 無線多媒體系統晶片關鍵技術發展四年計畫(1/4)

□ 重要研發成果

■ DVB-H RF Tuner IC

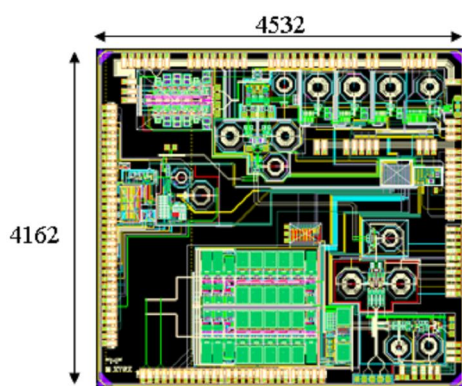


Chip area : 7.2mm² (2985 x 2420 um²)

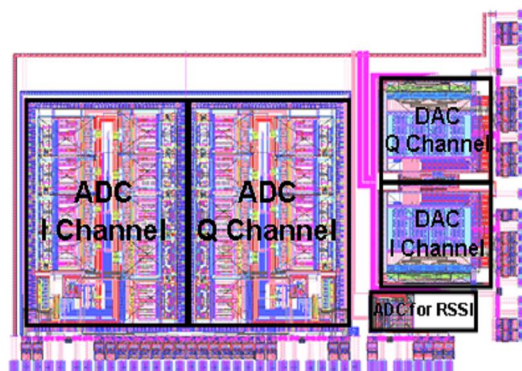


- 頂尖低功耗、低電壓 DVB-H RF Tuner IC，採用 1.2V TSMC 0.13um CMOS 製程，系統量測之 Power consumption (continuous mode) 僅為 114 mW、Area 也僅為 7.2 mm²，易於轉移到 90nm、65nm、45nm CMOS 製程，方便多媒體系統產品開發。
- 完成系統整體接收器展示(DVB-H Tuner + Digital Demodulator)，成功接收 DVB-T 數位電視訊號。
- 以架構及電路之設計技巧突破低電壓低電流及高線性度的要求，已先提 provisional 專利申請案共 6 件。

■ Mobile WiMAX RF Mixed Mode



▲ RF Transceiver IC



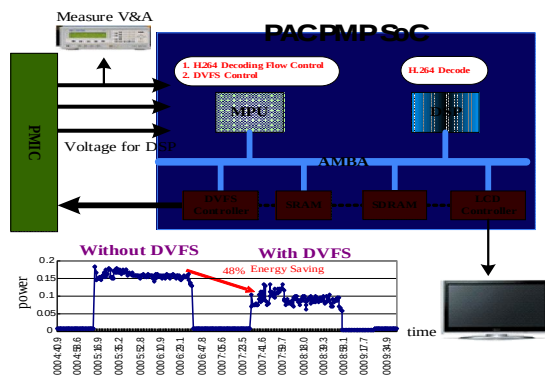
▲ Analog Baseband IC

- 完成 WiMAX RF Transceiver IC，採用 0.13um CMOS 製程，操作頻率範圍為 2.5 - 2.7 GHz，支援 5、10、和 20 MHz 信號頻寬，最大功耗

在 300mW 以內，與國際大廠功率相當，可成為國內 WiMAX CPE 應用之 Solution。

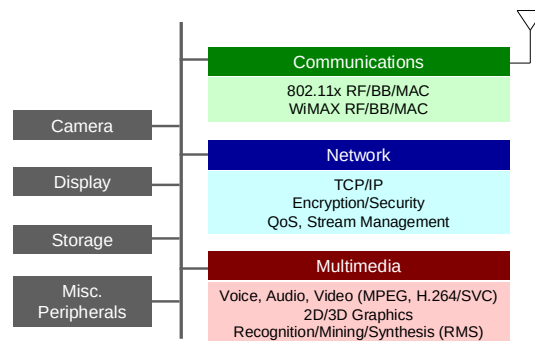
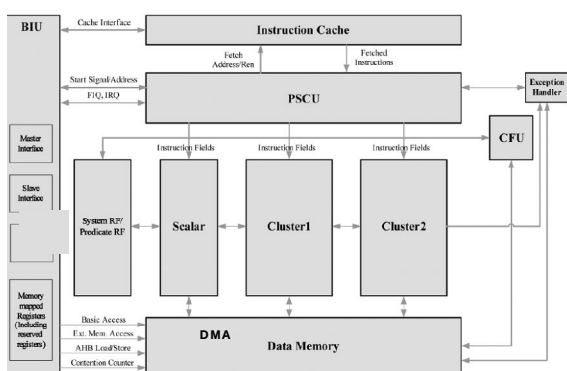
- 領先國內完成 90nm, 1.2V 符合 Mobile WiMAX 規格之 ADC/DAC IP，且相對於目前國外廠商擁有較低功耗。
 - Pipelined ADC with 10-bit 100 MS/s, I/Q channels, BW = 20 MHz, 消耗功率小於 50mW。
 - Current-steering DAC with 10-bit 100 MS/s, I/Q channels, BW = 20 MHz, 消耗功率小於 20mW。
 - 9-bit 1 MS/s SAR ADC for RSSI, 消耗功率小於 1 mW。

■ PAC PMP SoC with DVFS Methodology 技術



- 國內領先使用具 DVFS(Dynamic Voltage Frequency Scaling)功能之 PMP SoC 執行 H.264 解壓縮器，可提供數種功率模式供軟體動態調整，改善晶片能量消耗達 50%。有助於降低系統功率消耗，延長行動可攜設備可使用時間。
- 新型態多媒體功能和隨處可接的 Smart Phone 設計複雜度以及節能設計是一項巨大挑戰。本計畫成功完成此技術，可運用於 Handheld 裝置、Portable Media Player 與智慧型手機等多媒體展現上。

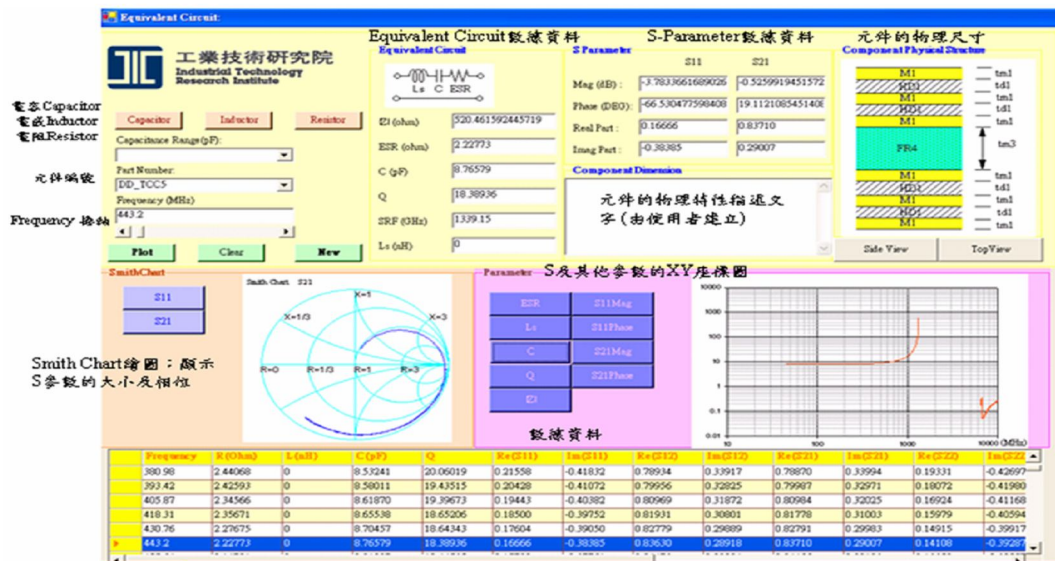
■ DSP Processor 技術



- 完成強化版 PACplus!之研發，將已商業化之 PACDSPv3.0 的效能提升 30~40%，其指令集架構(ISA)仍保持與先前版本完全相容，而主要改良的部份為系統介面，包括快取(Cache)控制器及直接記憶體存取(DMA)控制器。另外，更提供新一代晶片匯流排溝通界面(AMBA3.0, AXI)選擇，可大幅提升資料傳輸效率。
- PACplus!主要的特徵為：最佳化的快取控制器可以減少 30%的處理器停頓時間；以及最佳化的直接記憶體存取控制器，可以縮短 90%的設定時間；其他 PACplus!之特徵為：
 - on-demand cache fetch
 - programmable cache prefetch upto 4 lines
 - Infinite virtual channels for DMA
 - Non-aligned access

■ 內埋 L & C 元件結構應力與電性補償設計

人機介面資料庫展示



- 已成功研究出如何建立在 Ansoft 軟體裡可分析的彎曲模型，依照不同曲率及彎曲方向共建構了 12 個電感及電容的分析模型，由不同彎曲曲率的結構其電性分析比較結果可明顯看出當結構彎曲時確實是會影響元件電性效能。
- 成功開發出變形結構與電性耦合分析技術，並建立一套建立模型的標準流程，同時也建立了彎曲範圍在 $\pm 20\%$ 的電性資料庫，後續可針對不同的元件需求進行預先的評估進而提供改善設計的方向，此技術可應用在探討基板受熱產生形變時對電容和電感特性的影響。此外，許多製作在基板上小型元件如天線、濾波器...等也都可利用此技術來分析元件變形後的特性，對於未來的要求高性能與高效率的寬頻通訊技術發展將有很大的助益。
- 完成建立一人機介面的資料庫且此資料庫是允許擴充的，此資料庫所提供的功能將使設計端使用者透過此介面輕易的了解改變設計

的結果且可預先知道補償設計的範圍在哪裡，對於此技術的應用可更加拓展。

□ 其他重要具體成果說明

- 96.01.26 假工研院中興院區 51 館 604 會議室舉行「MTube 產品雛型功能與技術發表會」。以高效能可程式化 DSP 為核心所開發的平台雛型、揭露相關重要技術，以展現 MTube 所具備的創新功能；並 Demo Low Power H.264 BP VGA Decoder、AV Sync Media Player(QVGA 30 fps)、Video/Audio Streaming 等多媒體效能，獲得與會人士的高度肯定與熱烈回響。
- 96.05.14~96.05.15 假台北國際會議中心舉辦之「2007 Taipei Summit：Asia-Pacific WiMAX Conference & Exhibition」2007 亞太地區產業高峰論壇-WiMAX 產業趨勢與服務商機論壇暨展覽會首度展出與 Alvarion 合作共同開發完成之 WiMAX/Wi-Fi Handover 前瞻技術研發成果，提供更便捷之個人無線寬頻服務。受到參觀者高度肯定與注意，尤其是國內台哥大、遠傳及韓國 KT 等 operators 特別感到興趣，而 Alvarion 對本技術的展示效果更是讚譽有加，更加深雙方合作關係。

2. 通訊與光電環境建構計畫－晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項

- Low Power Design Flow：使用 nanoCPU 電路設計不同 power gating APR 架構 (ring 與 column 型態)，並進入 voltage storm 進行 Dynamic IR-drop 分析，將藉由分析結果進行 power gating cell 數量及 sizing 最佳化，同時致力於降低 Power gating 之 rush current 及縮短 wake up 的時間。本技術可提供完整的實做平台，提供客戶先進製程設計服務技術，以加速 IC 實現之開發速度與正確性。可應用於高待機時間與低耗電之可攜式電子產品，提昇 IC 廠商在省電特性之競爭力，並提供 design houses/service 建立流程。
- Power Modeling and Power Estimation Methodology at ESL：以 Neural network 取代 look-up table 建立 Power model，完成建立高階 Power Modeling 技術及 Characterization 流程。Neural Network power model dumper 介面模式修改，適用於 Nanosim、PrimePower 兩種模式，並建立 ESL power estimation methodology，使設計者在設計階段前期即可預估整個系統的功率消耗，提早更改設計架構，以符合功率消耗規格，產出低功率之產品。
- 全晶片 ESD 防護技術：WiMAX 射頻前端電路對於 ESD 元件的低負載要求嚴刻，然而目前技術無法單方面降低 ESD 元件負載至可接受範圍，本技術完成 ESD design for LNA and PA 電路設計、改良 LNA 之匹配網路，並於 PA 之最後二放大級做級間匹配，以改善搭載 ESD 防護電路時的 RF 效能，預期阻抗匹配之反射損失小於-10dB，ESD 耐受度 2kV HBM，以滿足 ESD 測試標準。
- 完成內建式鎖相迴路自我測試電路技術，並建立內建抖動測試技術之待測電路系統模型(system model)，此電路可大幅降低外界測試機台之成本並具有測試高精準度，並已應用於清華大學前瞻無線測試平台與技術計畫。並將申請專利「應用於內建測試之具有寬頻操作與高解析度的抖動測試技術」。
- 高頻/類比電路設計技術：發展關鍵電路類比數位轉換器的功率最佳化架

構的行為分析模組，能夠在電路設計之前快速掌握類比數位轉換器架構最佳化的分析探討。建立類比數位轉換器電路之設計流程，縮短設計時程，本計畫所發展出的技術以充分運用到關鍵技術 MIMO Mobile WiMAX 10 bits 100MHz ADC 架構的評估及電路設計。

- ❑ 低功耗電路設計技術：目前國內業界在低功耗電路設計的領域，尚在剛起步階段，在技術難度更高的超低電壓電路設計（Ultra Low Voltage Design）更只在萌芽。本計畫已完成 0.5V PLL 設計、佈局與驗證，此設計使用 Bulk 電壓調整 VCO 輸出頻率，並結合 switch control circuit 調整 VCO 輸出範圍，以克服 PVT 偏移之影響，使得 PLL 在 0.5V 時輸出頻率可達 500MHz。

中科院

- ❑ 以安捷倫 ADS 完成 MB-OFDM UWB PHY V1.2 射頻與基頻整合系統模擬，200Mbps data rate 的情況下，Minimum receiver sensitivities 比規範要求的還低了 6 dBm。
- ❑ 以 ASIC 的設計考量(功耗、gate count、die size 等)，採 2 路平行架構降低工作時脈，完成 MB-OFDM UWB PHY V1.2 ASIC-Oriented FPGA VHDL 碼設計，並與 MAC 系統軟體整合於 FPGA 與射頻雛型(Prototype)整合平台，完成無線影像傳輸驗證，在 5 公尺的距離 PHY 傳輸速率可達 60Mbps，FTP Throughput 可達 16Mbps。該項技術除可作為國內半導體公司開發 UWB 基頻晶片之基礎，亦可作為驗證 UWB 射頻晶片之依據。本技術可大幅降低國內業界開發 UWB 晶片所需嘗試錯誤之次數，以及時程延誤之風險，獲得降低開發成本、縮短上市時間的效益。
- ❑ 根據 MB-OFDM UWB PHY RF & Baseband Co-simulation 設計，完成 UWB 射頻晶片規格草案 V 1.0 制定，交由 TSMC 進行 UWB RF IC 設計開發。根據與 TSMC 簽署之合作協議書，將共同開發 90nm CMOS RF 與基頻晶片，完成無線傳輸驗證與展示，並授權國內外晶片設計業者進軍 UWB 晶片與應用晶片系統市場。
- ❑ 以 TSMC 90nm CMOS 製程完成 MB-OFDM UWB PHY V1.2 基頻晶片 netlist 開發，Total gate count: 170 萬 gates，合成後 TX 端最高可執行頻率: 581MHz，RX 端最高可執行頻率: 409MHz。

資通所

- ❑ 結合資策會、交大及清大研發能量，共同於清大圖書館完成無線感測器網路建置，並具備室內環境監測、人員定位追蹤及線上更新無線節點等功能。本測試應用平台系統將可提供產學研進行各類創新技術及應用服務等測試驗證。
- ❑ 完成研發 Multiple Power Domain 架構，具備 Full Run / Slow Run / Clock Gated / PLL Power Down / Deep Sleep 等工作模式。
- ❑ 完成 Parallel Arithmetic Block 架構及開發環境，支援 Parallel Arithmetic Block 程式開發所需之 GNU 組合語言及與 C 程式整合之開發流程。
- ❑ 應用 Parallel Arithmetic Block 可於 48MHz 執行壓縮影像，依據無線網路效能狀態，藉由智慧型控制 Frame I / Frame P 張數，即時運算處理壓縮比達 126 倍。
- ❑ 完成接 IEEE 802.15.4 RF 介面，達到 100Kbps 傳輸速率。

學界

1. 前瞻高效能低耗能之雙處理器系統技術研發

- 建立數位處理器編譯器工具技術。在非傳統的叢集式數位訊號處理器架構下，指令的排程方式與暫存器的配置方式將大幅影響編譯器所能編譯出程式的品質。本計畫發展不同於傳統的指令排程方式與暫存器分配方式，提高傳統排程與分配方式於此一架構下無法達成之運算速度，提升國內在超長指令集數位訊號處理器編譯器技術上競爭力。
- 建立低功率數位電路技術。爲了達到運用相同電力而延長手持式裝置使用時間的目的，數位訊號處理器設計者必須竭盡所能在硬體與軟體上節省所耗費的能量。本計畫發展多種不同耗能狀態的電子元件，搭配指令集的設計與編譯器的分析，以改變數位訊號處理器的運作狀態來節省不必要的能源消耗。目前本技術已成功發展並應用於所發展之超長指令集數位訊號處理器編譯器上。

2. 晶片系統傳輸鏈之電路系統設計與驗證平台開發

- General interface generator for various protocol：在硬體介面自動產生方面，有關 protocol 的描述，可透過圖形化介面的選項或以 SystemC 語法描述不同的協定(protocol)，自動合成符合設計要求的介面電路。此種方式具備高度的設計彈性，具備支援各種不種的 protocol 能力，改善僅能使用在特定硬體介面的 library based 型式。在合成演算法方面，主要依據使用者描述的 FSM 以鍵結串列資料結構表示並取其 complement，再與介面內部 buffer 狀態及控制暫存器狀態比較，決定目前狀態是否允許存取此次的 transaction。
- Efficiency driver generator for char. or lock type devices：在驅動程式自動產生部分，針對 character 與 block type 之 device，以 Template-based 的方式，提供模組化與參數化之設計，產生相對應的 driver function，讓使用者不需深入了解 OS kernel 運作，也不需要額外的語法分析，可直接產生 driver 的 C code，相較於市面上之驅動程式產生器，只能針對 standard bus protocol 與特定 device 產生 driver，此驅動程式產生器可針對非限定之 custom IP 產生出所需之 driver，在 SoC 開發上較具有 flexibility，並藉由自動化之機制，加速 SoC 快速整合。
- Transmission link Virtual Platform 之建立：目前一顆晶片上也出現越來越多的 processor core 和可重複使用的元件，在連接這些 components，目前最常見的通訊架構仍以 buses 和 point to point 通訊架構為主，爲了提高晶片的效率及效能，而開發 Network on Chip(NoC)通訊系統架構，來解決頻寬的問題。因此我們開發一 NoC mesh topology 的 virtual platform，可提供在開發 NoC 時，得到較快的驗證及分析，進而達到縮短 design cycle 及 time-to-market。
- H.264 影像壓縮系統 IP：利用 SystemC 及 Verilog 這兩種不同層級語言來建立 NoC 之應用系統(H.264 影像壓縮系統)，此各 IP 爲 TLM modeling，將可提供 NoC 系統快速的模擬及分析。且 IP 可以重複的被使用，且可以與各種的 communication interface 或 protocol 整合在一起，而能夠達到縮短設計時程及使分析驗證上更有效率。另外有些 IP 模組是以快速演算法所完成的，不僅可以降低整體的運算量更可提高整體系統之分析效率。
- Low cost & low power 10-Gbps on chip switch design for NoC：在技術創新方面本計劃設計一 packet based high speed switch 架構，其工作頻寬可以達到 10Gbps，用以取代傳統的 shared bus 架構，傳統 SoC 系統單晶片產業在開發 SoC 系統單晶片時，大多仍以 shared bus 爲晶片內各 IP 之溝通骨幹，但由於它的效能不彰、不易整合各時脈不同的 IP...等，本計劃所設計之 switch 沒有傳統 shared bus 缺

點，提供使用者一個高速、高效能的傳輸骨幹。本計劃設計一具有公平性仲裁機制之分散式仲裁器，結合了中控式與分散式仲裁器的優點，提供公平的仲裁機制，同時具有面積較小與仲裁時間較短的優點。

- 以 CMOS 製程實現 10GS/s 的 conversion rate，是目前全世界使用 CMOS 製程中做到最高速的 non-interleave ADC。
- 已完成 0.13um CMOS 製程混合臨界電壓低功耗與低雜訊影響標準元件庫，經由混合臨界電壓設計法的使用，可以減少漏電流並有效降低電路功耗達 10%~20%。
- 實現 90nm CMOS 製程抑制雜訊的元件，包含被動抑制元件與主動抑制電路，實驗結果顯示這個主動抑制電路，可以在去耦合電容無法進一步抑制雜訊時，再進一步抑制雜訊約 20%~40%。
- 0.13um CMOS 製程元件庫測試晶片已下線，使用已完成的 0.13um 製程混合臨界電壓低功耗與低雜訊影響標準元件庫，來合成 MAC 電路，並量測其效能，模擬結果證明我們實現之 0.13um 製程混合臨界電壓低功耗與低雜訊影響標準元件庫，有能力合成出比商業元件庫所合成之電路功耗低的電路。
- 完成適用於功率與雜訊分析平台之行爲模擬驗證方法(for RTL simulation)。
- 藉由工研院系統晶片科技中心自主開發 ECSM 的元件庫特徵化自動程式，產生 90nm、130nm 更精準的標準元件庫 timing model，並以實際電路做為 benchmark，進行 Auto place&route、delay calculation、static timing analysis、Crosstalk analysis 等等，建立以 ECSM 為基礎的 SoC 設計環境，並完成 ” ECSM 為基礎之 SoC 設計環境 ” 技術報告。
- Mixed-Voltage ESD awareness I/O Cell Library：已開發 90-nm 之 I/O Cell Library，包含高低壓共容之 I/O Buffer 以及其靜電放電防護設計，部分成果在已經發表國際研討會論文。
- 研發 90 奈米之 I/O Cell Library，包含高低壓共容界面電路設計與靜電放電防護設計。目前進度已完成 I/O Cell Library 的晶片驗證，量測包括(1). I/O Cell 之 Driving Current(2). I/O Cell 產生之 Simultaneous Switching Noise，還有(3). 靜電放電耐受度，以及(4)靜電測試後之故障分析。

3. 超低功率數位訊號處理器核心開發

- 本計畫在產出自有指令集架構(ISA)的超低功率數位訊號處理器核心同時，並將開發相關低功率軟硬體之前瞻技術，並研發其 SOC 發展平台。將提供學術機構研發低功率核心之各項技術。其 SOC 發展平台之經驗，並可利於未來相關 SOC 設計之研發。

4. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計

- 本計畫成功開發出正交分頻多工系統之低複雜度子載波間干擾消除演算法技術此技術解決了高車速下因都普勒效應造成訊號解調不良的問題，為重大之技術貢獻此技術解決了高車速下因都普勒效應造成訊號解調不良的問題，為重大之技術貢獻。
- 在高效能偵錯編解碼設計技術開發上我們提出兩項重大貢獻技術其一為 “ A G-bps 2-dimentional ACS Architecture for Turbo Codec, ” 其二為領先產學研界開發出低複雜度高效能之 LPDC 解碼演算法及晶片 IP “ Dynamic Normalization Technique for LDPC Decoding ”

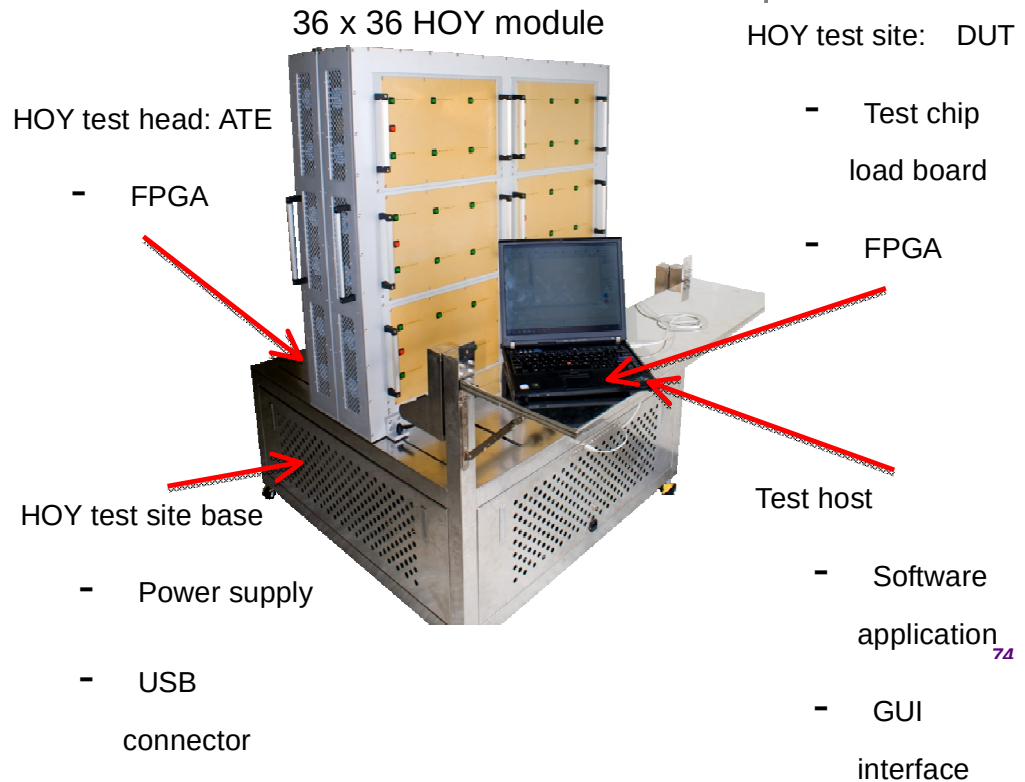
- ❑ 設計出高效能之座標旋轉處理器 “ Efficient Cordic Designs for Multi – Mode OFDM FFT ” 其可以極小面積及高速執行多點數之 FFT 運算，可有效的運用於多標準 OFDM 系統。

5. 晶片系統智財彙集及介面整合實驗

- ❑ 本計劃的主要技術為智財的驗證（IP verification）與重複使用（IP reuse）。在智財驗證方面，針對標準中的關鍵 IP，我們將首先完成驗證規範的訂定（verification guideline），接著將發展自動化的 testbench 產生技術，以驗證 IP 設計的正确性並確保未來的可重覆使用性，達到半自動驗證（semi-automated verification）的技術指標。IP 驗證在 SoC 設計流程中是一個非常重要的環節，在製程技術不斷進步、製程費用等比增加的情況下，IP Provider 必須完成完整驗證報告以提供 SoC 設計者使用，然而，SoC 驗證技術尚屬開發階段，本計畫擬集結學界廣大資源，同時針對不同應用類別之 IP 開發驗證技術，提供國內產業採用，藉以提昇國內自製 IP 之品質。在智財重複使用方面，初期將提供智財選擇的使用介面（IP Selection Interface），後期則將使用所發展的系統性能評估技術，使設計者可以作更完全的設計空間探索（design space exploration），以縮短選擇符合性能規格的 IP 與架構所須的時間。

6. 后羿計畫-前瞻無線測試平台與技術

- ❑ 晶片自我測試與修復技術為下一世代相當重要的測試技術，也是國際間十分重視的一項技術。目前此技術國際間尚在萌芽階段。本計畫已研發記憶體晶片之自我測試與修復技術，對於邏輯及類比晶片之自我測試技術亦多所著墨。預計未來將陸續實現自我修復技術及容錯電路設計技術。
- ❑ 測試技術原先採用有線探針方式做晶片測試，成本隨著傳輸腳位的增加而急遽提高到令人無法忍受的地步。本計畫獨步全球以無線傳輸理念開發出無線測試技術。此技術將可大幅降低晶片之測試成本，增加產業競爭力。
- ❑ 研發完整 All-digital Phased-Lock Loop(ADPLL) 技術，與國際技術相較具有 High Frequency Profile Uniform 及超高解析度等優勢。
- ❑ 研發 HOY 無線測試系統，目前已產出第三版原型



7. 微型化與全像光儲存技術之開發

- 本計畫以目前日漸普及的可攜式電子產品之儲存裝置為目標，開發出適用的微型光學讀取頭，並針對前期計畫中所遇到的組裝瓶頸，發展新型的可量產性組裝技術。除此之外，為了探究更前瞻的超高密度儲存技術(>100Gb/in²)，我們也將進行全像資訊儲存技術的研究，利用過去在光碟儲存及全像材料的研發基礎，未來將以微型化的光碟，以及平行化的全像資訊儲存技術為重點。如此可兼顧前瞻性的技術及新興市場的需求，發展關鍵技術、IP、規格等，以提昇未來我國在光儲存產業中的國際競爭力。

三、經濟效益(產業經濟發展)

晶片中心

1. 無線多媒體系統晶片關鍵技術發展四年計畫(1/4)

- MIMO Mobile WiMAX 關鍵技術
 - 開發低功耗 Mobile WiMAX 802.16e RF Transceiver IC 晶片電路設計技術，最大功耗約在 300mW 以內，與國際大廠功率相當，未來可搭配前端 RF module，與 STC WiMAX Baseband IC 做 SiP 整合，推出完整的 solution，可應用於 portable device、Laptop 及 Mobile WiMAX 終端產品使用，將有助於我國在無線通訊產

業關鍵零組件之掌握，進而提昇產品附加價值。

- 繼開發全球功率消耗最低之 DVB-T Tuner IC，本年度持續研發應用於下一代移動手持式數位視訊廣播之 DVB-H Tuner IC，採用 1.2V TSMC 0.13um CMOS 製程，Power consumption (continuous mode)僅為 120 mW、Area 也僅為 7.2 mm²，已提 provisional 專利申請案 6 件。此研發成果除成功技轉台灣創毅(Mavcom)，加速其建立手機電視市場晶片和系統解決方案的能力，未來亦可應用於數位電視、數位機上盒、Notebook，及下一代移動手持式數位視訊廣播產品，將為國內相關產品廠商創造無限商機。
- 率先投入開發 90 nm 製程，low power ADC/DAC for Mobile WiMAX 802.16e，消耗功率分別小於 50mW、14 mW，相對於目前國外廠商擁有較低功耗，可運用於使用奈米先進製程的無線通訊產品，降低欲開發的廠商在先進製程與低壓設計開發的成本，縮短開發的時程。
- Mobile WiMAX 802.16e 可提供具移動性、高速寬頻無線通訊界接能力。本計畫領先國內開發具 OFDMA mode 之 Mobile WiMAX 晶片設計技術，將可協助國內 IC 設計廠商進入商機龐大的寬頻無線通訊系統的市場，帶動下一波國內通訊產業的成長動力。此外，本計畫與前瞻計畫舉所共同發展出來的實驗平台與實驗網路，亦可提供供國內 WiMAX 廠商實地驗證各種創新應用服務，有助於新產品快速導入市場與創造產品差異化價值。

□ PACII Processor and Software Application 關鍵技術

- FY96 完成技轉國內一流大廠(凌陽科技)之 PAC DSP 技術專利授權案，包含 PAC DSP 相關 15 案 35 件核心專利(含申請中)，技轉簽約金額高達三千多萬元；該公司將本計畫之 PAC DSP 與其自主開發以及業界科專支持的 32 位元 S+Core™處理器(MPU)互相搭配，成立新創公司—凌陽核心科技，從事多媒體應用處理器晶片及多媒體應用處理器的開；接棒完成產品商品化，希望能發揮綜效，帶領台灣搶進 80 億美元規模的數位訊號處理 SoC 晶片市場，帶動國內可攜式 3C 終端產品之產值再創高峰。
- 本計畫於 2004 年啟動之 PAC 計畫，成功開發完成國內第一個 32-bit 可程式化 DSP core 及開發平台，已為台灣在可程式化多媒體處理器自給化攻下一城；本計畫趁勝追擊，FY96 結合台灣自主研發設計之雙核心(MPU+DSP)平台，提供產學業各界最佳化與可客製化之 PMP SoC 發展平台，使得產業能據以開發 Time To Market 之相關創新應用及服務產品。
- 隨著系統單晶片的設計複雜度大幅增加，本計畫依據 PAC-Duo(Dual-Core DSP System)之規格與效能需求，建立 ESL(電子系統層級設計)環境與方法，包含了完整的設計流程、流程中所需要的支援工具開發、效能評估以及模擬等；此技術之完成可使架構設計初期即能藉由模擬、系統分析和驗證，達 SoC 軟硬體最佳化之技術開發以及縮短整體開發時程。
- 率先投入 90 nm 製程之 low power Circuit design，可降低欲開發的廠商在先進製程與低壓設計開發的成本，縮短開發的時程；應用於 WiMAX/PAC 等終端產品，並進行整合，推出完整的 solution，並將 solution 推廣至國內外系統業者。
- 完成支援雙核心(MPU+DSP)架構之串流環境建置，由伺服器端透過 DVB-T 卡接收 MPEG/MP2 位元流，並轉換成 H.264/MP2 位元流；Client 端再經由乙太網路傳輸接收位元流，由 DSP 解壓縮 H.264 位元流與 MPU 解壓縮 MP2 位元流，達到可即時收看電視節目。在整合數據、語音、影像三合一 triple play 的應用服務時代，串流媒體(Streaming Medium) 隨著積體電路及寬頻有線/無線

網路技術的發展，成為 IT 與多媒體產業的下一步。搭配完整之開發環境和多元豐富之應用軟體，本計畫發展之 Multimedia 能 smooth and real-time 的透過 Network 播放，且具提供 Multimedia-standard baseband 及支援 portable IPTV/personal media device(PMD) 之 streaming 處理能力。

- 國內領先使用具 DVFS(Dynamic Voltage Frequency Scaling)功能之 PMP SoC 執行 H.264 解壓縮器，可提供數種功率模式供軟體動態調整，改善晶片能量消耗達 50%。有助於降低系統功率消耗，延長行動可攜設備可使用時間。新型態多媒體功能和隨處可接的 Smart Phone 設計複雜度以及節能設計是一項巨大挑戰。本計畫成功完成此技術，可運用於 Handheld 裝置、Portable Media Player 與智慧型手機等多媒體展現上。

□ SiP 異質整合設計關鍵技術

- 成功開發出變形結構與電性耦合分析技術，並建立一套建立模型的標準流程，同時也建立了彎曲範圍在 $\pm 20\%$ 的電性資料庫，後續可針對不同的元件需求進行預先的評估進而提供改善設計的方向，此技術可應用在探討基板受熱產生形變時對電容和電感特性的影響。此外，許多製作在基板上的小型元件如天線、濾波器...等也都可利用此技術來分析元件變形後的特性，對於未來的要求高性能與高效率的寬頻通訊技術發展將有很大的助益。
- 針對內埋 L & C 元件結構應力與電性補償設計，完成建立一人機介面的資料庫且此資料庫是允許擴充的，此資料庫所提供的功能將使設計端使用者透過此介面輕易的了解改變設計的結果且可預先知道補償設計的範圍在哪裡，對於此技術的應用可更加拓展。

2. 通訊與光電環境建構計畫－晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項

- 消費性電子與通訊產品功能日益擴增，所需消耗的功率亦隨之大幅提昇。因此，最佳的電源管理技術與低功率設計技術遂成為半導體產業與 IC 設計的發展重點。本計畫將 DVFS，Power Gating，Multi-Vdd 等相關 Low power 技術，實際應用至晶片系統關鍵技術發展計畫，並提供其所需之設計驗證技術諮詢與設計流程，使該晶片系統關鍵技術發展四年計畫成功開發出高效能、低功耗 32 bit DSP 與 PMP Platform with DVFS feature，搭配 Low power 技術之 DSP，技轉給凌陽核心等國內廠商，提昇台灣在低功耗 IC 的設計能力。
- 目前舉世重視環保議題，也吹進了電路的設計當中，為了減少使用電量，最好的方法就是減少用電量，也就是發展省電電路，即稱為低功率電路。功率消耗在電路系統設計中已經成為一個非常重要的因素，超低電壓電路可以促進可攜式電子產品及生物醫療微機電技術的研究發展，再者由於電壓為 0.5V 故可以結合太陽能電池，作為電力供電而電路尚能正常操作，以舒緩能源的使用。本計畫發展之 LVDD 設計技術，即在建立超低電壓設計技術與功耗模型，以建立我國自主的、有效的低功耗設計，提昇國內 SoC 設計能力與 IC 廠商在省電特性的競爭力。
- 現今系統單晶片 (SoC) 在整體 IC 的設計流程上，必須考量數位及類比等不同技術的設計複雜性，同時要考量低功耗、以及在製程技術持續提升的情形下的各種技術的挑戰。本計畫在 power modeling 系統層級設計上，利用 Neural Network 來記錄 power consumption 的 methodology，其準確度高、size 小，可以運用在任何一個 design level，協助設計者在設計階段前期即可預估整個系統的功率消耗，提早更改設計架構，以符合功率消耗規格，降低設計的時間成本，以最快速的時間設

計符合客戶所需求的產品。

中科院

- 市場研究機構 In-Stat、IMS、資策會 MIC 與拓墾產業研究所等皆預期 2007 年將是 UWB 產業起飛的一年，In-Stat 預測到 2010 年 UWB 晶片年出貨量將超過 2 億 8 仟 9 佰萬套，國內正文、友訊、廣達、華碩、台達電等業者先後與國外晶片業者合作推出 UWB 相關產品。然目前 UWB 晶片技術掌握在國外先進大廠，本計畫投入 UWB 基頻晶片關鍵技術開發，技術移轉 UWB 基頻晶片關鍵技術給聯華電子與創惟科技，研發成果收入合計 600 萬元，繳庫數 300 萬元。創惟科技預計投入 1 億元開發 UWB 晶片解決方案，預估產值達 50 億元。

資通所

- 掌握 ZigBee 2006 協定關鍵核心技術。完成 ZigBee 2006 無線通訊協定開發，並完成 60 nodes，10 天 24 小時無間斷聯網之穩定性測試。後續將可協助晶片、模組及感測終端裝置等上游產業廠商研發製造。
- 針對工業、環境監控及生活等應用提供 WSN Turnkey Solution，協助中下游產業之系統整合、技術服務及營運等。
- 將可授權 IC 設計公司整合無線感測網路處理機 IP 於其 SoC 產品上。可授權於系統設計公司，提供模組化設計，以便大量生產及廣泛使用。

學界

1. 前瞻高效能低耗能之雙處理器系統技術研發

- 本計畫技術移轉授權金為 900,000 元，衍生委託金額達 12,600,000 元。
- 由於 DSP Market 到 2007 年產值預估將達 130 億美金（資料來源：Forward Concepts），如能建立一自製平台，在國際上佔一席之地（如 15%），即可達約 20 億美金的產值，未來的潛力值得重視。本計畫著眼於此，積極架構國內自製數位處理器之整合開發環境，以整合軟體開發工具組、圖形化使用者界面、數位訊號處理函式庫為首要目標，發展足以與國外大廠抗衡之發展平台。

2. 晶片系統傳輸鏈之電路系統設計與驗證平台開發

- 提昇介面電路的設計時效，降低人力成本，加速產品 time to market 目標：有關 SoC 系統的產品，其設計最大的瓶頸在於各個 IP 的整合以及軟體與硬體之間介面的整合。在硬體整合方面，主要的設計便是 interface 的考量，而在軟體與硬體的溝通介面則為 driver 的設計。不論是 interface 或是 driver，在設計上都是花費時間而且容易出錯，透過介面設計自動化的方式，除了減少人為錯誤，有效節省人力資源，亦可將介面電路設計時程有效降低，達到產品 time to market 目標。
- 提昇 SoC 系統設計模擬驗證時效，協助廠商解決複雜設計問題：目前在 SoC 設計領域裡面面臨到許多的挑戰，因為在設計上不僅只有考量 component level issue(例如, performance, power 等問題)，也要考量 system-level issue(例如, reusability, adaptability, and scalability 等問題)。所以，我們提供一 NoC 系統虛擬平台，來幫助解決上述之問題。對於系統設計之廠商而言，目前或未來都會遇到越來越複雜的應用系統

及產品，建立系統虛擬平台可以幫助廠商解決複雜的應用系統更可縮短設計時程，而提高生產力。相對地，當技術成熟之後，也會促成更多之廠商的投資而促進經濟之發展，這有助於在協助提升我國產業全球地位和產業競爭力。

- 提昇科技產業 NoC 設計能力與高階系統應用產品之發展：經濟面上，我們的 switch 在設計時針對擴充性和實用性的考量下以達到參數化的設計，在 topology 上也可以針對不同的 IP 需求來設計，在頻寬上由於我們 switch 已經可以達到 10Gbps 的傳輸速度足以應付現有的 IP 需求，以廠商的角度來看，可以比其它人的產品更早上市，為一個很重要的優勢，利用本晶片網路的特性，可降低整體系統晶片開發時間，加快上市時間、減少整體開發時間與人力耗費的成本。
- 專利地圖、專利佈局並預計獲得國內外專利 2 篇。
- 技術成果移轉：2 件。
- 國內外專利申請共 19 篇。
- 技術移轉授權金、權利金與衍生委託金額 4409 仟元。

3. 超低功率數位訊號處理器核心開發

- 此超低功率的數位訊號處理器核心將有助於提昇國內電子產業開發相關行動多媒體通訊應用之市場。自有指令集架構更將使國內產業掌握關鍵技術，主導市場。

4. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計

- 分項計畫一開發出之整合 RF、mixed signal 及基頻之 SOC 設計及驗證平台可提供相關產業作快速之系統設計及驗證。開發出之 802.16e 及 802.11n 基頻傳收基 IP 可提供產業開發相關系統產品所需之關鍵 IP。完成之 802.16e 基頻傳收機及整合 802.16e/ 802.11n 雙模基頻傳收機 RTL IP 及 FPGA 原型平台可提供業界快速開發出系統產品。系統平台可提供業界系統化之設計流程與方法可提供產業界作為相同系統開發之用，能於開發初期提供系統驗證，從規格制定至 IP 設計都可以驗證整合系統之效能，降低開發後期系統整合的風險。在 SOC 系統層級設計最佳化上，使用系統單晶片平台(SOC Platform)達成軟/硬體共同模擬，可提供產業界在開發複雜 SOC 系統的初期，即可作最佳化之軟硬體規劃，而提升系統設計之效能並縮短設計時程。
- 分項計畫二的成果與技術之擴散將可提升國內無線晶片產業之技術能力並縮短 IEEE 802.11n/16e 產品之開發時程，另一方面，本計畫的執行可提前為國內廠商建立多模之基頻傳收機關鍵 IPs，所提出之專利可以提供業界晶片設計上有利之競爭條件。在 4G 技術開發上將提供法人及業界經效能驗證之 4G 基頻傳收機 IP。
- 分項計畫三的成果與技術之擴散將可促進國內獨到之 CMOS 晶圓製造技術與無線通訊系統晶片設計產業結合，提高產業設計層次和競爭力。可重組式 FFT 處理器將可應用於多模 802.11n/16e/20 之系統整合晶片。所開發之 LDPC 已解決記憶體與運算單元之權衡最佳化。

5. 晶片系統智財彙集及介面整合實驗

- 為積極建立台灣成為全球 SoC 設計中心，本計劃目的在鼓勵學術單位建立開發研發前瞻性之智財及平台相互間之相容機制、率先研擬智財建立標準流程，樹立台

灣學術界在智財開發管理能力之領先地位，藉由相容機制之建立，同時可提供國家計劃順利完成產學研相關補助案之成果試用與彙集，作為國家推動 SoC 計劃之整體成效表徵及積極向外推廣之具體成果。臺灣學術界，長久以來累積 IC 設計的經驗，開發出不少相當先進的智財，如能加以整理彙集、提供 IC 設計公司授權使用，台提供優良的設計平台，供全球客戶使用，使台灣能在製造利基上繼續做強有力的發揮，開創出新的設計優勢，從而在世界半導體、資訊電子業扮演舉足輕重的角色。

6. 后羿計畫-前瞻無線測試平台與技術

- 本計畫應用到許多通訊、設計及測試領域的相關知識，透過計畫執行過程中實際操作研究與多元化的學習訓練已培育出積體電路設計與測試領域博士 1 人、碩士 16 人，其中部分回到學界幫助培育更多專業人才，而部分進入業界，對於紓解半導體產業人力供需不足的現象，有顯著的幫助。本計畫培育之人力有效提升國內在此一領域研究人力的質與量，協助國內產業界建立世界性領導地位。
- 鑒於無線測試系統之建立具有大幅降低測試所需時間、成本等多項效益，本計畫之成果，勢將促成一具有競爭力之嶄新產業，並可帶動相關上下游產業的發展。本計畫之果可用於 IC 設計業、製造業與測試業。

7. 微型化與全像光儲存技術之開發

- 我國光儲存產業規模雖然為世界第一，但規格及重要零組件仍掌握在歐、日等國大廠中。若能在可攜式電子產品使用的微型光儲存技術領域獲得突破，將可大幅提升我國相關產業的競爭力。目前在這方面的應用尚未形成一完整的規格或技術上的共識，但已有韓、美、歐、日等國的產學單位相繼投入。本計畫所發展的微型讀取頭技術，將可協助國內廠商在此關鍵時刻，投入先期的研發的行列。除此之外，本計畫所發展的藍光雷射或 LED、微型透鏡以及微系統組裝技術亦可協助相關廠商取得關鍵性的技術。

業界

1. 90 奈米之高畫質(HD)多核心架構多媒體處理器計畫

- 以美國的 DVR 市場服務營收預測為例，從 2005 年的 15 億並且預測 2010 年的 30 億，市場成長力道驚人，藉由此計畫之成功，可掌握相關關鍵技術，可於台灣完成整套的 HD-DVR 產品相關流程，有助於相關多媒體 OEM/ODM 產業。

2. 智慧整合型 RGB LED 背光源色彩自動管理晶片組開發計畫

- 科技創新，性能優越，成本低廉，色彩鮮豔美麗，除使加速 LED 背光源 LCD TV 普及，並使國內 LCD 相關產業更具競爭能力，預計 2009 年五計畫之單晶片銷售將至少可達 10KK 產量(50%LED 背光板式 NB，TV，Minitor 之市佔率)。
- 帶動台灣 LED 及 LCD 面板相關產業鏈之蓬勃發展，並讓台灣提前至 2015 年前達到 FPD 顯示器 2 兆產值之目標。

3. Display Port 高速數位串列顯示介面晶片

- 相對於 HDMI 在高授權費及無法支援內接系統的應用等障礙，Dell 與 HP 等 PC 大廠主導的 DisplayPort 顯示介面相對有很大的發展空間，且 Dell、HP 與繪圖晶片大廠也都計畫從 2007 年下半年開始量產支援 DisplayPort 介面的相關產品，2008 年導入 Entry Level 產品，繪圖晶片大廠市場評估在 2008 年之後，內接系統可能將全部改用 DisplayPort 取代 LVDS，由於內接系統應用對使用者來說並沒有市場既有產品相容性的問題，預計將會是短時間成為主流的市場型態，再加上 PC 與 CE 外接系統應用，預估在未來市場成熟後每年擁有超過 200million 新一代 DisplayPort 顯示介面系統相關晶片的需求量，預估超過幾十億產值。
4. 微機電整合壓力晶片(MEMS Pressure IC)技術研發計畫
- 整合式壓力 IC：除了以上一般生活上常用的壓力感測(血壓、胎壓、大氣計等)，工業用途中對微壓(<1psi)及高壓(>100psi)範圍的壓力量測，也是極有潛力高單價市場。根據 Yole Developpement，2006/11 最新調查報告，預估壓力感測器市場產值，將從 2005 年每年產值 911 百萬美金，預估至 2010 年時將可成長約 3 成，產值將提升至 1254 百萬美元。

四、社會影響(民生社會發展)

晶片中心

1. 無線多媒體系統晶片關鍵技術發展四年計畫(1/4)
 - 成功結合產官學研等不同單位投入研發 SoC 相關技術，培養國內 SoC 關鍵、EDA、低功耗、軟硬體與系統整合人才，並積極延攬海外具經驗之優秀人才，以強化我國 SoC 核心技術的研發實力。
 - 培育國內無線通訊射頻設計、基頻設計、協定軟體設計、系統設計人才，強化產業發展技術基礎環境。
 - 計畫執行充份運用國內各界能量擴展技術研發；藉由多項學、業界技術服務、技術移轉與合作開發，可直\間接促成廠商投資，並對學\業界設計能力與環境提升，均有極大助益。
2. 通訊與光電環境建構計畫－晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項
 - 與新思科技共同合作 65/45nm 實體驗證設計平台及超低電壓設計技術開發，協助其在台灣 12 月 18 日成立「65/45 奈米前瞻製程 EDA 研發中心」。未來將投資 6 億元的經費，培育台灣 EDA 的產業人才及高階的設計技術人才，導入先進的 65/45 奈米半導體軟體技術，促進台灣 IC 設計公司、IDM、封裝測試與台灣晶圓代工大廠於先進製程的技術接軌，完成先進製程的參考設計流程（Reference Design Flow）及提升先進設計技術量能。
 - 與 EDA 大廠合作，發展設計方法與設計流程上的改善與突破，並透過與學術界的合作，廣泛培育 EDA、SoC、低功耗、軟硬體與系統整合人才，強化國內 SoC 核心技術的研發實力，進一步在市場卡位，以期能在通訊與消費性電子的系統晶片市場佔一席之地。

中科院

- 釋放中科院系統設計與寬頻無線之能量，培育國內無線通訊之系統、射頻與基頻設計人才，強化產業發展技術基礎，提升產品附加價值。

資通所

- 本計畫開發 WSN 所需之 SoC 關鍵技術。WSN 應用廣泛，例如：應用在電力公司的電壓監測；應用在博物館的展櫃內溫濕度、光線控制；應用在辦公住宅大樓之社區人員管控。應用於工廠之設備運作狀況監測。由於其技術之特性，使得許多過去無法實現的應用成為可能。

學界

1. 前瞻高效能低耗能之雙處理器系統技術研發

- 本計畫研發之高效能低耗能雙處理器系統之完整解決方案，在硬體上，將可宣示自行研發先進的數位訊號處理器系統的能力；在軟體上，也將顯示擁有自行設計實作先進處理器系統之相關軟體開發工具、系統與應用程式的能力與經驗。
- 計畫執行過程中所研發之相關設計、整合、驗證、測試、軟體系統等技術將有助於產業界加速 DSP 相關 SOC 產品之技術整合，對於目前國內之高科技資訊產業的進步與提升將有極大的幫助與關鍵性的影響。

2. 晶片系統傳輸鏈之電路系統設計與驗證平台開發

- 訓練介面整合設計的人才，具備軟硬體介面整合設計之能力，增加人才就業機會：介面整合的自動化技術可廣範應用在現今許多電子產品上面，包含手機、PDA、嵌入式系統家電等等，舉凡一個完整系統皆需面臨系統之中各個不同元件之間介面的整合及軟、硬體之間的溝通介面的整合，設計整合自動化是未來產業趨勢，透過自動化方式，加速系統產品整合，使產品更能取得市場先機，藉此提昇產業競爭力。
- 推廣系統 Virtual Platform 應用設計，提高 SoC 發展之人才素質與競爭力：現今一些發展高科技之國家，對於 SoC 或者是 NoC 的應用發展，都已經有相當不錯的開發。我們所建立的 Virtual Platform 為 NoC mesh topology 當系統架構，這對於目前在開發或者在設計 NoC，都可提供相當好的一個驗證 virtual platform，讓開發系統者可以快速的驗證，以提高 SoC 或 NoC 發展之競爭力。也讓更多產業的系統開發廠商會更投入系統的開發，而需要更多的人力，進而增加就業的機會。另外，提出 H.264 模組 IP 的快速演算法，可降低 H.264 複雜的運算量，並減少硬體數量，以提高影音多媒體的應用面並提供更多的資訊娛樂服務。
- 訓練 on chip switch 晶片設計人才，提高 NoC 發展之人才素質與競爭力：現今 System on-Chip 系統單晶片已經朝著 IC 設計的趨勢，未來一顆 SoC 晶片內將整合越來越多的 IP，也使我們的電子產業帶向多核心架構，電子核心產品處理速度越來越快，而現在產業的趨勢在各個 IP 間溝通的頻寬需求越來越大是無可避免的，然而利用我們的 switch 已經實現達到 10Gbps 傳輸頻寬，足夠提供目前 SoC 內部所需之頻寬，進而帶動整個產業的發展，和廠商合作使我們的社會在國際的競爭力更上一層樓。
- 掌握新一代之高速傳輸系統及其設計平台

- 技術路程與先進國家並駕齊驅
- 3. 超低功率數位訊號處理器核心開發
 - 本技術的發展將帶動多媒體手機、MP3 Player 等相關產品的開發。
- 4. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計
 - 本計畫之執行除了可提升我國前瞻無線通訊之科技技術水準，並可經由本計畫之執行培養大量高科技技術人才，對國內中長程相關技術及產業將有不小的貢獻。此外我國目前正在大力推行 M Taiwan 計畫(行動台灣)，以期我國在前瞻通訊技術上能與國際領先技術並駕齊驅，並加強我國在無線通訊基礎建置水準進而提升整體社會在網路通訊上之方便性，本計畫之執行及成果將可充分配合 M Taiwan 計畫，提供相關技術及人力資源，因此對整體社會之進步及生活品質之提升將有所助益。
- 5. 晶片系統智財彙集及介面整合實驗
 - 本計畫配合計畫宗旨目的，結合台、清、交、成四所學校建立多媒體、處理器、無線、類比及 Test core 四座相關智財資料庫，納入統一智財彙整中心管理。智財中心需提供一相容智財設計與驗證平台，以供學術界與業界作智財設計技術與驗證機制之交流。預期此一智財研發彙整中心可成為國家級設計中心，提供台灣產業界進行智財設計服務之後援，亦可成為學術界之重要參考。

業界

1. 90 奈米之高畫質(HD)多核心架構多媒體處理器計畫
 - 此計畫之成功，可以破除目前日、美掌握關鍵技術局勢，協助台灣相關廠商進入高畫質視訊產業，促進廠商緊密合作，關鍵智財掌握，可提升台灣視訊產業競爭力。
2. 智慧整合型 RGB LED 背光源色彩自動管理晶片組開發計畫
 - 智慧整合型 RGB LED 背光源面板色彩自動管理晶片組完成，將使台灣不但擁有 LED LCD 背光板之關鍵技術，況且能從較單純之組裝，進而進入實質規格擬定及整體性能品質規範之設計開發，彈性地配合各種運用領域，對整體工業升級及人才培育有絕對的貢獻。
3. Display Port 高速數位串列顯示介面晶片
 - 在 DVI/HDMI port 的 Video Processor、LVD TV Controller 晶片也已完成量產準備，搭配新一代傳輸介面 DisplayPort 的開發，對國內 TFT LCD 產業將有莫大助益，強化國內電子產業健全體質及上、下游產業整合能力。
4. 微機電整合壓力晶片(MEMS Pressure IC)技術研發計畫

- 本計劃將以藉由 CMOS-MEMS 技術研發設計產品，並藉由製程技術與相關專業代工廠合作，希望台灣繼全球晶圓專業代工基地後，繼續邁向全球 MEMS 專業研發及生產的中心，提升整體產業競爭效益，落實政府之知識經濟政策，培育優秀人才。

五、其它效益(科技政策管理及其它)

晶片中心

率先投入奈米先進製程，領先國內完成 90nm, 1.2V 符合 WiMAX 規格之 Low Power ADC/DAC IP，且相對於目前國外廠商擁有較低功耗。此技術可提供國內無線通訊廠商以降低其在先進製程與低壓設計開發的成本，縮短開發的時程，並培育在無線通訊所需 Low Power/ Low Voltage Analog Baseband 的設計人才。

資通所

掌握 ZigBee 2006 協定關鍵核心技術，通過 ZCP2006 相容性測試，並取得 TUV 認證，為除日本外，亞太地區第二家通過 ZigBee2006 認證者。

學界

1. 晶片系統傳輸鏈之電路系統設計與驗證平台開發

- 提昇科技產業 NoC 設計能力與高階系統應用產品之發展：在經濟面上我們的 switch 在設計時針對擴充性和實用性的考量下以達到參數化設計，在 topology 上也可以針對不同的 IP 需求來設計，在頻寬上由於我們 switch 已經可以達到 10Gbps 的傳輸速度足以應付現有的 IP 需求，以廠商的角度來看，可以比其它人的產品更早上市，為一個很重要的優勢，利用本晶片網路的特性，可降低整體系統晶片開發時間，加快上市時間、減少整體開發時間與人力耗費的成本。
- 訓練 on chip switch 晶片設計人才，提高 NoC 發展之人才素質與競爭力：現今 System on-Chip 系統單晶片已經朝著 IC 設計的趨勢，未來一顆 SoC 晶片內將整合越來越多的 IP，也使我們的電子產業帶向多核心架構，電子核心產品處理速度越來越快，而現在產業的趨勢在各個 IP 間溝通的頻寬需求越來越大是無可避免的，然而利用我們的 switch 已經實現達到 10Gbps 傳輸頻寬，足夠提供目前 SoC 內部所需之頻寬，進而帶動整個產業的發展，和廠商合作使我們的社會在國際的競爭力更上一層樓。

2. 晶片系統智財彙集及介面整合實驗

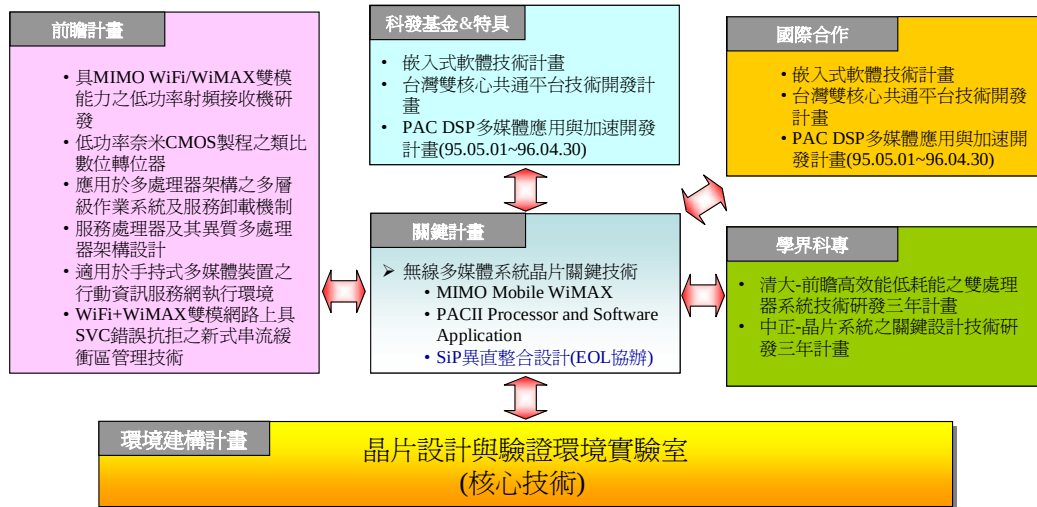
- 晶片系統國家型科技計畫的目的之一在為台灣建立豐富的智財、提供優良的設計平台，供全球客戶使用，使台灣能在製造利基上繼續做強有力的發揮，開創出新的設計優勢，從而在世界半導體、資訊電子業扮演舉足輕重的角色。為積極建立台灣成為全球 SoC 設計中心，本計劃目的在鼓勵學術單位建立開發研擬前瞻性之智財及平台相互間之相容機制、一則使台灣學術單位所提供之智財及平台能夠支援產業，發揮加值效果，二則率先研擬智財建立標準流程，樹立台灣學術界在智財開發管理能力之領先地位，三則藉由相容機制之建立，同時可

提供國家計劃順利完成產學研相關補助案之成果試用與彙集，作為國家推動 SoC 計劃之整體成效表徵及積極向外推廣之具體成果。

陸、與相關計畫之配合

晶片中心

1.無線多媒體系統晶片關鍵技術發展四年計畫(1/4)



- 本分項以建立無線多媒體系統晶片關鍵技術發展所需之重要關鍵技術，發展 MIMO Mobile WiMAX, PACII Processor and Software Application 以及 SiP 異質整合設計；與通訊國家型計畫相互搭配合作。以及結合國內產學研各界之研發能量，共同研究，加速開發 SoC 相關產品。

2.通訊與光電環境建構計畫－晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項

- 支援「無線感測網路關鍵技術發展計畫」、「寬頻無線通訊關鍵技術發展計畫」。
- 支援無線多媒體系統晶片關鍵技術發展計畫、影像顯示技術實驗室計畫。
- 奈米電子關鍵技術之 MRAM 測試驗證技術。
- 與清大合作執行「前瞻無線測試平台與技術」學界科專之高速及高解析度鎖相迴路內建自我測試電路。
- 與交大/中央合作執行「SoC on-chip transmission links system and platform」學界科專之「SoC power and noise analysis platform」。

中科院

- 中科院負責 UWB 基頻晶片關鍵技術開發，然尚未與 ADC/DAC 與 RF IC 整合。本所於 95 年 9 月與 TSMC 簽署合作協議書，共同開發 90nm CMOS UWB 射頻與基頻處理器晶片解決方案，完成無線傳輸驗證。96 年 11 月更進一步與 TSMC、創惟科技共同簽署 NDA，由中科院負責 UWB 系統設計與測試驗證，創惟科技負責提供 ADC/DAC 矽智財與先進晶片設計，TSMC 負責射頻晶片細部設計與先

進製程製造服務，共同開發 65nm CMOS UWB 射頻與基頻處理器晶片解決方案，完成高速無線傳輸能力驗證。

資通所

- 本計畫配合無線感測網路關鍵技術發展計畫，藉由研發 Multiple Power Domain、ZigBee 2006 協定技術及低傳輸速率之智慧型影像適應技術，提供 WSN 所需之 SoC 關鍵核心技術。

學界

1. 前瞻高效能低耗能之雙處理器系統技術研發

- 目標充分支援 PAC 計畫的時程，並與工研院晶片科技中心與資通所密切合作。

2. 晶片系統傳輸鏈之電路系統設計與驗證平台開發

由於傳統的電流模式緩衝電路(current mode buffer)的序列傳輸端與接收端的介面電路外，將搭配目前已經確認的下一代傳輸規格如 PCI-express 與 Serial ATA III 等高速電腦傳輸介面，成為針對下一代序列傳輸介面之內建自我測試電路驗證平台，量測項目包含展頻時脈與非展頻時脈的量測，眼狀圖的量測，透過此計劃的衍生研究計畫包含如下：

- 國科會_高速鍵結系統內建自我測試電路之研究設計
- 智原科技_PCI-express 內建自我測試電路之研究設計：已經成功開發針對非展頻時脈的時脈抖動量測與眼狀圖的量測。
- 台灣積體電路公司_展頻時脈內建自我測試電路之研究設計：開發出針對於 SATA II 時脈產生模組的內建自我測試電路設計。

3. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計

- 本計畫為交通大學晶片系統研究中心(SOC Research Center)為配合政府台灣心計畫、追星計畫及實現本中心之願景所提出之重大計畫。台灣心計畫為我國為了擺脫國外強勢的 CPU 技術如 ARM、TI DSP 處理器對我國 IT 產業的控制而造成巨額之經濟損失，所推出研發我國自有 CPU 核心技術之計畫，追星計畫則為經濟部及晶片國家型計畫辦公室配合台灣心計畫所推的以台灣心為平台之應用技術開發計畫，本計畫旨在開發基於台灣心之前瞻無線應用 IP。另交大 SOC 研究中心發展願景為配合國家矽導計畫培育 SOC 專業人才，成立合作團隊，推動大型整合前瞻研究計畫，以奠定本校在國際 SoC 學術領域之先導地位，研發 SoC 設計製造新技術，開發 EDA、SIP 智財專利以及相關軟硬體，成為國際 SoC 之技術先驅，並將研發成果技術移轉至產業界，提昇我國 SoC 工業水準與競爭實力。
- 此外為發展我國未來第四代 4G 行動通訊技術及在國際競爭力，電信國家型科技計畫辦公室(NTPO)及晶片系統國家型科技計畫辦公室(NSOC)從 2004 年下半年開始著手規劃我國第四代行動通訊技術(TW4G)並建議本計畫開發前瞻之 4G 無線通訊基頻關鍵技術、相關智產(IP)及原型展示系統(prototype system)，以建立我國 4G 之基礎技術。基於上述背景，本計畫擬以台灣心為平台開發制定中前瞻性之雙標準、多輸出入(MIMO)行動式之無線都會網路 WMAN 802.16e 標準及無線區域網路 WLAN 802.11n 標準之基頻關鍵 IP，統合多種高效能無線通訊標準技術於單一平台，以達成無所不在、遍佈式之寬頻行動通訊，以建立我國未來 4G 之關鍵技術。

柒、後續工作構想之重點

晶片中心

1. 無線多媒體系統晶片關鍵技術發展四年計畫(1/4)

- 本計畫後續工作，主要是發展 3-4 年內急迫需求之關鍵技術與設施環境建構及研究之持續養成，繼續為促進產業技術研發及落實所需核心技術，為我國產業所發展之各重點整合應用技術，協助業界開創新的產業機會與價值，後續年度計畫執行重點概述如下：
 - 計畫重點：參與國際標準制定，產出 Essential IP 及 Key IPR，為未來寬頻行動服務相關產業鏈解決關鍵核心技術研瓶頸及提供業界最佳化與可客製化 WiMAX-enabled PMD 平台，包括 IC, hardware, software, complete platform, applications 及 services (IPTV, Web 2.0, etc.)等，使得產業能據以開發 Time To Market 之相關創新應用及服務產品。
 - 計畫目標：
 - MIMO Mobile WiMAX 關鍵技術：建立 MIMO WiMAX System (RF/ABB/DBB) High Spectrum Efficiency ($\geq 6\text{bps/Hz}$ @Nomadic)技術
 - PAC II Processor and Software Application 關鍵技術：建立 multi-core/multi-thread PAC II DSP, SoC AP and platform for portable service-oriented device, Modularized e-software and PMD applications & prototype demo
 - SiP 異質整合設計關鍵技術：建立以嵌入式基板模組技術，整合 WiMAX RFIC 與射頻被動元件為 SiP 系統模組
 - 預期效益：
 - 開發下世代 802.16m/4G 前瞻關鍵技術，並推展至 802.16m, 802.16j, 802.21, WiMAX Forum 等國際標準組織制訂，使國內相關業者可據以開創領導型產品，搶佔市場先機。
 - 提供可客製化 WiMAX-enabled PMD 平台，使無線多媒體相關產業即早推出整體解決方案，提升產品高附加價值。

2. 通訊與光電環境建構計畫－晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項

- 65nm Design Methodology
- 0.5V Reliable Design Technology
- AMS Design for Power Optimization

中科院

- 本計畫將根據與 TSMC 簽署之合作協議書，以及 TSMC、創惟科技與中科院電子所簽署之 NDA，持續協助 TSMC 與創惟科技共同開發先進製程 UWB 射頻與基頻處理器晶片解決方案，並完成高速無線傳輸能力驗證。

資通所

- 感測網路應用涉及跨領域之技術及應用服務開發，而國內資通訊業者以代工製

造為主，缺乏對需求的全面觀照。現有的解決方案以處理單一網路與系統或者事件，且沒有服務的概念。故本計劃除了奠定感測網路技術基礎，著重跳躍式產業科技創新外，將透過產業聯盟方式整合上中下游產業研發能量，期以跨領域之系統/服務來帶動各類感測網路應用之蓬勃發展並建立厚實之產業鏈。

- 由於 Wii 家庭育樂概念的興起，WSN 應用於寓教育樂將有極大的發展潛力。未來將結合無線傳輸技術廠商、遊戲企畫廠商，共同朝向 WSN 寓教育樂應用發展。

學界

1. 前瞻高效能低耗能之雙處理器系統技術研發

- 結合晶心與 PAC 的多核心整合系統軟體平台研發。

2. 晶片系統傳輸鏈之電路系統設計與驗證平台開發

- 針對介面整合技術予以最佳化：設計自動化的目的在於處理繁複性的工作，優點為快速、準確，但在功能性方面不像人工設計的方式，可以針對不同的系統需求做最佳化及微調處理，後續工作之重點在於針對介面整合技術予以最佳化，透過設計者所給定的限制(constraint)，包含功能性、電路面積、功率消耗，工作頻率等等，自動產生符合設計者所給定的限制的最佳化電路。
- Performance Analysis of NoC Virtual Platform：NoC 虛擬平台上除了可以滿足複雜系統之設計及驗證，而達到快速模擬及效能評估外，亦可包含系統功率消耗評估模型，讓設計者更能夠分析評估整個系統之效能，而達到設計之要求。
- System Architecture Template：目前我們以 NoC mesh topology 為系統架構，之後可以建立更多的 system architecture 讓設計者可以因各種應用系統而選擇不同的 system architecture 來設計。不僅能夠快速的達到設計規格之需求而且還能夠在 performance 和 cost 之間達到最佳的平衡。
- 10Gbps FPGA 平台應用與晶片量測分析：我們將來重點著重在 NOC 與影像物件偵測結合，影像的各個 IP 擺放在 3x3 的 Mesh Topology 的 Network on-chip 上，其中各個 IP 如何擺放可以得到最好的系統效能，將是我們研究的重點之一，規劃屆時將利用 Sim Scripts 這套網路模擬軟體去評估各個影像的擺放位置，根據模擬出來的結果，利用我們 NoC 傳輸骨幹傳輸的系統實際實現影像物件偵測，另外也將透過 chip 的下線與後續的量測分析，驗證我們的設計。

3. 超低功率數位訊號處理器核心開發

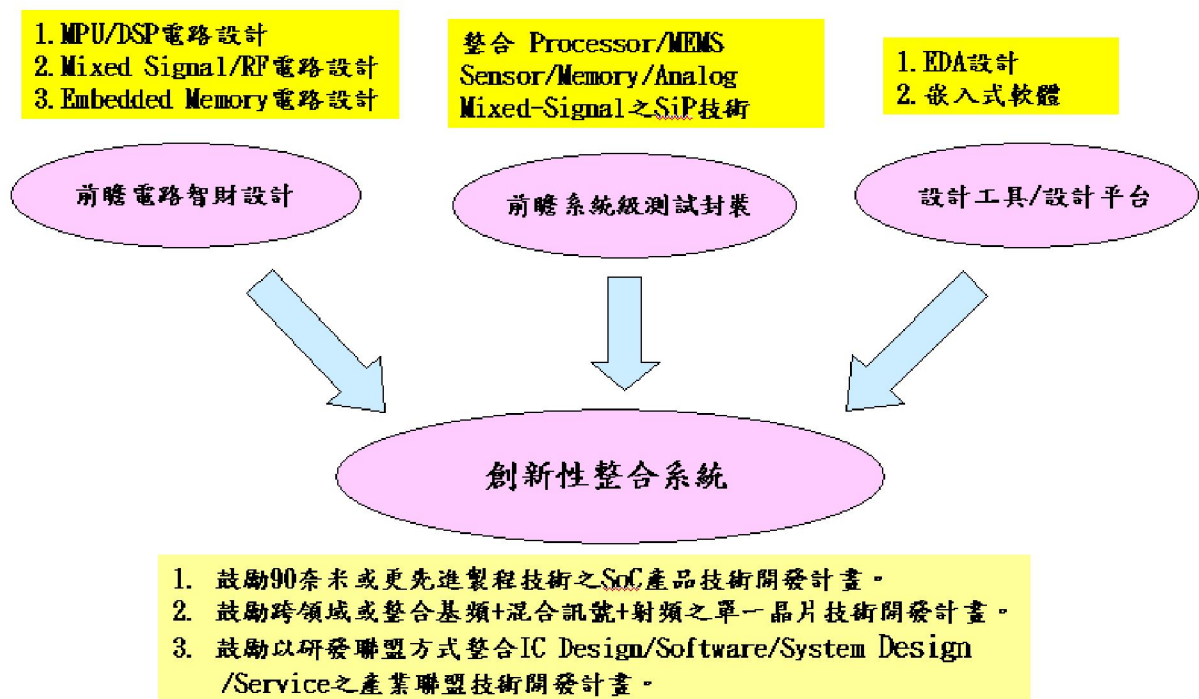
- SOC integration
- Development of the SOC demo platform
- Performance optimization MP3 and H.264 applications
- Compiler for low power
- Verify correctness of tool chain simulator and RTL simulator by co-sim
- Refine and enhance the simulator
- In-circuit emulator integration
- Verification acceleration study and implementation
- 搭配第 2 版 instruction set，與 starfish cycle accurate simulator 同步改版，提供更穩定的程式偵錯平台與能力

- 研究開發進階除錯演算法(state coverage)，並評估現有 debugger 中加入進階除錯演算法之可行性
 - RTL optimization for power & performance
 - More verification efforts
4. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計
- 本計畫未來最後一年的發展方向依分項計畫目標區分如下：
- 分項計畫一技術發展方向為：(1) 開發 802.11n/ 802.16e 雙模無線通訊系統單晶片平台；(2)整合 802.11n/ 802.16e 雙模無線通訊 SoC 系統之 EDA 軟體發展平台；(3) 整合 802.11n/ 802.16e 雙模無線通訊 SoC 系統之 MAC 層之技術開發；(4)RF+類比電路模組設計及整合；(5) 建立與引進台灣心與 Third Party 驗證平台之整合技術並開發基於台灣心之 SoC 設計技術。
 - 分項計畫二擬發展之技術方向為：(1)完成 802.16/11n 雙模低功率基頻傳收機設計；(2) 完成 802.16/11n 雙模低功率基頻傳收機整合測試；(3) 4G 無線通訊 802.16m 基頻傳收機之 IP 設；(4)與工研院合作參與 4G 802.16m 標準之制定
 - 分項計畫三擬發展之技術為：(1)配合台灣心技術之開發進度設計出功率感知之基頻傳收機 IP；(2)功率感知之 802.16e 與 802.11n 基頻傳收機共用 IP 架構；(3)用於 4G 之相關 IP 設計。
 - 未來長期之發展方向則如前所述將於本計畫結束後仍將繼續朝向完整之 Cognitive Radio 技術作開發。上述之發展方向與原計畫之技術發展藍圖大致相同，但有些微修訂，修訂處在於第二年之計畫依晶片國家型計畫辦公室追星計畫指導單位要求修改計畫書增列相關台灣心應用 IP 技術之開發，以建立我國自有之 CPU 技術並擺脫對於國外技術之依賴性。
5. 晶片系統智財彙集及介面整合實驗
- 完成 Academic IP 匯集伺服器及資料庫設計，統合四校 IP 格式匯集上載至 Academic IP Server。運用交大智權中心完成之智權資料庫，配合 Synchronocity 或智原/創意之 IP Mall 架構完成 Academic IP Server。
 - 從 Academic IP Server 中彙集四校 IP 完成『具加解密功能之無線多媒體 SoC 設計(Wireless Multimedia SoC with Encryption)設計，藉以證實四校智財之重複使用性及驗證技術。運用第一年四校所匯集 IP，訂定 Wireless Multimedia SoC with Encryption 之具體規格，由交大負責共同設計平台建置，由台大負責 IP 介面規格制定，由清大完成 bus structure 制定，由成大完成測試 core 設計，藉由 Wireless Multimedia SoC with Encryption 之設計建立四校參與團隊 IP Reuse 之設計經驗。

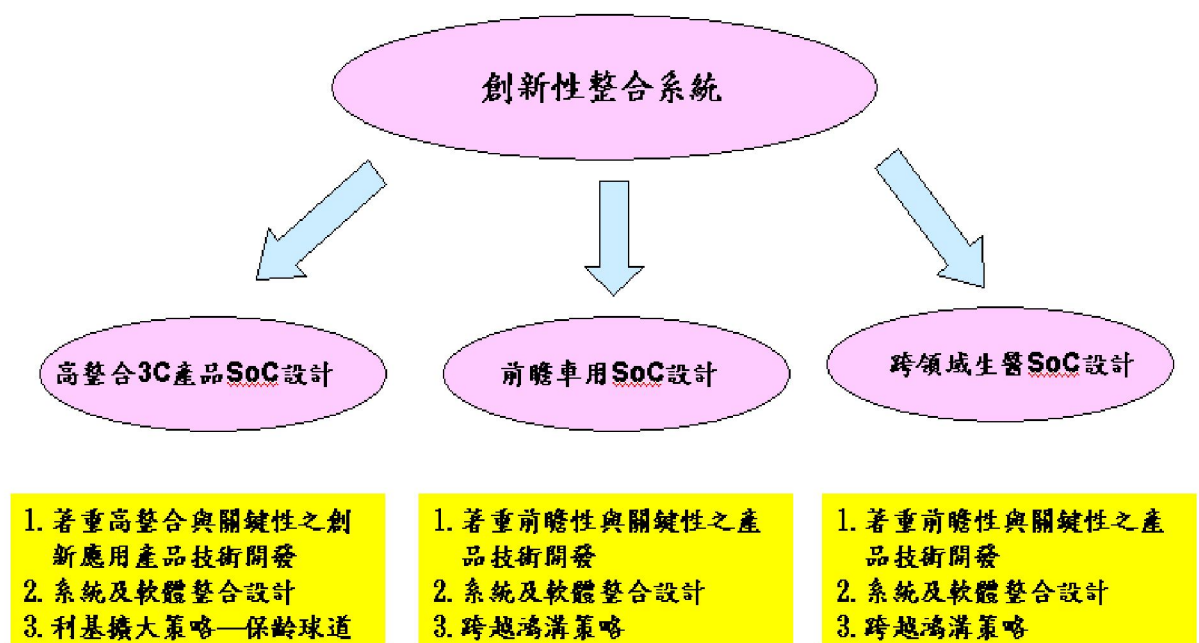
業界科專

96 年推動規劃如圖表所示：

1. 從關鍵技術策略出發



2. 從產品產業策略出發



捌、檢討與展望

晶片中心

1. 無線多媒體系統晶片關鍵技術發展四年計畫(1/4)

- 二十一世紀的產品趨勢，為輕、薄、短、小、行動化、寬頻及多媒體整合的系統需求產品，因此無線寬頻多媒體技術成為未來產業發展的關鍵系統技術，而支援這些系統所需要的系統整合晶片技術遂成為最重要的基礎技術。結合產官學研力量，齊手投入此關鍵技術研發，仍需各界多方協助，共同努力。
- **Application、Software** 在計畫中佔重要因素，目其國內軟體人才短缺，仍需學界積極培養。本計畫將以更積極尋找軟體專業人才為當前要務。

2. 通訊與光電環境建構計畫－晶片設計與驗證環境實驗室建構分項/高階電路設計技術分項

- 為因應 IC 設計對低功耗需求增加的趨勢，將持續發展 **Low Power** 環境與技術，以建立我國自主、有效的低功耗設計技術，創造我國半導體產業的競爭優勢。
- 半導體邁入 65nm/45nm 以下製程，所需下線驗證材料費與 **EDA** 費用大幅提高，現階段本計畫係透過與 **EDA Tool Vendor** 合作，使用其提供先進/未發行之 **EDA Tools**，開發 **SoC** 設計流程與技術，但若要建構完整的設計環境，仍有賴政府經費預算的投入，以提升台灣在激烈的全球半導體產業之優勢。
- 國內在 **IC/SoC** 產品之驗證技術與人才極為缺乏，為了提昇國內 **IC** 與 **SoC** 設計產業的競爭力，需積極投入 **IC** 與 **SoC** 驗證方面的能量，以提昇未來研發人才的素質與產品競爭力。

中科院

- 中科院電子所自 93 年起接受經濟部委託，開發 **UWB** 基頻晶片關鍵技術開發，並於 **3G CLUB** 成立 **UWB SIG** 產業聯盟，促進國內外業者技術與產業交流，推動國內 **UWB** 產業之發展。本所已技術移轉給多家國內半導體業者，簽約金合計 1535 萬元。目前國內投入 **UWB** 晶片技術開發之業者包含瑞昱、智原、泰發、安國、創惟、**TSMC**、**UMC**、凌陽、矽統等，本計畫在完成經濟部交付之階段性任務之後，審慎考慮終止 **UWB** 技術開發，以利將有限之政府資源做最妥善之運用。

資通所

- 感測網路應用廣泛，涉及各樣的 **Domain Knowledge**，因此需密切與各領域專業結合，深入瞭解其應用需求，才能開發出符合於領域特定需求。
- 家庭娛樂市場潛力無窮，**WSN** 應用於寓教育樂將有極大的發展潛力。未來亦將朝向新型態的遊戲育樂應用需求，研發出寓教育樂應用 **WSN SoC**。

學界

1. 晶片系統傳輸鏈之電路系統設計與驗證平台開發

- 建立 **NoC** 之系統開發平台。主要可以分為三大項：1.軟硬體介面自動化產生 2.**SoC** 系統模擬平台分析與驗證 3.封包式傳輸 **NoC** 之 **switch** 架構設計。提供一個完整的系統模擬平台，做為分析與驗證的用途，透過系統模擬平台找出何種

拓樸型式的 NoC 架構是最符合目前系統的需求；拓樸型式決定之後，在 NoC 系統實現方面有兩個重要的 essential IP，一個就是介面電路設計，另一個便是 on chip switch 設計；介面電路的設計透過自動化的方式，加速系統整合同時減少在人為開發的方式當中容易發生的錯誤，在 on chip switch 方面，則提供一個 packet-based high speed NoC switch，此 switch 具備 5-port，高達 10Gbps 吞吐量。因此對 NoC 的設計需求提供一個全面而完整的技術能量。

- 展望於未來，我們希望在介面自動化產生的部份，能針對產生的介面予以最佳化，使其更接近人工設計所具備的功能與性能；在系統模擬平台分析與驗證方面，依據每個不同 IP 對頻寬的需求以及各 IP 之間溝通的程度，決定每個 IP 在系統內擺放的位置；而在 on chip switch 設計方面，可以增加更多實用性的功能，例如封包偵錯、封包傳送可靠性、QoS (Quality of Service) 等等，使其具備更高的完整性。
- 在 95 年 12 月到 96 年 12 月目前，針對於個別的晶片進行整合，整合的內容分為兩階段，第一個階段是 B1 與 B2 分項的整合，包含序列解序列、驅動接收電路、時脈回覆電路與高速時脈產生模組，之前個別的電路雖然都能達到預期效能，但為了提升整合效率、降低整合後的電路面積，在考慮個別模組的功率消耗與電路特性下，我們對之前完成的分布模組的佈局都做了不同程度的修改，包含針對類比與數位模組之前的雜訊隔絕，移除部份重複的硬體，並加入部分的緩衝電路與測試電路，在系統模擬上包含高速類比電路與大量數位電路的整合，考慮了製程漂移、雜訊影響與測試，整個系統的模擬時間遠高於個別模組，因此整合進度上稍有延後，不過目前已完成電路佈局與系統模擬，此設計將於 97 年 1 月中於 CIC 進行下線實做的工作，預期將在 97 年四月完成晶片內傳輸接收電路的實測。
- 在本年度中為了進一步降低續列傳輸系統中消耗成本最大的緩衝電路，B1 提出了兩種低功率與低成本的緩衝電路，預計在第一版的整合電路完成實測後，日後將再根據新提出的緩衝電路朝向第二版本的全數位式序列傳輸接收系統。目前本分項執行上仍需要克服相關期刊論文的撰寫，接著是相關廠商的技術轉移洽談等，以期加速此研究技術的普及與相關產品的開發。

2. 信使-遍佈式無線傳收機系統核心多模 MIMO-OFDM 無線通訊系統之研發與晶片設計

- 本計畫目前之成果與原先計畫書之預期目標大致達成。進度上較未如預期者為第二年所增加之台灣心研究工作，由於台灣心軟、硬體發展環境仍未完備的情況下，無法達成預期之結果，不過由於 SoC 平台架構一般遵循工業界標準，在第二年年期中查訪，委員建議仍專注以目前業界標準平台開發技術，但注意介面之設計，屆時仍可順利轉移至台灣心，特別是 CoWare 透過 CIC 所提供之 Platform Architect 將可方便於本計畫之 SystemC IP 與台灣心作整合驗證設計。由於此一平台的因引進將可使本計畫在第三年中更為順利的開發基於台灣心的 IP 設計。

3. 晶片系統智財彙集及介面整合實驗：

- IP 發展最大的困難為，所使用 IP 來自不同設計者、設計環境、不同公司、介面不一致、驗證方法闕如....，SoC 設計者必須面對眾多異質因素，以學界團隊作先導性研究，雖然無法完全避免上述困難，但因本計劃邀集各校 SoC 中心主事者參與，將計劃目標設定為各校 SoC 中心任務使命，對於本案之執行將有極大

助益。

- 本計畫最具優勢處在於學校乃非營利機構，在智財之彙集與互通、國際 EDA 廠商之合作以及業界資料之取得上有其便利性。此外，學校同時為高科技的研發機構，不但具有最先進的專業知識，在進行研發智財時，亦沒有業界的產品研發時程壓力，故可望研發出具有前瞻性的智財，進而整合彙集這些智產以建構出完整之多媒體智財資料庫。
- 由於學術界多以研究為主要目標，對於所開發的智財通常沒有詳盡的文件描述。加上各自獨力開發的結果，整合不易；本計畫最可能的技術發展困難處在於學校對於以往已完成之智財的彙集驗證及介面整合缺乏完整之傳承(保存)方式及驗證平台，因此會產生智財本體的專門技術之傳承困難及智財不符合所訂定之智財規範等問題。本計畫渴望藉由本校研究中心機構之參與，經由組織力量以完成舊資料之蒐集整理。本計畫邀集各校 SoC 中心主事者參與，將計劃目標設定為各校 SoC 中心任務使命，在動員整合上對於本案之執行將有極大助益。

業界科專

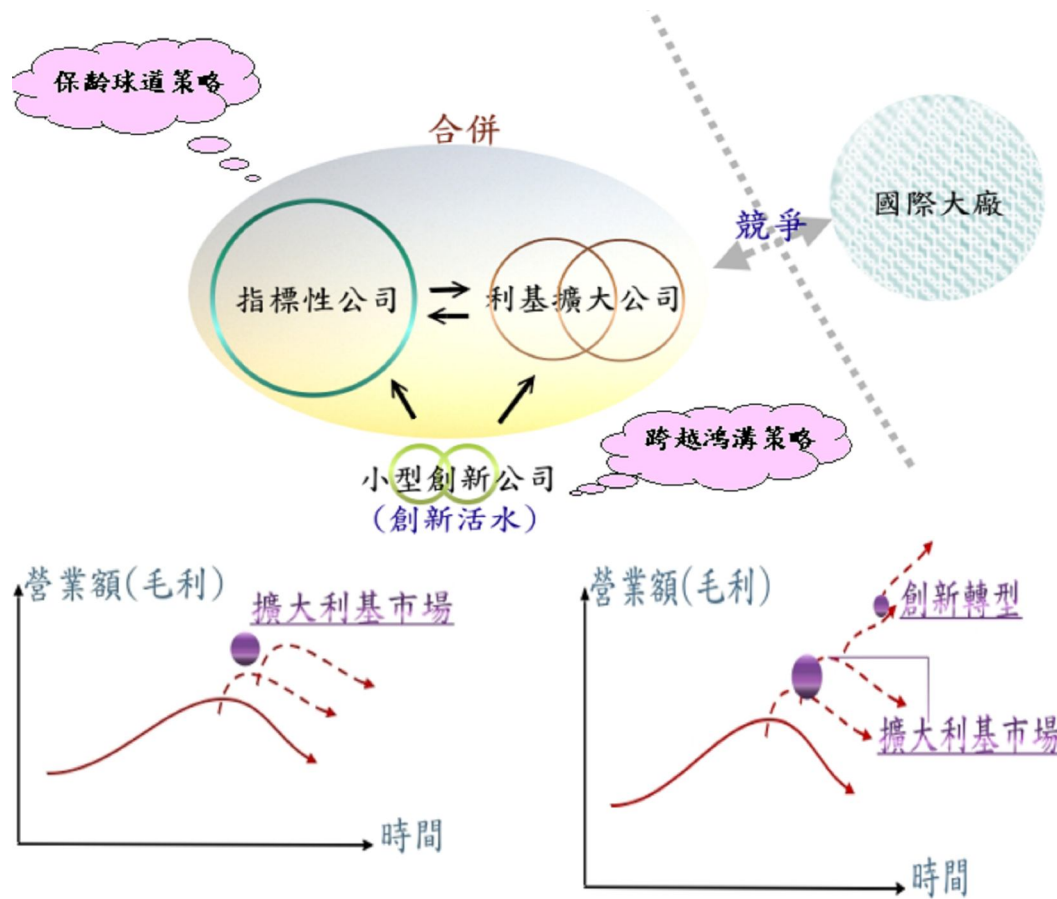
□ 檢討:

從 1976 年工研院派出精英赴美國 RCA 取經引進 CMOS 半導體技術開始，在政府、工研院、民間業者及眾多專家學者的努力之下，我國在半導體產業已經交出了一張漂亮的成績單：晶圓代工全球排名第一，IC 設計業全球排名第二（僅次於美國），IC 封裝業佔有率亦是全球第一。雖然台灣 IC 設計業的產量比重在全球 Fabless 市場中名列第二，但每年仍有很多業者需支付大筆之關鍵性 IP 授權金與權利金，而且目前掌握的產品技術大多是屬於已邁入成熟期之技術領域，對於高階核心技術障礙仍無法突破，嚴格說來台灣 IC 設計產業目前仍是處於「高產量低產值」的設計代工階段。又隨著全球化競爭日趨激烈、廠商皆在尋求 Cost Down 的趨勢下，台灣 IC 產業已面臨產業外移與其他勞力密集國家競爭之沉重壓力，如何藉著現今已成形之完整 IC 產業環境，推動台灣從代工製造轉型為研發設計，將是非常重要之課題。隨著資訊家電時代及個人化通訊服務的到來，系統單晶片(SoC)成為未來半導體技術的重要指標，因半導體製程技術發展快速，許多終端系統產品已可輕易集中濃縮於單一晶片來實現，支援資訊、通訊、光電、生物醫學等產業的系統晶片可視為台灣的引擎產業。這也是晶片系統國家型計畫啟動的重要緣由。

□ 展望:

製造台灣→創新台灣

台灣IC產業→活的更久(利基擴大)→ 變大變強(技術完整) →創新
轉型(知識經濟為導向)→ 提升國際競爭力參與標準制定



填表人： 王家男研究員 聯絡電話： 02-23946000*590 傳真電話： _____

附件二

經濟部工業局成果效益事實報告

96 年政府科技計畫成果效益報告

壹、基本資料：

計畫名稱：晶片系統產業發展中綱計畫

主 持 人：吳誠文

審議編號：96-1402-03-庚 01

計畫期間(全程)：92 年 1 月 1 日至 96 年 12 月 31 日

年度經費：276,649 千元 全程經費規劃：2,086,000 千元

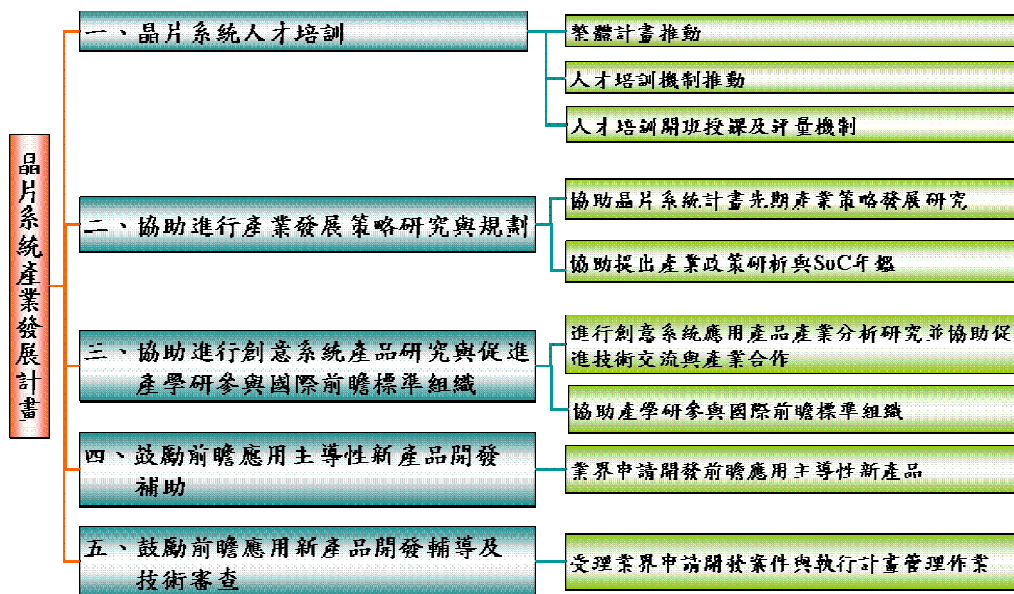
執行單位：工業技術研究院

貳、計畫目的、計畫架構與主要內容

一、計畫目的：

為配合國家型計畫之推行，本局積極擬定「晶片系統產業發展計畫」之推動方案來加速達成晶片系統國家型科技計畫所規劃之目標，以提升國內半導體產業競爭力，成為高附加價值、知識密集的國際產業聚落。

二、計畫架構(含樹狀圖)：



晶片系統產業發展計畫架構圖

三、計畫主要內容

1. 晶片系統人才培訓

配合政府推動之策略性重點產業（半導體、無線通訊、寬頻通訊、資訊家電）中所需之系統單晶片技術，辦理短期及中長期養成課程，一方面提升專業工程師之技術能力，除了專業人員之外，另一方面將引領有意投入半導體產業之一般大眾，學習晶片系統相關軟體應用、測試、產品設計應用能力，投入產業服務，以擴大人才供給規模。

2. 協助進行產業發展策略研究與規劃

- (1) 針對晶片系統國家型科技計畫第二期所規劃之三大重點發展專案進行產業分析與研究，以協助政府及業界擬定產業技術升級策略所需之相關資訊。
- (2) 協助晶片系統產業推動與技術發展，針對全球半導體主要競爭區域之SoC產業現況與產業政策提出研究，以協助國內產官學研更了解競爭國家之產業現況及產業環境的建構。

3. 協助進行創意系統產品研究與促進產學研參與國際前瞻標準組織

- (1) 以產業推動聯盟促進國內電子、半導體上下游業者合作，協助進行系統產品規格制定，增進產品商機與加快產品上市時機。
- (2) 依據晶片系統產業發展規劃及國內業者之需求，成立相關產業聯盟或標準參與委員會，以選定參與國際組織，並以專人專職之方式來運作。針對各種系統規格及SoC設計方法作深入研究，定期發表相關進展研討會，並進行專利地圖研究，及積極參與國際標準制訂，以提高國內產業界對標準規格制定的影響力，並協助台灣廠商加速產品之開發時程。
- (3) 針對第二期所規畫之三大重點產業領域進行產業分析與研究，提以協助政府擬定產業發展策略並提供業界規劃發展系統產品所需之相關資訊。

4. 鼓勵前瞻應用主導性新產品開發補助

搭配晶片系統國家型計畫第二期重點發展規劃，對於符合計畫範疇之計畫予以捐助，藉以有效引導晶片系統產業廠商進行前瞻應用新產品研究發展，有助於台灣產業在晶片系統產品設計技術的提昇，建立新的國際競爭優勢。

5. 鼓勵前瞻應用主導性新產品開發輔導及技術審查計畫

搭配鼓勵前瞻應用主導性新產品開發補助之子項計畫，進行廠商申請案件之作業管理、財務審查及技術審查等作業，以建立長期性、系統化之專案管理，達成本計畫提升產業研究發展能力之目標。

技術審查方面，召開新案審查會議，確認申請廠商之研發技術能力與計畫可行

性；對計畫執行廠商進行實地查核以及辦理執行中案件變更審查。財務審查方面，針對進行申請廠商之書面財務分析及與銀行往來紀錄之徵信；對核定通過之廠商，每季進行財務徵信追蹤；對計畫執行中廠商定期進行現場帳務查核並出具查核報告。

參、計畫經費與人力執行情形

(一)、計畫經費

委託項目

會計科目 \ 項目		預算數(執行數)				備註
		主管機關預算(委託、補助)	自籌款	合計		
				金額(元)	占總經費%	
一、經常支出						
1.人事費		18,808,135 (18,408,242)		18,808,135 (18,408,242)	18.54% (18.15%)	
2.業務費		56,116,120 (46,241,363)	12,950,000 (11,700,000)	69,066,120 (57,941,363)	68.08% (57.11%)	
3.差旅費		1,672,500 (1,590,431)		1,672,500 (1,590,431)	1.65% (1.57%)	
4.管理費		8,393,245 (7,631,195)		8,393,245 (7,631,195)	8.27% (7.52%)	
5.設備使用費		3,510,000 (3,510,000)		3,510,000 (3,510,000)	3.46% (3.46%)	
6.營業稅						
小計		88,500,000 (77,381,231)	12,950,000 (11,700,000)	101,450,000 (89,081,231)	100% (87.81%)	
二、資本支出						
小計		88,500,000 (77,381,231)	12,950,000 (11,700,000)	101,450,000 (89,081,231)		
合計	金額	88,500,000 (77,381,231)	12,950,000 (11,700,000)	101,450,000 (89,081,231)		經費凍結 1/9 影響執行率
	占總經費%	87.24% (76.28%)	12.76% (11.53%)	100% (87.81%)		

補助項目

會計科目 \ 項目	預算數(執行數)				備註
	主管機關預算 (委託、補助)	自籌款	合計		
			金額(元)	占總經費 %	

一、經常支出						
1.人事費		(79,089,103)	(199,172,675)	(278,261,778)	(59.05%)	
2.業務費		(35,293,179)	(80,455,839)	(115,749,018)	(24.56%)	
3.差旅費		(98,119)	(207,973)	(306,092)	(0.06%)	
4.管理費						
5.設備使用費		(22,615,741)	(54,319,927)	(76,935,668)	(16.33%)	
6.營業稅						
小計		(137,096,142)	(334,156,414)	(471,252,556)	(100%)	
二、資本支出						
小計		(137,096,142)	(334,156,414)	(471,252,556)		
合計	金額	(137,096,142)	(334,156,414)	(471,252,556)		
	占總經費%	(29.09%)	(70.91%)	(100%_)		經費凍結1/9影響執行率

請將預算數及執行數並列，以括弧表示執行數

與原計畫規劃差異說明：無

(二)計畫人力

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
吳誠文	計畫主持人	1 人月 負責整個計畫統籌規劃、推動、管理與協調	學 歷	美國加州大學 電機與電腦工程 博士 (76/12)
			經 歷	晶片中心主任(19 年)
			專 長	晶片系統領域、奈米晶圓、下世代資訊通訊網路技術與應用
洪毓良	計畫主持人	7.8 人月 作業管理規劃	學 歷	碩士
			經 歷	◆ 學界開發產業技術計畫經理 ◆ 業界開發產業技術計畫經理
			專 長	◆ 計畫機制規劃 ◆ 計畫管考作業

與原計畫規劃差異說明：無

肆、計畫已獲得之主要成就與量化成果(output)

表一 科技計畫之績效指標

計畫類別	1	2	3	4	5	6	7	8	9	99
績效指標	學術研究	創新前瞻	技術發展(開發)	系統發展(開發)	政策、法規、制度、規範、系統之規劃(制訂)	研發環境建構(改善)	人才培育(訓練)	研究計畫管理	研究調查	其他
A 論文										
B 研究團隊養成										
C 博碩士培育										
D 研究報告										V
E 辦理學術活動										
F 形成教材										
G 專利										V
H 技術報告										V
I 技術活動										
J 技術移轉										
S 技術服務										
K 規範/標準制訂										V
L 促成廠商或產業團體投資										V
M 創新產業或模式建立										
N 協助提升我國產業全球地位或產業競爭力										
O 共通/檢測技術服務										
T 促成與學界或產業團體合作研究										

計畫類別 績效指標	1	2	3	4	5	6	7	8	9	99
	學術研究	創新前瞻	技術發展(開發)	系統發展(開發)	政策、法規、制度、規範、系統之規劃(制訂)	研發環境建構(改善)	人才培育(訓練)	研究計畫管理	研究調查	其他
U 促成智財權資金融通										
V 提高能源利用率										
W 提升公共服務										
X 提高人民或業者收入										
P 創業育成										
Q 資訊服務										V
R 增加就業										v
Y 資料庫										
Z 調查成果										
AA 決策依據										

表二 請依上表勾選合適計畫評估之項目填寫初級產出、效益及重大突破

	績效指標		初級產出量化值	效益說明	重大突破
	A 論文	國內	無		
		國外	無		
	B 研究團隊養成		無		
	C 博碩士培育		無		
	D 研究報告		完成「國內發展 SoC 現況分析與可行之策略方案報告」、「國際間 SoC 發展相關指標、技術發展與次世代產品趨勢分析報告」,以及「國內 IC 設計產業目前發展 SoC 之現況調查研究報告」 3 份研究報告	協助國內產官學研了解競爭國家產業現況及產業環境建構,以作為業界在產品與技術開發方向之決策依據	

績效指標		初級產出量化值	效益說明	重大突破
		完成 ESL、Memory Interface 及 H/S I/O ESD 等技術標準之 3 份研究報告	整合學研業界積極參與國際標準制定活動	
		完成 FPGA 硬體加速模擬流程與方法技術報告 1 份	可縮短系統整合驗證時間，也可在開發週邊模組時協助進行驗證除錯。	
		完成低功率電路正規驗證流程（Formal Verification）方法技術報告 1 份	藉由驗證低功率電路的設計，能找出低耗電設計所衍生的錯誤，並降低電路功能性錯誤和驗證風險。	
		完成先進製程免雜訊（SI）設計流程/方法技術報告 1 份	針對奈米製程所引發的雜訊問題進行分析與修正設計，可於進行 IC 設計實體化時能快速達成雜訊收斂。	
	E 辦理學術活動	無		
	F 形成教材	無		
	其他	無		
	G 專利	國內 申請：5 獲得：0		
		國外 申請：7 獲得：0		
	H 技術報告	完成 ESL 及 Memory Interface 標準相關之 2 份技術報告	供國內外相關研究人員及業界掌握最新標準技術資訊	
	I 技術活動	無		
	J 技術移轉	可移轉技術（件數）		
		先期技轉（項數、家數）		
	S 技術服務	無		

	績效指標	初級產出量化值	效益說明	重大突破
	L 促成廠商或產業團體投資	研發投資：8 件；34.5 億元		
	M 創新產業或模式建立	無		
	N 協助提升我國產業全球地位或產業競爭力	無		
	O 共通/檢測技術服務	無		
	T 促成與學界或產業團體合作研究	無		
	P 創業育成			
	Q 資訊服務	透過晶片系統網路學院平台，提供晶片系統設計相關專業課程，完成製作 9 小時數位教材，並促成 267 人次報名並完成學習。	運用晶片系統網路學院平台，規劃網路學習推廣活動，並配合大眾媒體廣宣與網站行銷，推廣晶片系統網路學院之課程	
	R 增加就業	96 年度完成中長期養成班共培訓 91 人，可因應市場緊急短缺需求	引領相關產業人力具備晶片系統之技術、市場、產品應用、創意、專利智權等相關專業能力，提升人才素質使具國際競爭力，持續彌補專業人才缺口	

	績效指標	初級產出量化值	效益說明	重大突破
	K 規範/標準制訂	1.促成3家廠商加入或積極參與JEDEC標準制定會議 2.促成1家廠商參與核心標準制定活動 3. 3 人次參與國際標準會議 4.加入 3 案國際標準組織 5.完成國內標準草案 1 案	1.促成3家以上廠商加入或積極參與JEDEC標準制定會議 2.促成1家廠商參與快閃記憶體模組及記憶卡的電性、機構與架構標準制定活動，並擔任JC64.1 Critical Parameter Working Group主席 3.3人次參與國際標準會議，帶回最新標準技術資訊與業界分享 4.加入3案國際標準組織，積極參與標準制訂活動 5.提案電路板層級元件充電模式靜電放電測試國內標準1案	
	Y 資料庫	無		

伍、 評估主要成就及成果之價值與貢獻度

一、學術成就(科技基礎研究)

無

二、技術創新(科技整合創新)

1. 提供「國內發展 SoC 現況分析與可行之策略方案報告」、「國際間 SoC 發展相關指標、技術發展與次世代產品趨勢分析報告」，以及「國內 IC 設計產業目前發展 SoC 之現況調查研究報告」，協助國內產官學研了解競爭國家產業現況及產業環境建構，以作為業界在產品與技術開發方向之決策依據。
2. 促成 3 家以上廠商加入或積極參與 JEDEC 標準制定會議、促成 1 家廠商參與快閃記憶體模組及記憶卡的電性、機構與架構標準制定活動，並擔任 JC64.1 Critical

Parameter Working Group 主席、3 人次參與國際標準會議，帶回最新標準技術資訊與業界分享、加入 3 案國際標準組織，積極參與標準制訂活動、提案電路板層級元件充電模式靜電放電測試國內標準 1 案

3. 廠商因執行鼓勵前瞻應用主導性新產品輔導計畫，分別於台灣、美國、歐洲申請專利共計 10 項。

三、經濟效益(產業經濟發展)

1. 廠商因執行鼓勵前瞻應用主導性新產品輔導計畫，共計引發投資約 34.5 億元。
2. 藉由研究評估先進製程之低功率實現方法對硬體實現所需支援艦及邏輯設計之改變，建立低功率實現後正規驗證、免雜訊等流程及方法，並推廣業界，以縮短產品開發驗證時程，進而提高產品毛利率與競爭力。

四、社會影響(民生社會發展)

1. 全面推動晶片系統人才培訓以提升晶片系統產業人員專業素質同時擴大專業人力供給，配合政府推動之策略性重點產業中所需之系統單晶片技術，辦理短期及中長期養成課程，一方面提升專業工程師(晶片系統設計人才)之技術能力，另一方面將引領有意投入半導體產業之社會大眾，投入產業服務，以擴大人才供給規模，本年度完成長期養成人才培訓班共 4 班，總培訓 91 人，完成晶片系統相關之短期訓練課程開班事宜，共 70 班，總培訓 1,624 人次。
2. 廠商因執行鼓勵前瞻應用主導性新產品輔導計畫，而增聘員工共計 43 人，改善國內就業機會，執行本計畫相關人員學歷在學士級以上者佔總投入人力 92%，有助提高國內高科技人才就業率，並提升科技產業人力素質。
3. 促成南部地區新創企業進行產學合作，並將研發成果進行專利申請，取得學界技術的移轉。

五、其它效益(科技政策管理及其它)

無

陸、與相關計畫之配合

無

柒、後續工作構想之重點

1. 設置兼具實體與虛擬資源整合之半導體學院。
2. 維運半導體學院網站，建置訓練師資、受訓學員與就業廠商之專屬資料庫及資訊分享機制。
3. 進行半導體人才職能調查，依據職能調查結果，建置半導體領域之專業人才職能地圖。
4. 掌握產業人才供需現況與發展，進行長短期人才發展與培訓，以提升現職人才之專業能力並擴大產業人力供給。
5. 規劃引進前瞻之國外專家師資及訓練課程，促進產業知識交流並提升國內專業技術能力。
6. 邁入 SoC 的時代，嵌入式系統及應用軟體之開發，勢必無法與硬體切割，反而必須更緊密的配合，未來將持續建立 SoC 軟硬體共構平台，讓業界能同步開發嵌入式軟體，縮短 SoC 系統開發時程，發展國內 SoC 前瞻技術，促進國內產業邁向高值化前進。
7. 年度目標以至少 3 案以上參與國際前瞻標準組織並解讀相關技術資料與以擴散至國內相關業者，同時至少一案規劃對國際技術標準組織提出計畫書，以提高對前瞻標準與規格之參與，加速台灣廠商開發前瞻產品之時程，提高附加價值。
8. 執行架構將以國內業界組成工作小組進行推動計畫，由工作小組派遣至少 3 人次實際參與及引進相關國際前瞻標準，也研議採用至少 10 場工作會議及至少三次研討會方式推廣技術標準於國內業界。
9. 實際執行將延續 FY94 及 FY95 成立之前瞻國際標準工作小組，建立穩固技術發展及標準解讀體系及人力投入，也視需要兼顧建立完整專利分析、專利佈局、專利共享機制，以利國內業界技術整合。
10. 晶片系統產業為國家推動之重點新興產業，為擴大案源、帶動晶片系統產業之整體發展，97 年將持續配合晶片系統國家型科技計畫推動重點「數位家庭」與「生醫電子」領域，持續進行計畫推動。
11. 持續了解產業對補助計畫之期望，並適時依產業需求與計畫技術審查單位溝通協調，以協助擴大案源。
12. 遴選執行成效良好且產品在國際舞台上具指標性之廠商，由雜誌社進行專訪，完成計畫專刊製作，以為計畫推廣及成效宣導，並說明計畫輔導內容，藉以提高計畫知名度，鼓勵廠商參與本計畫。

捌、檢討與展望

一、檢討

1. 部分晶片系統廠商反應，為因應產業發展，極希望可針對現有人力進行培訓以投入熱門產品發展，因此擬指派部分需轉換部門之員工修習晶片人才培訓長期課程後轉入相關用人需求高之部門任職，使現有人力能夠得到充分運用。本計畫所規劃之課程深受廠商肯定，然依目前長期就業率規定，結訓學員需轉入其他領域或其他公司服務，方能列入認列計算範圍，而不可於原公司內進行部門轉換。此規定使得許多晶片系統廠商錯失參與本計畫中長期培訓班之資源，造成部分人力閒置、而另一部份人力又出缺之困境。因此，廠商紛紛表示期望政策可重新修訂。
2. 晶片系統業界用人之旺季多為農曆年後與七、八月，然政府計畫年度招標結案之作業方式並無法配合，嚴重影響招生時間與學員結訓後投入業界之時間，致使長期人才培訓班結訓學員之就業率深受影響。
3. 本計畫之目標在於促成產業界參與國際標準，甚至進一步參與標準的制定，必須有具有技術及產業背景的專人定期參與。依前期以產學研界籌組工作小組的方式執行，可部份解決此難題。然執行計畫的相關規定，又某種程度上限制了此工作之進展，例如，計畫規定僅計畫內人員可使用該計畫經費出國，如此一來，則限制了業界的參與程度，造成業界的專業人員無法直接與國際標準接軌，進而影響此工作的執行成效。
4. 雖然持續進行計畫廣宣之媒體活動與舉辦計畫說明會，並主動出擊拜訪國內 IC 設計廠商，積極進行計畫補助機制說明，並主動輔導廠商進行提案作業，惟廠商提案件數仍傾向和緩。

二、展望

1. 為因應產業對有效人力運用及素質提升之需求，未來長期人才培訓學員就業公司除了跨領域公司及轉換至同領域不同公司外，同公司轉換部門，亦可為列入就業媒合計算範圍中，促使廠商現有人力能充分運用，避免造成部分職缺嚴重不足但部份職務卻人力過剩之窘況。

2. 建議人培計畫結案時間，不因年度結束而結束，以跨年度之方式，讓結訓學員在業界最需要之時間投入市場，強化人才培訓計畫之功效。
3. 目前標準推動工作雖以分享標準資訊與工作小組成果予業界為主，使廠商取得現有的標準資訊做為產品研發方向的參考。並藉由資訊的分享，已逐漸凝聚廠商共識，了解標準推動的長遠利益，進而願意投入更多人力共同擬定參與標準提案的可能規格及方式。另建議由業界熟悉相關技術人員參與國際會議，整理相關標準資訊，再由計畫經費向其購買相關標準報告。
4. 未來將持續拜訪廠商、了解廠商需求，以此修訂計畫機制，提升廠商提案意願。

填表人：林雪銀 聯絡電話：02-26557155#330 傳真電話：02-26557115

附件三

國科會工程處成果效益事實報告

96 年政府科技計畫成果效益報告

壹、基本資料：

計畫名稱：晶片系統技術研究發展中程綱要計畫

主持人：蔡明祺

審議編號：96-1901-03-庚 02

計畫期間(全程)：95 年 1 月 1 日至 99 年 12 月 31 日

年度經費：380,000 千元 全程經費規劃：2,454,000 千元

執行單位：各大專院校

貳、計畫目的、計畫架構與主要內容

一、計畫目的：

本計畫根據相關產業需求和技術發展趨勢，選定重點領域，並配合晶片系統國家型科技計畫的願景與目標來執行本案。

第一期晶片系統國家型科技計畫的目的就是為台灣建立豐富的矽智財、整合電子設計自動化軟體、提供優良的設計環境。加速台灣由特殊應用晶片(ASIC)經過系統封裝(SiP)然後轉型到晶片系統(SoC)。這樣的 ASIC-SiP-SoC 發展歷程，不僅台灣廠商受益，更能吸引全球系統設計廠商來參與投資與開發。使台灣基於製造的利基，開創出設計優勢，達到垂直整合的效果，進而在世界半導體、資訊與電子業扮演舉足輕重的角色。

第二期的規劃構想將會著重在擴大第一期的成果、改善第一期缺失、進而開創新的產業與前瞻技術，奠定下一波產業躍昇的基礎，提昇國際競爭力。據此將依據第二期晶片系統國家型計畫總體規劃書所提出『創造優質生活之兆級多元整合技術』(Heterogeneous Giga Scale Integration for Better Life)為執行主軸。以台灣發展完善的晶圓半導體產業為根基，建構高效率的晶片設計技術與環境，利用系統晶片的實體產出，推動跨領域創造優質生活的創新產品開花結果。促使晶片系統設計與創新產品開發，成為台灣未來於國際市場競爭中的新核心競爭力。第二期之總目標為：

帶給全民優質生活的創新系統應用產品

提昇產品附加價值與核心競爭力的關鍵技術

提供人才培育與技術創新的基礎環境建置

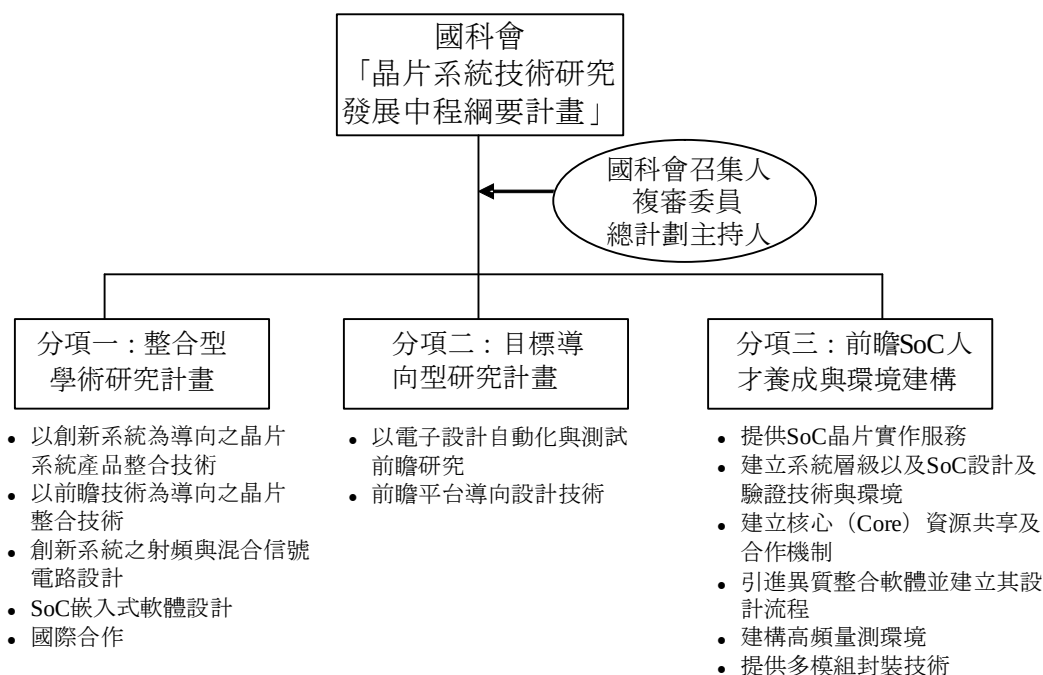
為達此目標，本計畫擬以下列三分項計畫進行：

分項一：整合型學術研究計畫

分項二：目標導向型研究計畫

分項三：前瞻 SoC 人才養成與環境建構

二、計畫架構(含樹狀圖)：



三、計畫主要內容

分項計畫一：整合型學術研究計畫

(一) 以創新系統為導向之晶片系統產品整合技術，例如：

1. 多元網路整合技術 (Heterogeneous Network Integration)。
2. 數位生活及數位家庭 (e-Life, Digital Home)。
3. 健康監控與生活照護 (e-Health, Health Monitoring and Personal Health Care)。

(二) 以前瞻技術為導向之晶片整合技術，例如：

1. 前瞻平台技術 (Advanced Platform Technology)。
2. 多元模組整合技術 (Heterogeneous Integration) (如 CMOS/MEMS/SiP, RF /AMS/D, 無線感測網路, CMOS 生醫晶片等)。
3. 電子設計與測試自動化及軟硬體共同設計 (EDA, DFT, Hardware/Software Co-Design Technologies and Platforms 等)。

(三) 創新系統之射頻與混合信號電路設計，例如：

- 1.低功率低電壓之 RF, Mixed-Signal, MEMS, Sensor 各式異質整合之射頻與混合信號關鍵核心 IPs 。
- 2.整合 RF, Sensor, MEMS, Analog, Mixed-Signal and Digital 之兆級多元異質整合晶片系統。

(四) SoC 嵌入式軟體設計，例如：

- 1.基於國內自主研發平台之嵌入式系統及應用軟體設計。
- 2.以 Low -Power Multi-Core 為核心之軟體開發平台及相關軟體設計。

(五) 鼓勵上述各項之國際合作

分項計畫二：目標導向型研究計畫

(一) EDA&T 計畫

本子項將支持如下之重要 EDA 與測試領域之研究。

(二) 平台導向計畫

由於 SoC 產品日益偏向以平台開發為主，國內甚多產品皆須支付鉅額授權金給予國外平台智財擁有廠商，因此支持國內開發之平台可以協助本國廠商掙脫國外大廠之箝制，並降低其產品成本。本子項將支持以使用國產平台開發 SoC 設計之研發，其重點為 Multiprocessor SoC 者。

分項計畫三：前瞻 SoC 人才養成與環境建構

1. 提供台灣學術界 SOC 晶片與系統及前瞻性 IP 實作平台與管道。
2. 建立完整的系統層級以及 SOC 前段設計及驗證技術與環境。
3. 建立完整的 SOC 後段設計及測試技術與環境。
4. 建立核心硬體（CPU，DSP Core）資源共享及跨校合作的機制。
5. 引進異質整合軟體並建立前瞻 SOC 設計流程，推廣於學界，當學生畢業進入產業界或研究機構時，即可立刻參與 SOC 產品之研發，有助於產業界爭取產品研發與銷售之時程，增加產品之競爭力，並可大幅節省產業界人才培訓時間與經費。
6. 每年提供國科會計畫完成 1000 顆以上相關應用晶片。
7. 協助學術界建構量測環境
8. 建構學術界可使用之模組封裝技術，以協助大型晶片整合驗證。

除了培訓之人才外，各校還利用本分項計畫提供的相關設計環境與技術

於教學與研究上，其培育的人才數目應會更多，對於我國 IC 設計的永續發展將有正面的效果。

參、計畫經費與人力執行情形

(一)計畫經費

會計科目		項目	預算數(執行數)			備註	
			主管機關預算 (委託、補助)	自籌款	合計		
					金額(元)		占總經費%
一、經常支出							
1.人事費							
2.業務費							
3.差旅費							
4.管理費							
5.營業稅							
小計							
二、資本支出							
小計		380,000 (354,229)		380,000 (354,229)			
合計	金額						
	占總經費%						

請將預算數及執行數並列，以括弧表示執行數

與原計畫規劃差異說明：

與原中綱計畫規劃相符

(二)計畫人力

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
王廷基	總計劃主持人	96年8~12月共5個月;在 System-in-Package 設計下之自動化工具研發	學 歷	Ph.D., The University of Texas at Austin, USA
			經 歷	A faculty member of Texas A&M University, USA
			專 長	積體電路設計自動化
王建鎮	副主任	140人月;前瞻 SoC 及高頻/異質整合系統設計、製作及測試環境建置計畫	學 歷	交通大學電子工程研究所碩士
			經 歷	國家晶片系統設計中心、工研院電子所
			專 長	VLSI/SOC 設計
吳介琮	總計劃		學 歷	美國史丹福大學電機博士

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
	主持人	1 人月; 助聽器微機電晶片系統	經 歷	交通大學教授
			專 長	混合訊號式積體電路設計
吳安宇	總計劃主持人	投入月數：計劃全程參與; 適用於異質無線網路環境之前瞻 MoIP 手持裝置 SoC 設計	學 歷	美國馬里蘭大學電機所博士
			經 歷	● 國立台灣大學 電機工程學系 教授 2005/08 至今 ● 工業技術研究院 系統晶片科技中心 副主任 2007/06 至今 ● 國立台灣大學 電機工程學系 副教授 2000/08 至 2005/07 ● IEEE Transaction on Very Large Scale Integration (VLSI) Systems Associate Editor 2003/07 至今 ● EURASIP Journal of Applied Signal Processing Associate Editor 2001/01 至 2004/06 ● EURASIP Journal of Applied Signal Processing Special Issue Guest Editor 2003/12 ● 工研院 系統晶片中心 專聘顧問 2003/02 至 2004/12 ● 國立中央大學 電機工程學系 副教授 1996/08 至 2000/07 ● 工研院電通所 網路傳輸系統部 專聘顧問 1996/11 至 1997/07 ● AT&T Bell Laboratories MTS 1995/07 至 1996/07 ● U. of Maryland Elec. Engr. Dept 研究助理 1992/05 至 1995/07 ● U. of Maryland Elec. Engr. Dept 教學助理 1990/09 至 1992/05
			專 長	● VLSI/CAD ● 通訊積體電路 ● 信號處理
呂良鴻	總計劃主持人	多媒體系統無線傳輸介面之發	學 歷	Ph. D: University of Michigan
			經 歷	
			專 長	Mixed-signal circuits, RFICs

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
李昆忠	總計劃主持人	每月約投入 35 名博碩士研究生人力；電子系統層級設計技術開發及其在多格式系統晶片之應用	學 歷	● 美國南加州大學電機博士(1991) Ph.D., Univ. of Southern California, U.S.A.
			經 歷	● 國立成功大學電機系副教授 (1991-1997) ● 國立成功大學電機系教授(1997-) ● 美國史丹福大學電機系訪問教授 (2003 Aug. ~ 2004 Jan.)
			專 長	● 超大型積體電路設計與測試 VLSI Design and Testing ● 超大型積體電路電腦輔助設計 VLSI Computer-Aided Design ● 計算機演算法 Computer Algorithms
李政崑	總計劃主持人	10% ； 前瞻異質多核心系統開發工具研發	學 歷	美國印第安那大學電腦科學博士
			經 歷	● 現職：國立清華大學資訊工程學系教授 經歷： ● 清華大學資訊工程學系教授兼副系主任 ● 清華大學資訊科學系副教授 ● 印第安那大學電腦科學系研究助理
			專 長	● 平行化編譯器 ● Parallel Languages ● 編譯器 ● 嵌入式系統編譯器
李順裕	總計劃主持人	5 月;生理質素萃取與處理，第一階段：遠距照護與緊急救護之關鍵技術與平台	學 歷	國立成功大學電機工程學系博士
			經 歷	● 國立中正大學電機工程學系助理教授 ● 南台科技大學電子工程系助理教授 ● 南台科技大學積體電路設計中心主任

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
			專 長	● 類比積體電路 ● 混合訊號積體電路 ● 射頻積體電路 ● 生醫檢測晶片 ● 微機電介面電路
汪重光	總計劃主持人	使用波束成形技術的60GHz CMOS 寬頻無線通訊傳收機; 病理遙測系統與生醫感測晶片	學 歷	Univ. of California, Berkeley /Electrical Eng. and Computer Science /Phd
			經 歷	臺大電子所教授
			專 長	積體電路設計
周世傑	總計劃主持人	12 月/計畫整合; 應用於行動無線都會網路基頻傳收機系統晶片之核心技術開發	學 歷	國立交通大學電子工程博士
			經 歷	● Agere Systems, USA Communication Circuits& Systems Research Lab. (the Circuits& Systems Research Lab. of Bell Laboratories) Visiting Research Consultant 2001/07~2001/10 ● 國立中央大學通訊系統中心 通訊電子技術組 召集人 1999/8~2004/07 ● 國立中央大學 電機工程系 教授 1997/08 ~ 2004/07 ● 國立中央大學 電機工程系 副教授 1990/08 至 1997/07 ● 美國伊利諾大學香檳分校 Coordinated Science Lab. 客座副教授 1993/08 至 1994/07 ● 海軍輪機學校 電機組 少尉教官 1988/07 至 1990/05
			專 長	● 數位積體電路與系統 ● 通訊積體電路 ● 計算機輔助設計

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
周景揚	總計劃主持人	(12 個月) ；單晶片系統驗證之 核心技術開發	學 歷	● Ph.D in Computer Science, University of Illinois at Urbana-Champaign, USA, 1985.
			經 歷	● IEEE Fellow (2005). ● Vice Chancellor (Academic Affair), University System of Taiwan, April 2007 – Present. ● Vice President and Director General, National Chip Implementation Center, National Applied Research Laboratories, Taiwan, R.O.C., February 2004 – June 2007. ● Chairman, Department of Electronics Engineering, National Chiao Tung University, Taiwan, R.O.C., August 2000 – July 2003. ● Professor, Department of Electronics Engineering, National Chiao Tung University, Taiwan, R.O.C., August 1998 – Present. ● Member of Technical Staff, Computer Aided Design and Test Laboratory, AT&T Bell Laboratories, Murray Hill, New Jersey, September 1986 - 1994. ● Senior Member of Technical Staff, Computer Science Laboratory, GTE Laboratories Incorporated, Waltham, MA, July 1985 - September 1986.
			專 長	VLSI Design Automation, VLSI Testing, Design Verification, and VLSI System Design
林永隆	總計劃主持人	超高畫質電視系統之 設計技術與智財研發	學 歷	伊利諾大學香檳校區_計算機科學_博士
			經 歷	國立清華大學資訊工程學系_教授
			專 長	設計自動化、積體電路與系統設計
金仲達	總計劃		學 歷	博士

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
	主持人	系統層級之多核心嵌入式系統發展與驗證環境	經 歷	清華大學資工系教授
			專 長	嵌入式系統、分散式系統
金雅琴	總計劃主持人	人力：1 人 月數：12 個月 陣列式 DNA 快速定序及癌症免疫反應檢測之低溫多晶矽面板整合系統晶片開發	學 歷	● 博士：電機工程，加州大學柏克萊分校
			經 歷	● National Tsing-Hua University, Hsinchu, Taiwan (1999 ~) ● SILICON SYSTEMS in Santa Cruz, California (1995)
			專 長	高介電閘介電層製程、特性量測及可靠性研究，CMOS 影像感測器
唐經洲	總計劃主持人	計畫總主持人；以光學鄰近修正為方法之奈米級製程可製造性導向設計研究	學 歷	國立成功大學 電機 博士
			經 歷	南台科大電子系 主任
			專 長	VLSI 設計流程整合，混何訊號積體電路佈局
張世杰	總計劃主持人	在 IPSec SoC 設計下之前瞻 EDA 技術；智慧型影像監視系統	學 歷	● The Ph.D. degree in Electrical Engineering from the University of California, Santa Barbara in 1994
			經 歷	● Synopsys, Inc. in Mountain view, CA, from 1995 to 1996. ● Department of Computer Science and Information Engineering of National Chung Cheng University from 1996-2001. ● He is now a professor in the Department of Computer Science and director in IC Design Technology Center of National Tsing-Hua University.
			專 長	Logic synthesis, Functional Verification for SoC, and Noise Analysis
張振豪	總計劃		學 歷	美國南加州大學電機博士

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
	主持人	應用於多媒體之十億位元傳輸速率多輸入多輸出無線區域網路系統單晶片設計	經 歷	● 系主任－國立中興大學電機工程系(2006/8~目前) ● 工科中心主任－國立中興大學工學院(2005/8~2006/7) ● 教授－國立中興大學電機工程系(2003/8~目前) ● 副教授－國立中興大學電機工程系(1996/8~2003/8) ● 副教授－國立宜蘭技術學院電子工程科(1995/8~1996/7) ● 研究員－工業技術研究院電子所(1995/6~1995/8) ● 研究助理－美國南加州大學電機工程系(1992/1~1995/5)
			專 長	● VLSI 電路與系統設計 ● 混合信號積體電路設計
陳宏明	總主持人	先進製程技術之設計與可靠度提昇研究	學 歷	Ph.D. : UT-Austin, USA
			經 歷	Assistant Instructor, UT-Austin Engineer, Intel Inc.
			專 長	VLSI CAD
陳添福	總計畫主持人	12 月 貼心處理器 II—超越雙核心之嵌入式系統平台技術研發	學 歷	美國華盛頓大學 計算機科學博士
			經 歷	國立中正大學副教授
			專 長	計算機結構、SOC 設計、嵌入式系統、Linux 核心系統
黃威	總計劃主持人	1.12個月;適用於無線通訊系統之晶片設計	學 歷	加拿大曼尼托巴大學電機工程 博士 1974 年

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
		線視訊娛樂之多系統融合及節能技術	經 歷	● 國立交通大學代理校長 2006-2007 年 ● 國立交通大學副校長 2005-2007 年 ● 晶片系統國家型科技計畫共同主持人/辦公室主任 2003 -2007 年 ● 國立交通大學晶片系統 (SoC) 研究中心主任 2003-2006 年 ● 美國 IBM T. J. Watson Research Center (華生研究總中心) 研究員 1984-2002 年 ● 美國哥倫比亞大學電子工程系所客座正教授 1993-2003 年 ● 美國哥倫比亞大學電子工程系所副教授 1982-1984 年 ● 美國哥倫比亞大學電子工程系所助理教授 1979-1982 年 ● 加拿大康克廸亞大學電子工程系所助理教授 1976-1978 年 ● 加拿大曼尼托巴大學電子工程系所材料研究實驗室博士後研究員 1974-1976 年
			專 長	● 晶片系統(SoC)、超大型積體(VLSI) 電路設計、計算機結構與訊號處理器(DSP)、記憶體晶片、低功率奈米電路、電子元件物理與技術及有機半導體物理。
黃英哲	總計劃主持人	具有即時效能/功率監控功能的高效率可程式化三維電腦繪圖晶片系統：軟硬體開發及整合	學 歷	美國南加州大學計算機博士
			經 歷	● 1994/8~2002/7 國立中山大學資訊工程學系 副教授 ● 2002/8~ 國立中山大學資訊工程學系 教授
			專 長	計算機結構，晶片設計，VLSI 電腦輔助設計，系統軟體，嵌入式系統
黃錫瑜	總計劃主持人	3 人月 奈米級晶片之良率與可靠度提昇方法研究	學 歷	U. of California, Santa Barbara 博士
			經 歷	清華大學積體電路設計技術中心副主任

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
		可靠度提昇方法研究	專 長	記憶體電路設計，可測性晶片設計
劉深淵教授	總計劃主持人	25%;規畫及督導總計畫之執行及負責子計畫四「適用於10GBase-T 乙太網路接收機之類比數位轉換電路」之推動	學 歷	台灣大學電機工程研究所博士
			經 歷	台灣大學電機學系副教授
			專 長	類比、混合式、射頻積體電路設計
劉濱達	總計劃主持人	每月約投入 25 名博碩士研究生人力，；可攜式低功率之視訊單晶片系統研發與應用；應用於免疫疾病檢測之單晶片系統	學 歷	國立成功大學電機博士
			經 歷	● 國立成功大學晶片系統研發中心主任 (2004-迄今) ● 國立成功大學特聘教授 (2003-present) ● 國立成功大學電機工程學系(所)主任 (1999--2002)
			專 長	● 積體電路設計、電腦輔助設計 ● 神經網路、生物推論系統及視訊處理之架構與晶片設計 ● 低功率電路及晶片系統技術
闕志達	總計劃主持人	可應用於軟性電子的 TFT 電路設計技術之開發	學 歷	加州理工學院/電機工程博士
			經 歷	● 國立台灣大學(2007/8 迄今) 電機工程學系/電子工程學研究所-教授 ● 國立台灣大學(2004/8 至 2007/7) 電機工程學系/電子工程學研究所-教授/所長 ● 國立台灣大學(1994/8 至 2004/7) 電機工程學系-教授 ● 國立台灣大學(1989/8 至 1994/7) 電機工程學系-副教授
			專 長	Integrated Circuits Design Baseband Communication IC Design
魏慶隆	總計劃主持人	4/8 系統整合與規劃；植基於 DVB-T/H 規格之前瞻性車用無線通訊系統之研發與驗證	學 歷	美國德州理工大學電機工程系博士
			經 歷	● 國家晶片系統設計中心主任 ● 國立中央大學資電學院院長 ● 國立中央大學台積電傑出講座教授

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
		訊會議系統傳收機系統晶片之研製	專 長	● VLSI 設計、可靠性分析與設計
溫瓊岸	總計劃主持人	Gbps 無線網路之異質晶片整合系統設計	學 歷	● 國立成功大學 電機工程系 博士 (1985~1988)
			經 歷	● 國立交通大學 電子工程學系及電子研究所教授 ● 國立交通大學 矽導研發中心 主任 ● 國立交通大學 晶片系統研究中心 執行長 ● 國立交通大學 智權中心主任 ● 國立交通大學 校友聯絡中心主任 ● 晶片系統國家型科技計畫分項召集人 ● 行政院「國家矽導計畫」計畫推動辦公室主持人
			專 長	● 超大型積體電路設計、高頻電路設計、基頻電路設計、無線通訊系統
吳誠文	總計劃主持人	奈米級晶圓之無線測試與特性擷取技術	學 歷	UNIV. CALIF. SANTA BARBARA (U.S.A.)電機電腦工程博士

姓名	計畫職稱	投入人月數及工作重點	學、經歷及專長	
			經 歷	● 國立清華大學 電機工程學系電機工程學系教授 ● 國立清華大學電機資訊學院院長院長 ● 國科會國家晶片系統國家型科技計畫諮議委員 ● 工研院系統晶片中心顧問 ● IEEE Taipei Section 理事 ● IEEE Computer Society Technical Meetings Group, TTTC 主席 ● 教育部顧問室 SOC 總聯盟召集人 ● 國立清華大學積體電路設計技術研發中心主任 ● 教育部顧問室 EDA 聯盟召集人 ● 國立清華大學電機工程學系電機工程學系系主任 ● UCSB Dept. ECE Visiting Professor ● 國立清華大學技術服務中心主任 ● 國立清華大學計算機中心主任 ● 工研院電通所顧問 ● 國立清華大學電機系副教授 ● 交通部電信研究所顧問 ● UCSB Center for Computational Sciences and Engineering Post-Graduate Researcher ● 衛生署環保局計算機中心技士
			專 長	● 超大型積體電路設計 ● 超大型積體電路測試 ● 半導體記憶體測試 ● 容錯計算與容錯電路設計

與原計畫規劃差異說明：

與原中綱計畫規劃相符

肆、計畫已獲得之主要成就與量化成果(output)

表一 科技計畫之績效指標(請依計畫性質勾選項目，色塊區為必填)

計畫類別 績效指標	1 學術 研究	2 創新 前瞻	3 技術 發展 (開發)	4 系統 發展 (開發)	5 政策、法 規、制 度、規 範、系統 之規劃 (制訂)	6 研發 環境 建構 (改善)	7 人才 培育 (訓練)	8 研 究 計 畫 管 理	9 研 究 調 查	99 其 他
A 論文										
B 研究團隊養成										
C 博碩士培育										
D 研究報告										
E 辦理學術活動										
F 形成教材										
G 專利										
H 技術報告										
I 技術活動										
J 技術移轉										
S 技術服務										
K 規範/標準制訂										
L 促成廠商或產業團體投資										
M 創新產業或模式建立										
N 協助提升我國產業全球地位或產業競爭力										
O 共通/檢測技術服務										
T 促成與學界或產業團體合作研究										

計畫類別 績效指標	1	2	3	4	5	6	7	8	9	99
	學術 研究	創新 前瞻	技術 發展 (開發)	系統 發展 (開發)	政策、法 規、制 度、規 範、系統 之規劃 (制訂)	研發 環境 建構 (改善)	人才 培育 (訓練)	研究 計畫 管理	研究 調查	其 他
U 促成智財權資金融通										
V 提高能源利用率										
W 提升公共服務										
X 提高人民或業者收入										
P 創業育成										
Q 資訊服務										
R 增加就業										
Y 資料庫										
Z 調查成果										
AA 決策依據										

表二 請依上表勾選合適計畫評估之項目填寫初級產出、效益及重大突破

	績效指標		初級產出量化值	效益說明	重大突破
()	A 論文	國內	62 篇		● 清大及成大已建立 SoC 測試平台 ● 交大台大中正進行生醫照護相關 IC 研發 ● 清大及中正已在多核心嵌入式系統之處理器與軟體獲得突破性成果 ● 台大已完成多項使用 CMOS 製程操作於毫米波段的電路 ● 清大與台大已成功設計製作完成軟性電子用之 TFT 電路 ● 交大與南台科大在 EDA 領域已往驗證與 litho EDA 的研究能量 ● 成大已將 ESL 應用於多項系統之設計
		國外	355 篇		

	績效指標		初級產出量化值	效益說明	重大突破
	B 研究團隊養成		60 團隊		
	C 博碩士培育		博士：239 人次 碩士：615 人次 其他：1 人次		
	D 研究報告		43 篇		
	E 辦理學術活動		40 場	辦理 IEEE SOCC 2007 與 IEEE MTDT 2007	在 IEEE MTDT 2007 workshop 中，與會者展示了全世界最新的 Memory 製程、設計及測試之研發成果；此研討會並結合產官學研，對未來台灣的記憶體產業發展方向及未來記憶體元件使用趨勢得到初步的共識。 IEEE SoC conference 2007 是第一次離開美國到台灣舉辦，吸引了世界許多一流學者參與及發表關於系統晶片設計的研究，並邀請數位知名學者及美國業界成功人士來台演講，對未來台灣系統晶片發展有極大幫助。
	F 形成教材		8 件		
	其他		無		
()	G 專利	國內	申請：40 獲得：5		
		國外	申請：30 獲得：1		
	H 技術報告		27		
	I 技術活動		無		
	J 技術移轉	可移轉技術 (件數)	5 件		

		績效指標	初級產出量化值	效益說明	重大突破
		先期技轉（項數、家數）	無		
		S 技術服務	1		
		L 促成廠商或產業團體投資	18 件 13577 仟元		
		M 創新產業或模式建立	無		
		N 協助提升我國產業全球地位或產業競爭力	1		
		O 共通/檢測技術服務	3		
		T 促成與學界或產業團體合作研究	無		
		P 創業育成	3		
		Q 資訊服務	2		
		R 增加就業	2		
)		K 規範/標準制訂	無		
		Y 資料庫	無		

伍、評估主要成就及成果之價值與貢獻度（請填質化成果）

一、學術成就(科技基礎研究)

經由本計畫之執行我國學術界於 ISSCC 國際研討會上發表論文的數量可為一指標，其數量由 2003 年 2 篇，2004 年 4 篇，提升到 2005 年 12 篇，而在 2006，2007 年則分別有 16，17 篇，論文數量僅次於美日，與韓國約在伯仲之間。此外本國學術界在設計自動化領域的 DAC/ICCAD 於今年的論文數亦有大幅成長。ITC 及 VTS 等測試技術領域指標型研討會之論文數也穩定成長，由上說明顯示學術上之研發水準已在各相關領域獲致全面性之提升。

2002		2003		2004		2005		2006		2007	
Country	Papers	Country	Papers	Country	Papers	Country	Papers	Country	Papers	Country	Papers
USA	84	USA	80	USA	82	USA	93	USA	117	USA	88
Japan	30	Japan	37	Japan	45	Japan	45	Japan	40	Japan	27
Korea	12	Korea	19	Korea	17	Korea	17	Taiwan	17	Korea	25
Holland	8	Holland	13	Holland	11	Taiwan	15	Korea	16	Taiwan	20
Germany	6	Germany	10	Germany	8	Holland	10	Germany	13	Germany	12
Belgium	4	Italy	5	Belgium	7	Swiss	10	Holland	8	Italy	10
Finland	4	Canada	4	Taiwan	6	Italy	8	Italy	8	Holland	10
Italy	3	Swiss	4	Swiss	5	Canada	7	Austria	6	Swiss	9
Canada	2	France	4	Italy	4	France	6	Swiss	5	Belgium	7
Ireland	1	Belgium	3	France	3	Germany	4	Canada	4	Austria	6
China	0	Taiwan	3	Canada	2	Belgium	4	Belgium	4	France	5
Taiwan	0	Ireland	1	Ireland	2	Ireland	4	India	2	Canada	3
Swiss	0	China	0	Finland	1	Finland	1	Singapore	2	Finland	3
France	0	Finland	0	China	0	China	1	China	1	UK	3

本年度經由 CIC 與晶圓廠製作之研發晶片達 573 片，由此顯示學術界在前瞻研發方面質與量的進步非常迅速。

二、技術創新(科技整合創新)

- (1) 清大及成大已建立 SoC 測試平台。
- (2) 交大台大中正進行生醫照護相關 IC 研發，如助聽器，生醫感測。
- (3) 清大及中正已在多核心嵌入式系統之處理器硬體與多核心嵌入式軟體獲得突破性成果。
- (4) 台大已完成多項使用 CMOS 製程操作於毫米波段的電路，此外台大交大中央中興等校亦完成 10G，WiMAX，WiFi，DVB 等多項通訊電路系統研發。
- (5) 清大與台大已成功設計製作完成軟性電子用之 TFT 電路。
- (6) 交大與南台科大在 EDA 領域已往驗證與 litho EDA 的研究能量
- (7) 成大兩團隊已將 ESL 應用於多項系統之設計。

三、經濟效益(產業經濟發展)

- (1) IC 設計產業在目前及未來均為我國最重要產業之一，目前在無晶圓廠 IC 設計產業我國雖居世界第二，但因國內廠商眾多且主力產品類似、晶片系統設計技術落後及缺乏關鍵性 IP 與系統整合能力，使整個產業發展受到相當大的

限制。經由本計畫之執行已使我國學術界設計環境為世界最佳，同時使用先進製程之障礙最低，經本計劃經費之支柱與參與計畫師生的努力，不但研究成果已逐漸顯現，同時已培育出甚多優質的 SoC 設計人才，將可使我國 IC 產業持續保有競爭力以期能永續發展。

- (2) 藉由本計畫之執行引導國內廠商跳脫既有跟隨者的傳統產業模式，提高相關業者的發展前景與機會。

四、社會影響(民生社會發展)

- (1) 計畫執行過程中所研發之相關設計、整合、驗證、測試、軟體系統等技術將有助於產業界加速相關 SOC 產品之技術整合，對於目前國內之高科技資訊產業的進步與提升將有極大的幫助與關鍵性的影響。
- (2) 計畫中通訊技術與生醫照護技術的發展，可加速國人生活便利性，提升國人生活品質。
- (3) 透過計畫之推動，學界研發團隊針對提出新創性的演算法架構，初步驗證後與法人如工研院或是中科院合作，完成雛形系統的建制與驗證。待市場成熟，所累積的研發能量與訓練出來的人才，就能結合國內產業的相關技術，不論在推出更具競爭力的產品，或是提升台灣在系統規格制訂的能力，都將有極大的助益。

五、其它效益(科技政策管理及其它)

無

陸、與相關計畫之配合

本計畫與電信國家型科技計畫(特別是 WiMAX)合作密切，已有數項無線通訊主題由相關團隊進行研究。本計畫研究成果亦促成經濟部學界科專計畫作整合與推廣，例如：經濟部學界開發產業技術計畫「前瞻高效能低耗能之雙處理器系統技術研發」及「前瞻網路安全處理處理器晶片及相關 SOC 設計技術研發」等，並與經濟部法人科專計畫密切合作。

柒、後續工作構想之重點

1.建立以創新產品為導向之系統整合技術

具創意性之多元網路整合、娛樂/教育、健康監控生活照護等 3 大主軸之系統應用。

2.以前瞻技術為導向之晶片整合技術

具競爭力、高價值的 SoC 組件 (IP) 和提升電路整合技術能力。

(Advanced SoC Design Integration)

3.創新系統之射頻與混合信號電路設計

混合信號電路與射頻電路技術門檻高、人才培育不易、設計所耗時間長、投資成本大，但它卻是 SoC 的關鍵核心 IP，也是未來 SoC 產品競爭關鍵核心 IP。研發重點如

- ADC/DAC
- PLL/頻率合成器
- RF 模組，如 LNA/Mixer/BPF
- 功率放大器

4.SoC 嵌入式軟體設計

支援先進微處理器(包括 DSP Processors，Network Processors，Graphic Processors，MPU，Reconfigurable Processors，Game Processors，Baseband Processors，Dual-Core 及 Multi-Core Processors)的系統軟體環境研發及高些系統模擬及驗證。

5.創新前瞻系統規格制訂與實作

鼓勵研究團隊提出具創意性系統之概念，進而定義產品規格，探討與開發所需技術。

6.系統雛型製作

本國學術研究向來偏重於理論及模組製作，對於整合與系統製作，由於費時耗力且未受評估制度之重視，因此在研究人員心目中莫不視之為畏途。本計畫未來將要求整合型團隊於期末展現其雛型製作的研究成果，藉以加強團隊的系統實作經驗與能力。

7.平台導向計畫

由於 SoC 產品日益偏向以平台開發為主，國內甚多產品皆須支付鉅額授權金給予國外平台智財擁有廠商，因此支持國內開發之平台可以協助本國廠商掙脫國外大廠之箝制，並降低其產品成本。本子項將支持以使用國產平台開發 SoC 設計之研發，其重點為 Multiprocessor SoC 者。

8. 前瞻 SoC 人才養成與環境建構計畫

持續提供台灣學術界 SOC 晶片與系統及前瞻性 IP 實作平台與管道。

建立完整的系統層級以及 SOC 前段設計及驗證技術與環境，並建立完整的 SOC 後段設計及測試技術與環境。

捌、檢討與展望

本計畫執行績效良好，已獲致優異研發成果。在研發方面，嵌入式系統及軟體設計，電子系統層級(ESL)設計及異質整合等研究項目均應再鼓勵更多團隊與人力從事相關研發工作。CIC 部分提供學界晶片下線與設計軟體，已深獲產學研各界肯定，但因晶片製作費越來越高漲，未來經費應合理運用。產學合作方面已有不少績效，但國際合作由於對於研究人員誘因不大，仍需積極規劃提高誘因加以推動。

填表人： 潘敏治 聯絡電話： 02-27377983 傳真電話：

附件四

教育部成果效益事實報告

96 年政府科技計畫成果效益報告

壹、基本資料：

計畫名稱：前瞻晶片系統設計人才培育先導型計畫

主 持 人：闕志達、陳南鳴

審議編號：96-1201-05-庚 01-00-00-00

計畫期間(全程)：95 年 1 月 1 日至 99 年 12 月 31 日

年度經費：198,000 千元 全程經費規劃：1,035,446 千元

執行單位：全國公私立大專校院、教育部顧問室

貳、計畫目的、計畫架構與主要內容

一、計畫目的：

本計畫之主要推動在於有效運用目前已蓄積在各跨校教學聯盟的教學能量，除持續開發、推廣相關前瞻課/學程，並更進一步辦理相關推動，以提升相關領域師生國際競爭力，並以建立我國在全球 SOC 設計領域之領先地位為願景，於 95 年度開始執行。計畫的推動朝 3 個目標努力，條列如下：

(一) 培養領域內師生於 SoC 設計專業領域所需之前瞻技術能力

1. 規劃重點領域前瞻課程，發展相關上課及實習教材，落實學校教學紮根的工作。
2. 推動前瞻課/學程推廣計畫，協助學校開授相關課程，培養學生所需具備前瞻技術知能。
3. 辦理相關前瞻議題課程短期研習、論壇、研討等活動，提供相關師生多元化的養成管道。
4. 辦理各項競賽獎勵活動，引導更多師生投入有關重點領域的研究與教學。

(二) 提升領域內師生之國際競爭力

1. 辦理各類國際交流活動。
2. 選派種子師資赴國外短期進修，並回國開授短期研習課程。
3. 鼓勵教師出版相關英文教科書。
4. 鼓勵教師擔任主流國際會議的關鍵角色。

(三) 培育具備跨領域整合能力之人才

1. 積極推廣超大型積體電路與系統設計教育改進計畫規劃發展之「高科技專利取得與攻防」課程。
2. 持續辦理「晶片系統商管學程」計畫，推廣相關課程教材。
3. 研擬規劃晶片系統創業、技術與計畫管理等課程，培育具備高階整合能力之人才。
4. 配合晶片系統國家型計畫「異質整合技術」分項工作之推動，研擬規劃相關跨領域整合課程及學程。

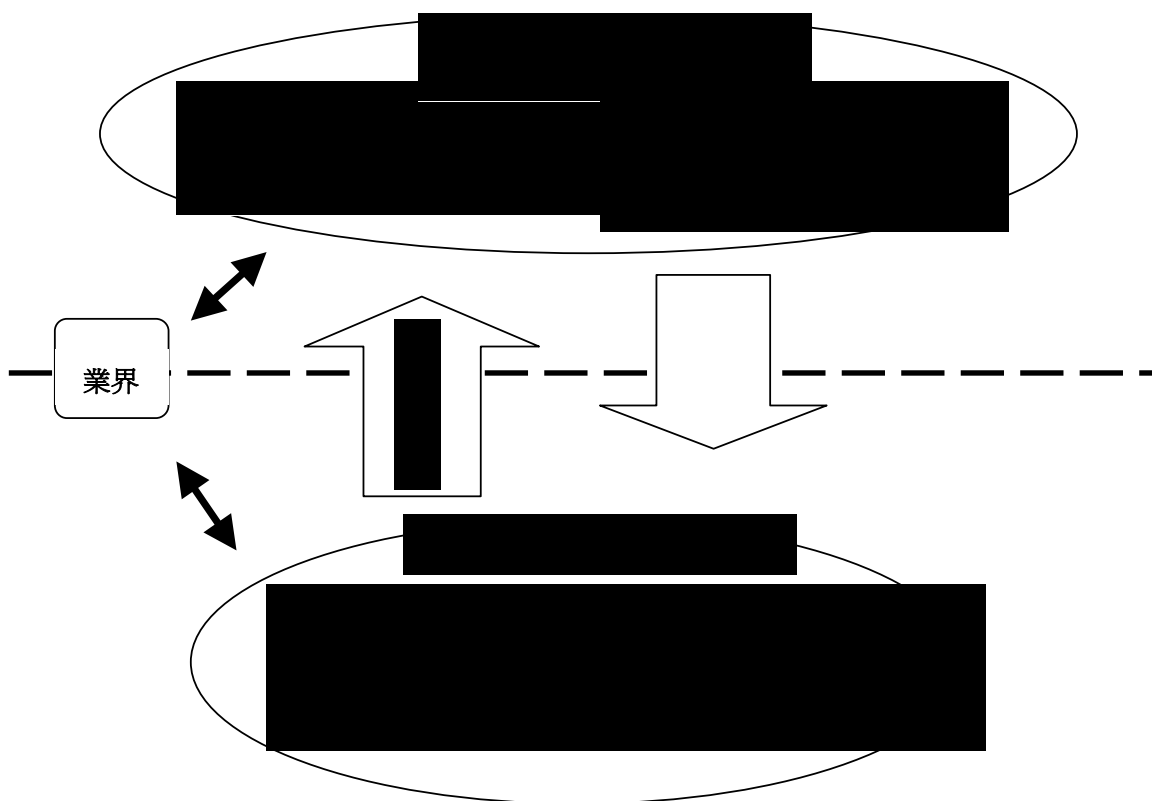
二、計畫範疇

聯盟名稱	簡寫	涵蓋範圍
System on a Chip 晶片系統總聯盟	SOC	Progrm Office : Exploratory Courses (e.g., in Conjunction), Integrated Programs, International Academic Activities
		ATP : Textbook Publication, Course Database System, Course Promotion
Design Automation and Testing 電子設計自動化與測試	DAT	Design Methodology, CAD Tools, Testing, Verification & Simulation
Embedded Software 嵌入式系統軟體	ESW	Embedded real-time system and verification, firmware, etc
Mixed Signal & RF 混合訊號與射頻積體電路	MSR	RF, Analog, A/D, D/A, PLL, Filter, etc
Prototyping, Application and Layout 積體電路佈局與雛型系統設計	PAL	Floor Planning, APR, Layout Editing, Layout Verification, FPGA Design & Application, ATE Programming
System Level Design 系統層級設計	SLD	DSP, Micro Processor, Hardware Accelerator, I/O, Memory, IP Creation, Embedded System, Hardware/Software Co-design, On-chip Bus, System Integration, IP Reuse, etc

表一、教育部前瞻晶片系統設計先導型人才培育計畫重點領域聯盟涵蓋範疇

三、計畫實施策略

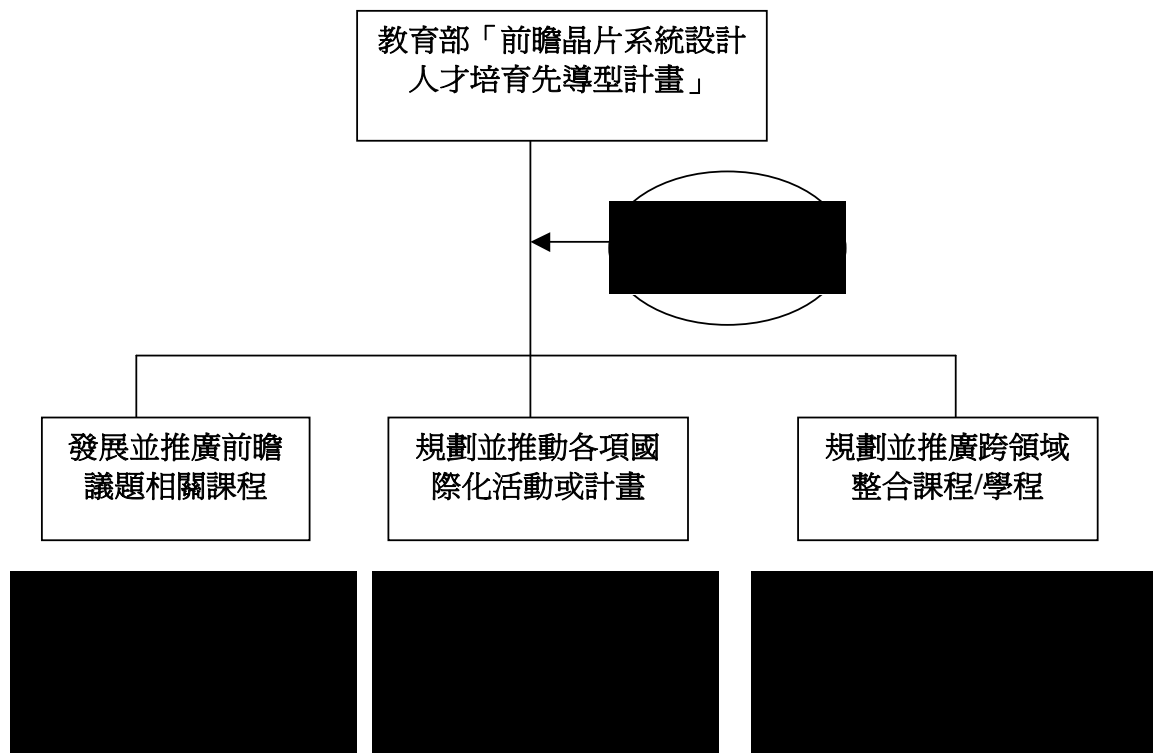
本計畫的推動仍將延續以跨校教學聯盟為核心的策略來實施。這個策略的核心精神以圖一表示，就是將整體執行方向導入合乎發展趨勢及產業需求，並配合各大專校院教學發展所需，由教育部及各聯盟計畫推動辦公室統籌規劃，並邀集各校相關優秀師資，以最精簡的跨校人力合作規劃發展相關課程、辦理具引導啟發性之計畫或活動，並將其成果推廣至各校，使各大專校院得充分共享聯盟開發或彙集出來之教學資源，加速學校相關教學環境品質的提昇。



圖一、教育部前瞻晶片系統設計人才培育先導型計畫實施策略

四、計畫內容架構

依據本計畫推動的目標，本計畫包括發展並推廣前瞻議題相關課程、規劃並推動各項國際化活動或計畫、規劃並推廣跨領域整合課/學程等三大部分。計畫整體架構如圖二所示。



圖二、教育部前瞻晶片系統設計人才培育先導型計畫架構

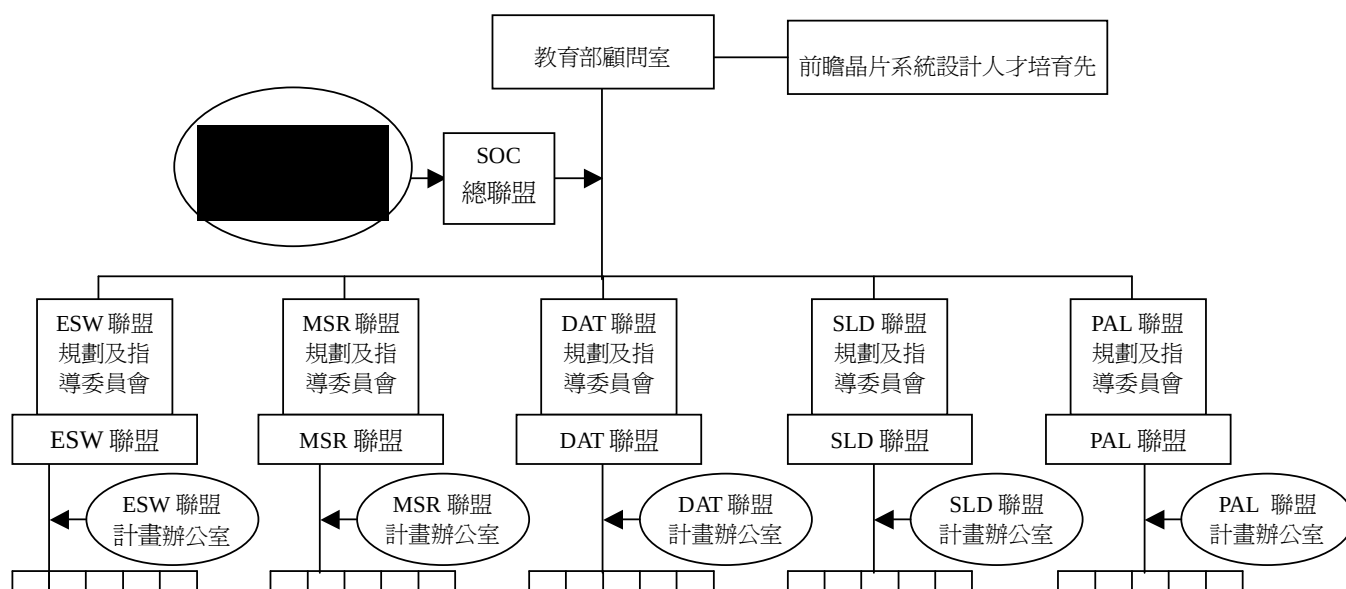
五、計畫推動組織架構

依據上述實施策略，本計畫係以各重點領域聯盟為推動的引擎。聯盟計畫辦公室根據本計畫推動方針、指導委員會的建議、及領域內相關教師的建議，規劃各項推動計畫或活動，每項推動工作則由聯盟計畫辦公室邀集跨校師資負責執行。各聯盟的組織架構大致相同，都是由上而下，整合跨校師資凝聚共識並分工合作，共同推動聯盟計畫。計畫整體推動組織架構如圖三所示。

六、主要工作項目

本計畫的推動係以聯盟為推動引擎，透過課程推廣計畫及各項活動的辦理進而帶動全國各公私立大學校院相關系所教師及學生的參與。配合晶片系統國家型科技計畫第二期的推動，本計畫為期 5 年，由教育部、聯盟計畫辦公室及其夥伴學校、以及全國各公私立大學校院相關師生共同分工執行。教育部透過 SoC 總聯盟及計畫諮詢委員會的協助，主要推動的工作包括，計畫總體的推動規劃、整體計畫及各聯盟計畫執行成效的評估考核、課程推廣計畫的推動、國際化相關活

動及計畫推動、跨領域整合課/學程的規劃與推廣、相關競賽活動的辦理等六項；聯盟計畫辦公室透過其夥伴學校的分工合作，負責聯盟計畫的推動規劃、各重點領域相關前瞻課程規劃、教材發展與推廣，並就其各項推動工作的執行成效進行考核評估；而全國各公私立大學校院則負責各校前瞻課程的開授與實驗室的建置、積極鼓勵系所師生參與聯盟辦理的各項活動、部份學校並需配合聯盟跨領域整合課/學程的推動，實際開授相關課/學程。詳細工作項目詳如圖四所列。



圖三、教育部前瞻晶片系統設計人才培育先導型計畫推動組織架構圖

參、計畫經費與人力執行情形

一、計畫經費執行情形：

(一)計畫經費(仟元)

會計科目 \ 項目		預算數(執行數)			備註	
		主管機關預算 (委託、補助)	自籌款	合計		
				金額(元)		占總經費%
一、經常支出		88,000 (80,536)		88,000 (80,536)	44% (41%)	
1.人事費		30,000 (28,917)		30,000 (28,917)	15% (15%)	
2.業務費		58,000 (51,619)		58,000 (51,619)	29% (26%)	
3.差旅費						
4.管理費		0 (0)		0 (0)		
5.營業稅		0 (0)		0 (0)		
小計		88,000 (80,536)		88,000 (80,536)	44% (41%)	
二、資本支出		110,000 (117,459)		110,000 (117,459)	56% (59%)	
小計		110,000 (117,459)		110,000 (117,459)	56% (59%)	
合計	金額	198,000 (197,995)		198,000 (197,995)		
	占總經費%	100% (100%)		100% (100%)		

與原計畫規劃差異說明：

資本支出流入 3%，經常支出流出 3%，應屬計畫執行之正常狀況，與原規劃無重大差異。

(二)計畫人力

工作項目	兼任人力(人月數)			專任人力(人月數)	
	助理	主持教師	小計	由兼任人力換算	專任助理
96SOC 學程計畫	1,902	888	2,790	1,046	0
晶片系統商管學程計畫	674	108	782	293	0
"高科技專利攻防與取得"課程推廣	312	372	684	257	0
IC 設計/CAD 軟體製作/SIP 設計/ESW 軟體製作競賽辦理	99	48	147	55	0
高速 PCB 委託 Layout 設計及製作服務等其他配套計畫	64	48	112	42	12
前瞻課程教材規劃編撰	576	348	924	347	0
聯盟教材資料庫維護--建置非同步教學教材部分	577	336	913	342	0
各聯盟計畫行政管考	0	84	84	32	108
計畫推動成效調查分析計畫	0	12	12	5	12
小計	4,204	2,244	6,448	2,419	132
合計				2,551	

與原計畫規劃差異說明：無。

肆、計畫已獲得之主要成就與量化成果(output)

表一 科技計畫之績效指標(請依計畫性質勾選項目，色塊區為必填)

計畫類別 績效指標	1 學術研究	2 創新前瞻	3 技術發展(開發)	4 系統發展(開發)	5 政策、法規、制度、規範、系統之規劃(制訂)	6 研發環境建構(改善)	7 人才培育(訓練)	8 研究計畫管理	9 研究調查	99 其他
A 論文										
B 研究團隊養成						✓				
C 博碩士培育							✓			
D 研究報告										
E 辦理學術活動						✓				
F 形成教材						✓				
G 專利										
H 技術報告										
I 技術活動										
J 技術移轉										
S 技術服務										
K 規範/標準制訂										
L 促成廠商或產業團體投資										
M 創新產業或模式建立										
N 協助提升我國產業全球地位或產業競爭力										
O 共通/檢測技術服務										
T 促成與學界或產業團體合作研究										
U 促成智財權資金融通										
V 提高能源利用率										
W 提升公共服務										
X 提高人民或業者收入										
P 創業育成										
Q 資訊服務										
R 增加就業										
Y 資料庫						✓				
Z 調查成果										
AA 決策依據										

表二 請依上表勾選合適計畫評估之項目填寫初級產出、效益及重大突破

績效指標			初級產出量化值	效益說明	重大突破
	A 論文	國內	無		
		國外	無		
	B 研究團隊養成		成立 7 跨校合作團隊	形成 7 個跨校聯盟中心，整合跨校師資，蓄積了許多跨校的教學能量，奠定本計畫推動的基礎。	
	C 博碩士培育		培養博碩士人才共約 2,966 人		
	D 研究報告		無		
	E 辦理學術活動		邀請國外講員來台演講、辦理國際性會議、國內產學座談、研討、論壇等學術活動共 91 場次，共有 6,013 參與人次。	辦理 4 場國際性會議，共有 796 參與人次。	
	F 形成教材		新增 6 門前瞻課程教材發展，累計有 56 門課程教材	共有 1,451 教師人次完成教材的下載	
	其他		無		
	G 專利	國內	無		
		國外	無		
	H 技術報告		無		
	I 技術活動		無		
	J 技術移轉	可移轉技術（件數）	無		
		先期技轉（項數、家數）	無		
	S 技術服務		無		
	L 促成廠商或產業團體投資		無		
	M 創新產業或模式建立		無		
	N 協助提升我國產業全球地位或產業競爭力		無		
	O 共通/檢測技術服務		無		
	T 促成與學界或產業團體合作研究		無		
	P 創業育成		無		
	Q 資訊服務		無		
	R 增加就業		無		
	K 規範/標準制訂		無		
	Y 資料庫		建立 SOC 聯盟教材資料庫，累計收錄有 96 個(包括 73 模組)教材（資料庫網址： http://vlsicdb.cs.nthu.edu.tw/main_all.htm ）	新增註冊使用者 149 人，累計有 505 位教師註冊；96 年有 1,451 人次完成教材下載，累計(93 至 95 年)共有 3,140 人次完成相關課程教材下載。	

伍、 評估主要成就及成果之價值與貢獻度

本計畫透過聯盟推動機制，從教學資源整合、教學環境的建置、推廣活動及計畫的推動、到國際化活動及計畫的推展，目的就是要達到本計畫的三大目標－培養領域內師生於 SoC 設計專業領域所需之前瞻技術能力、提升領域內師生之國際競爭力、及培育具備跨領域整合能力的人才。

以下就三大目標之貢獻分別詳述。在培養領域內師生於 SoC 設計專業領域所需之前瞻技術能力方面，各重點領域聯盟持續隨著相關技術發展潮流，已規劃發展更多前瞻性議題相關的課程與教材。因此，本計畫之執行產出更多前瞻課程及教材，如奈米製程電路設計，考量製程變異之設計工具(DFM)，異質整合課程等等。這些課程再透過各項推廣活動及計畫，以及各聯盟計畫辦公室有效地考評，目前已迅速地在全國各大學校院相關系所擴散生根，進而培育出具備前瞻技術能力的人才。這些人才未來將投入相關產業，帶領本國 IC 產業的再度躍升。

在提升領域內師生之國際競爭力方面，透過聯盟積極、有規劃地推動各項國際化活動及計畫，領域內師生將會有更多機會接觸體驗國外的相關社群，進而能佈局國際，建立暢通的國際網絡。另一方面，鼓勵教師與國際知名出版社合作出版英文教科書、擔任主流國際會議的關鍵角色等相關措施的推動，國際相關社群將會對我國相關學術界有更深的認識與肯定。目前已有三本英文教科書已出版，另有兩本即將出版。而在國際主流學術社團中已擔任如副會長等職位，另亦有多名教授擔任國際頂尖會議之核心成員。本計畫之執行業已提升我國學術界在國際 SoC 領域的地位與能見度，奠定我國半導體產業屹立於全球相關產業旗艦地位的基礎。

最後，透過跨領域整合課/學程的規劃及其教材的開發與推廣，本計畫已逐漸培養領域內師生投入相關產業所需之跨領域整合的知識。進而協助國內產業界在創新、設計、需求等面向深入產品開發，創建新的商業模式甚至產業。

陸、與相關計畫之配合

本計畫主要在推動正規教育相關人才的培育，與經濟部工業局晶片系統產業人才培訓計畫針對待業及在職人員相關培訓相互配合，構成整體的培育(訓)流程。

另外，在晶片系統國家型科技計畫人才培育組培育量增質優之人才的推動目標下，國家矽導計畫「擴增矽導相關研究所招生名額」，逐年增加晶片系統設計人才培育的量，而本計畫則提供相關教師各項教學、學術交流等相關發展的資源與協助，致力於人才質的提昇，兩計畫組成一個能培育量增質優人才的整體推動方案。

最後，另一個本計畫推動成效具十分重要影響者，就是晶片系統設計中心所推動的相關工作，如提供各校以較低價格採購相關設計軟體、寒暑假對學生開授實作課程，以及協助相關競賽驗證評審作業等工作，確實大大的提昇了本計畫推動效率及成果。

柒、後續工作構想之重點

本計畫未來推動重點，仍持續依據其中程綱要計畫之規劃，將朝異質整合、嵌入式軟體等技術加強相關人才的培育。

在異質整合的課題上，由於是跨電子、資訊、控制、微機電等及相關應用領域的整合，相關師資培養不易，十分缺乏。考量其應用領域廣泛，初期將以生醫晶片設計為重點，一方面在課程教材的發展上，將透過聯盟跨校團隊共同開發，以建立聯盟相關教學的能量，為未來推廣奠基；另一方面，將透過相關研習課程的辦理，提供全國相關師生接觸該議題的機會，以吸引更多的師生投入相關的研究與教學。對於其他應用領域異質整合的相關議題，則規劃透過小型創意競賽的活動模式，誘發相關師生對異質整合的討論，以為未來可行的發展方向提供其發展的契機。

另外，從異質整合課程發展的推動過程中，同時也將培養相關師資「系統規格制定」的能力，再依據這些自行制定的規格，透過專題製作或競賽活動，培養領域師生系統及雛型平台開發製作的能力，進而引領學校朝培養學生系統設計能力的方向邁進，以為我國SoC產業國際競爭力的提昇奠基。

有關嵌入式軟體的課題上，除了持續現行課程推廣外，未來將配合晶片系統國家型計畫的推動，透過聯盟課程發展團隊，開發以國內自行研發出來的平台為基礎的實習教材，並於適當的時機，透過課/學程推廣計畫，推廣至全國相關大學校院。

捌、檢討與展望

本計畫主要執行人力為各大學院校之教授學生及 9 位專任助理，另外在每項活動亦須動員本計畫核心人員外之支援人力，整個規模非常龐大。計畫經費約僅有 5.2% 用於聯盟行政管理，經費之使用效率極高。本計畫之產出除了多項重點課程教材之開發與推廣，對於相關學術活動如國際研討會，全國性學生競賽，國際學生交流，種子教師培訓，跨領域新課程師資培訓等等莫不帶給全國 SoC 領域相關師生，甚至產業界研發人員吸取新知，深化技術之機會與效果。

對於提升領域內師生之國際競爭力相關推動，因在行政層面限制較為繁複、誘因少，加上參與教師需要投入的時間與精力十分龐大，推動上稍顯薄弱。未來推動宜積極協調，降低行政藩籬，以提供投入相關推動的教師一個可專心推動核心工作的行政環境，進而提昇領域教師參與的意願。

綜而觀之，本計畫推動績效優良，未來，宜持續配合晶片系統國家型科技計畫辦公室之規劃，爭取更多專家學者之參與，持續精進優質之 SoC 人才的培育。

填表人：藍曼琪 聯絡電話：02-77365995 傳真電話：02-23976949

附件五

竹科管理局成果效益事實報告

96 年政府科技計畫成果效益報告

壹、基本資料：

計畫名稱：前瞻 SOC 產品設計服務技術研發計畫(SIPP)

主 持 人：黃得瑞局長

審議編號：96190203 庚

計畫期間(全程)：： 95 年 1 月至 97 年 12 月

年度經費：143,920 千元 全程經費規劃：1,935,573.5 千元

執行單位：科學工業園區管理局

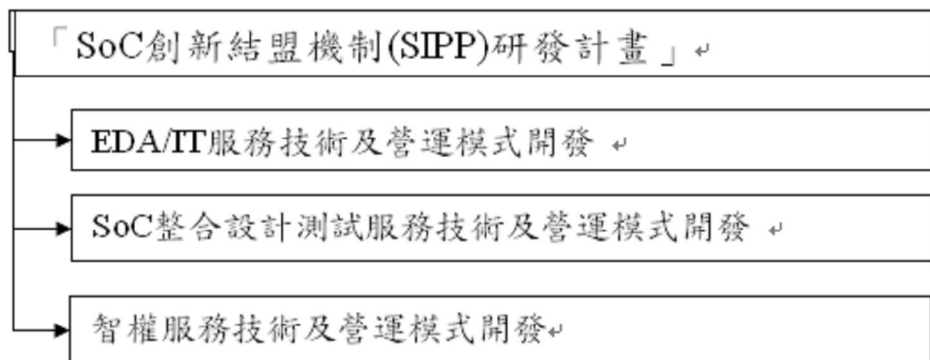
貳、計畫目的、計畫架構與主要內容

一、計畫目的：

以半導體製造之所在地竹科推動矽導計畫，在於穩固我國半導體製造、推動晶圓製造與 SoC 設計者緊密結合之高附加價值服務，以促進 IC 及 IT 產業之整體發展。因此，在區內成立專區推動，創造典範，具有指標作用。未來配合(南港、渴望、及美西)之建置結合矽導竹科研發中心新開發之製造與設計整合性高附加價值服務，共同提供協力服務據點，與矽導竹科研發中心構築完成「國家 SOC 整體服務基盤(National SOC Infrastructure)」

二、計畫架構(含樹狀圖)：

本期計畫在專業委託部分，主要目標以建立 SIPP 創新營運模式及服務技術為主，規劃分為三個分項進行，計畫架構如下：



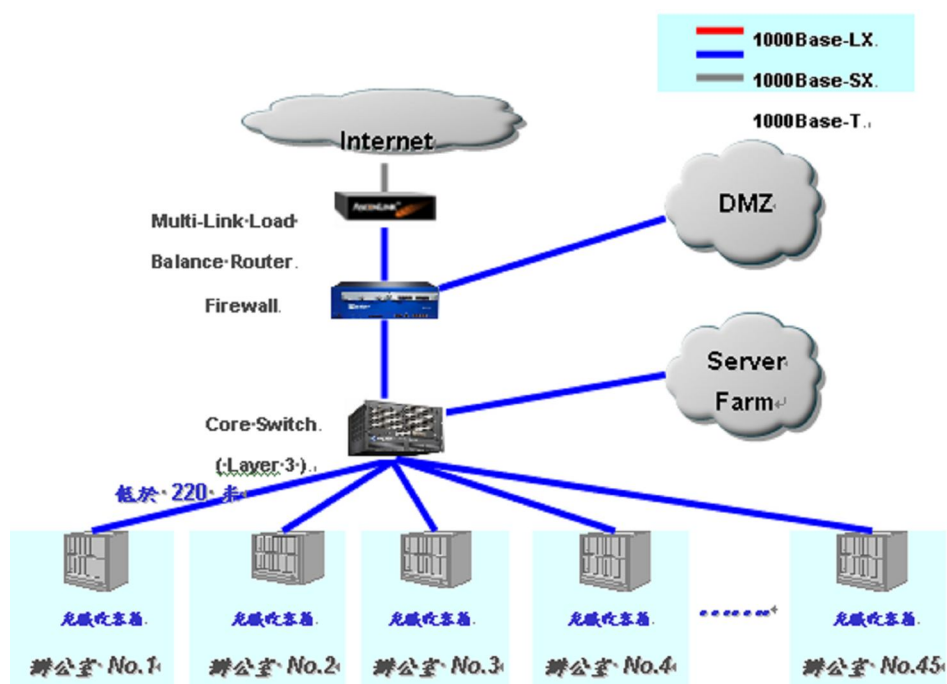
三、計畫主要內容

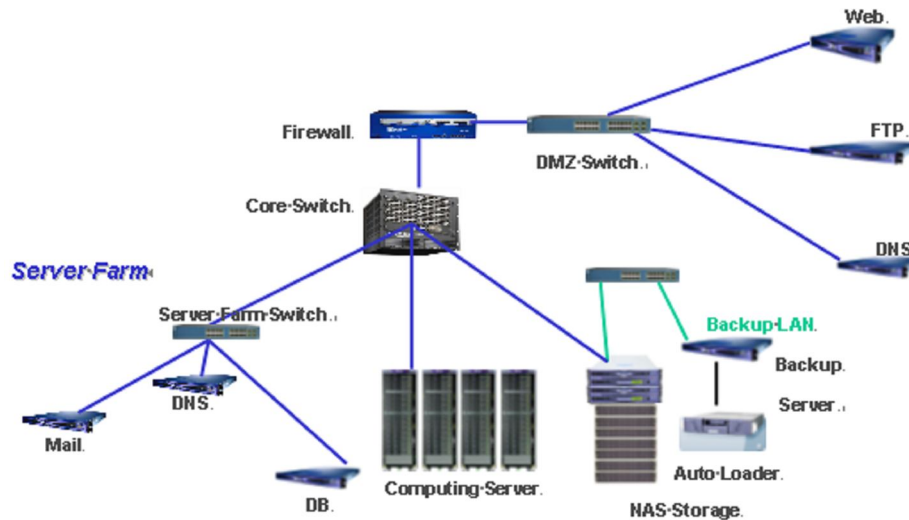
EDA/IT 服務技術及營運模式開發

本分項計畫將結合國內外優秀廠商發展適合「SoC 創新產品」的設計平台，同時發展 EDA 與 IT 營運模式與服務技術。本分項預期達成之主要工作項目為：

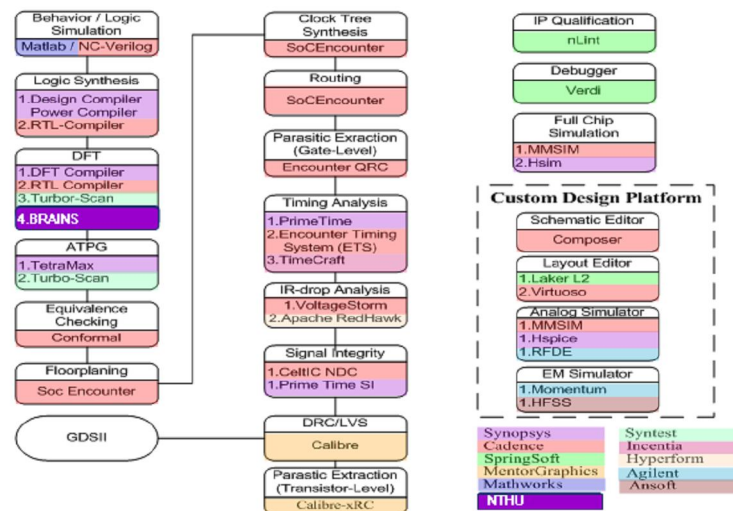
- (1).建立 EDA 與 IT 商務標準流程與營運模式
- (2).建立 EDA 與 IT 服務技術
- (3).完成服務商務 30 件

第一期計畫建置完成的 IT 架構如下圖所示。本計畫同時於第一期已發展出一套適合業界使用的設計流程(Design Flow)，如圖所示。未來將以此設計流程為基礎，發展出應用於不同創新 SoC 產品開發所使用的設計流程。





細部網路架構



初步建置之 Design Flow

SoC 整合設計測試服務技術及營運模式開發

本分項計畫目的在鼓勵台灣製造業者將製造資料合併於設計平台中，建立高附加價值之 SoC 整合設計測試服務。亦協助台灣爭取首創設計測試平台服務產業。本分項主要研發內容包括：

1. 選定特定前瞻 SoC 產品(應有市場潛力)合併製造資料(Foundry、Package、Testing... etc.) 及之設計資料(EDA, IP, Application

Software... etc.) 中，建立 Turn Key 設計測試服務平台。

2. 積極推動 SoC 設計測試平台與 EDA 環境建構，建構 SoC 設計流程的 Turn Key 解決方案，並與國內半導體製造商緊密配合，加速奈米半導體的前進，以確保生產技術與設計能力領先的地位，並厚植我國在 EDA 領域的實力。
3. 培育設計驗證技術，使客戶能實地試用操作與驗證其設計。
4. 結合國內外優秀廠商發展適合「SoC 創新產品」的設計測試平台，合作開發
 - (1).提供 Tool, License,協助軟硬體設備廠商提供設計廠商安裝服務。
 - (2).配合 Design House 需求，建立 Turn Key 設計測試服務平台。
 - (3).以 Design House 完成之商品 (前瞻 SoC)，作為結案目標。

智權服務技術及營運模式開發

智財匯集服務產業技術開發目的在集中有效管理，同時必須建立完整適用於應用產品設計之智產資料庫。IP Mall 係在共同技術平台下為全球晶片系統設計者建立一致化的設計環境，方便晶片系統設計者選用矽智財與使用過程中的整合，同時彙總各種技術產品資訊，全球同步發行，積極推廣服務。本分項主要研發內容包括：

1. 整合學研單位產出之前瞻智財，積極建構矽智財資料庫，搭配前瞻創新產品的設計，建立台灣核心智財資料庫。並配合 SoC 設計平台，建構堆積木式的 SoC 設計服務技術，除縮短設計時程外，並提升產品的獲利率與競爭力。
2. 完成智財庫開發中心規劃，建立完整智財庫定義、智財開發及驗證、智財匯集管理技術。
3. 完成智財庫交換商務標準流程。
4. 完成產品導向系統晶片智財匯集機制建置。
5. 完成智財服務標準流程。
6. 以智財服務流程完成示範設計（交付示範計劃）。

招商

1. 積極研擬招商策略，推展『矽導竹研發中心』成為示範場所，為全球首座 SoC 設計服務示範特區。
2. 在「矽導竹研發中心」設立管理辦公室，建立單一窗口服務機制，成為廠商溝通協調事宜的平台。
3. 針對目前先進技術（通訊、多媒體、無線網路）引進 IC/IP 設計公司 20-30 家進駐。

環境機能建置

1. 建立 SoC 設計師電腦訓練教室，每年培育 100-200 位研發設計人才或舉辦先進 EDA 研討會。
2. 建立視訊會議系統，便於廠商連繫國際業務，節省差旅時間。
3. 管理辦公室將統籌「矽導竹研發中心」服務台、安全警衛、環境空間改善等業務。

參、計畫經費與人力執行情形

(一)計畫經費

會計科目	項目	預算數(執行數)			備註
		主管機關預算 (委託、補助)	自籌款	合計	
				金額(元) 占總經費%	
一、經常支出		119,600			
1.人事費					
2.業務費					
3.差旅費					
4.管理費					
5.營業稅					
小計					
二、資本支出					
小計					
合 金額		119,600			

計	占總經費%					
---	-------	--	--	--	--	--

請將預算數及執行數並列，以括弧表示執行數

與原計畫規劃差異說明：

本計畫第二年計畫（95 年經費）原預計於（96.03.01-97.02.28）執行，因分項計畫與執行單位協商，科管局報科發基金修正計畫，招商及環境機能建置由科管局執行，其餘專業技術部分繼續由交通大學執行，執行期限（96.10.15-97.10.14），委託金額新台幣 1 億元，因此，96 年經費尚未使用。

(二)計畫人力

姓名	計畫職稱	投入人月數及 工作重點	學、經歷及專長	
溫瓊岸	計畫主持人	SoC 創新結盟 機制(SIPP)研發 計畫	學 歷	國立成功大學博士
			經 歷	國立交通大學電機學院副院長
			專 長	超大型積體電路設計/通訊系統/計算機輔助設計/編碼理論
黃威	計畫主持人	SoC 創新結盟 機制(SIPP)研發 計畫	學 歷	加拿大曼尼托巴大學博士
			經 歷	國立交通大學副校長
			專 長	晶片系統與積體電路設計/計算機結構與訊號處理器/半導體元件物理與技術
李鎮宜	計畫主持人	SoC 創新結盟 機制(SIPP)研發 計畫	學 歷	比利時魯汶大學博士
			經 歷	國立交通大學教授
			專 長	電子工程
黃經堯	協同主持人	SoC 創新結盟 機制(SIPP)研發 計畫	學 歷	Rutgers University 大學博士
			經 歷	國立交通大學助理教授
			專 長	無線通訊 IC 設計
謝漢萍	協同主持人	SoC 創新結盟 機制(SIPP)研發 計畫	學 歷	Carnegie Mellon Univ 大學博士
			經 歷	國立交通大學電機學院院長
			專 長	顯示光學、系統、感測器網路
范龍生	協同主持人	SoC 創新結盟 機制(SIPP)研發 計畫	學 歷	美國加州大學柏克萊分校博士
			經 歷	國立清華大學微機電系統工程研究所教授兼所長
			專 長	微系統技術

與原計畫規劃差異說明：

本計畫第一期計畫主持人張瑞川教授退休，自 95 年 12 月起由溫瓊岸教授等擔任計畫主持人及協同主持人，預計 EDA/IT 服務技術及營運模式開發、SoC 整合設計測試服務技術及營運模式開發、智權服務技術及營運模式開發等分項將增加研究人員 25 人。

肆、計畫已獲得之主要成就與量化成果(output)

具體績效指標	量化指標	完成事項
一、EDA/IT 服務技術及營運模式開發		--
1.完成四項合併製造資料之設計平台	四項前瞻 SoC 設計平台展示	完成如下工作： 1.系統單晶片效能與功率評估平台 2.矽智財驗證平台 3.矽智財流通暨 reuse 技術平台 4.ESL based design and verification platform for WIMAX
2.軟硬體設備安裝服務	四項前瞻 SoC 設計平台安裝	1.完成竹科研發中心網路及 Server 與 Storage 等建置。 2.完成雙向寬頻光纖網路。
3.建構 SoC 設計流程 Turn Key 方案	四項 Turn Key 解決方案展示	完成建構從Front-end到Back-end的數位與類比設計流程
4.培育設計驗證技術	四項 Turn Key 解決方案驗證	1.完成 Synopsys 、 Incentia 、 Aglient 、 Mathworks 、 Sprintsoft 、 Cadence 設計軟體工具建置。 2 完成 SoC 產品開發展示。
5.發展「SoC 創新產品」設計平台	前瞻 SoC 創新產品規格訂定	1.規劃開發以多媒體與通訊產品為主的設計平台 2.規劃開發 BenQ SoC 創新產品開發時程
二、SoC 整合設計測試服務技術及營運模式開發		--

1.建立台灣核心智財資料庫	建立 600 項智財資料庫	1.完成商務網站程式開發與功能測試。 2.完成後端管理平台 3.完成四校 IP 資料收集，並建置 117 筆資料輸入於 IP 平台上。
2.完成智財匯集管理技術	完成智財匯集管理技術	
3.完成智財庫交換商務標準流程	完成智財商務 SOP 流程	
4.完成產品導向智財匯集機制	完成產品導向智財匯集機制	1.分析國內外智財服務內容 2.整理國內外智財服務項目 3.進行規劃智財交易之相關規格。
5.完成智財服務標準流程	完成五項交易。	與交大智權組擬定 IP 交易合約草案
三、智權服務技術及營運模式開發		--
	1.建立 600 項智財資料庫 2.完成智財匯集管理技術 3.完成產品導向智財匯集機制	1.完成智財庫開發中心規劃，建立完整智財庫定義、智財開發及驗證、智財匯集管理技術 2. 完成智財庫開發中心規劃，建立完整智財庫定義、智財開發及驗證、智財匯集管理技術
四、招商		--
	引進 IC/IP 設計公司 20-30 家進駐	招商引進 IC 設計及相關公司進駐，廠家數達 14 家，進駐率已達 50% 以上（含交大育成中心、IMEC）。
五、環境機能建置		完成 SoC 設計訓練教室及視訊會議室。
		完成單一窗口設立

伍、評估主要成就及成果之價值與貢獻度

一、技術創新(科技整合創新)

1. 完成與全世界知名的電子設計自動化(EDA)軟體業者如 Synopsys、Cadence、Agilent 和國內電子設計自動化軟體業者如 Incentia 與 SpringSoft 等合作，降低 EDA 設計工具之使用成本，建立台灣自有的設計平台，提

供國內新興設計公司使用。

2. 完成矽導竹研發中心全廠網路佈線與網路機房建置，使進駐於矽導竹研發中心之廠商能以高品質的網路設備為基礎，進行產品開發。
3. 完成建置以台、清、交與成四所大學研發之矽智財為主的商業矽智財網站，並將矽智財建置在開發的矽智財交易網站上，並實際完成矽智財線上交易。
4. 本計畫於嵌入式軟體開發上進行二進制轉譯(Binary Translation)技術的研究，希望借助靜態及動態的二進制轉譯，將大量現存的嵌入式應用軟體(ARM 或是 MIPS based)轉移到台灣心計畫(Andes Technology)為主的硬體平台，以推廣台灣心計畫之成果，並降低設計廠商之成本。

二、經濟效益(產業經濟發展)

本計畫於矽導竹研發中心服務專區，研發前瞻 SoC 設計平台、矽智財交易平台、嵌入式軟體等計畫，並建構以台灣半導體製造產業為主的晶片生產製造流程，以培植台灣新興設計公司的角度，提供開發 SoC 所需之相關軟硬體服務，以降低台灣新興設計公司開發 SoC 之成本，縮短開發時程，使產品能快速推廣到市場。計畫完成後可以建立自有的設計平台，植入本國製造資料庫並完成試製驗證，矽智財皆以台灣設計平台設計，並於本國晶圓代工公司試製驗證及量產，提供全世界終端系統產品公司組裝成客戶所需產品行銷全球。期待台灣的設計平台，即是全球的設計平台；台灣的矽智財即是全球共用的矽智財，而台灣的晶圓代工則是全球 IC 的製造中心。

三、社會影響(民生社會發展)

本計畫以培植台灣新興設計公司為主要目標，提供設計 SoC 產品所需之軟硬體服務，期望本計畫可協助國內具創意之工程師或設計團隊，在研發產品初期能提供具競爭力價格之先進設計工具與開發 SoC 產品之服務，提升台灣半導體之整體設計能力。

陸、與相關計畫之配合

本計畫係在晶片系統國家型科技計畫項下，旨在推動設計平台及虛擬垂直整合 SoC 設計環境建置，計畫應用範圍與奈米國家計畫及電信國家計畫密切相關。

柒、後續工作構想之重點

1. 本計畫將召集進駐新興設計公司討論如何有效分配使用設計平台之 EDA 設計工具後，進一步分析那些 EDA 設計工具為設計公司主要使用之工具，以做為後續與國內外知名 EDA 設計工具廠商採購之依據。同時也將進一步了解新興設計公司於設計平台所需之服務，以做為後續之設計平台發展方向。
2. 增加矽智財商業網站之矽智財筆數，以建置以台灣矽智財為基礎的商業網站，並提升交易筆數。
3. 協助台灣系統廠商自行開發 SoC 系統產品之能力與經驗。

捌、檢討與展望

本計畫第二年前瞻 SoC 設計服務研發計畫依分項計畫屬性，專業部分由委外單位（交通大學）自 96.10.15 日開始執行至 97.10.14 止，預計達成下列各項工作：

1. 完成以 SMILE(Sensor, Memory, Intelligence Integration for Life Enhancement)SoC 為主的開發平台
2. 完成SoC prototype.
3. 完成IP交易平台
4. 完成EDA License客製化服務

本計畫招商及環境機能建置由科管局自行辦理，目前已成立單一窗口服務辦公室，並完成 SoC 設計訓練教室及視訊會議室，矽導竹科研發中心已逐漸顯現產學研創新研發群聚效益，進駐單位可快速作技術交流，加以政府投入經費建置 SoC 研發環境，可加速創新產品上市時間，帶動園區 SoC 設計產業發展。

填表人：傅忠民 聯絡電話：03-5773311*2133 傳真電話：03-5788030

附件六

工研院系統晶片中心成果效益事實報告

96 年政府科技計畫成果效益報告

壹、基本資料：

計畫名稱：嵌入式軟體技術計畫

主 持 人：曾紹崙副組長

審議編號：NSC96-3113-P-076-001-Y

計畫期間(全程)：96 年 9 月 1 日至 97 年 8 月 31 日

年度經費：250,000 千元 全程經費規劃：250,000 千元

執行單位：工業技術研究院系統晶片科技中心

貳、計畫目的、計畫架構與主要內容

本計畫由 96 年科發基金核定，自 96 年 9 月 1 日起開始執行 1 年，故目前僅提供至期中報告，至 97 年 8 月 31 日止完成期末報告。

● 計畫執行進度中文摘要

本計畫是在 PAC SoC 硬體平台上建置作業系統與中介軟體。已成功在 PAC SoC 平台上建置 Linux 核心及其一些驅動程式，正持續移植或改寫剩餘驅動程式。

在中介軟體部份，已完成影音串流通訊模組與嵌入式多媒體播放器的製作，並且媒體播放器已經可以使用 PACDSP H.264 解碼器來播放影像。

另外本計畫使用 H.264 解碼器測試 PAC SoC 平台的可調式電壓與頻率功能，初步數據可節能 51%。

● 計畫執行進度英文摘要

The BSP (Board support package, include Linux kernel and device drivers) has been completely developed. The total working items are completed about the 45~55%. Some items are completely developed. The rest of items are smoothly in progress.

Based on the completed items, the player is able to play video on LCD display by using PAC DSP H.264 decoder.

參、計畫經費

科	目	預 算	實 支 數
---	---	-----	-------

人 事 費	12,072	2,078
旅 運 費	370	0
材 料 費	1,295	160
維 護 費	20	2
業 務 費	9,243	3,544
設 備 使 用 費	0	14
管 理 費	2,000	243
其 他	0	0
經 常 支 出 小 計	25,000	6,041
土 地 及 改 良 物	0	0
房 屋 及 建 築	0	0
機 器 儀 器 設 備	0	0
資 訊 設 備	0	0
交 通 及 運 輸 設 備	0	0
雜 項 設 備	0	0
其 他 權 利	0	0
資 本 支 出 小 計	0	0
合 計	25,000	6,041

與原計畫規劃差異說明：

本計畫執行進度及經費總支數符合原規劃。經費動支數部分，下半年度尚有學界委託案以及資策會委託案等期末款項尚需支付，以及 PAC DSP 嵌入式軟體技術計畫之材料及線材等費用。經費動支依計畫執行之研發進度規劃陸續動支中。

肆、計畫已獲得之主要成就與量化成果(output)

(一) 截至 97 年 2 月止之重要執行成果如下：(文字說明)

本計畫分三個分項進行，各分項的執行成果如下：

分項一：異質多核心操作系統技術開發

- 在 PAC SoC 平台上，完成以 Bootloader 建置 Linux 操作系統核心，並加入以下驅動程式，使應用軟體得以架構在此操作系統上進行技術發展。
 - ALSA/I2S 驅動程式，音訊輸出與輸入用。
 - Frame Buffer 驅動程式，顯示視訊用。
 - Ethernet 驅動程式，網路用。
 - SD/MMC 驅動程式，MMC 卡用。
 - USB 驅動程式，網路卡、Memory 卡用。

分項二：Middleware for Multi-DSP 技術開發

本分項旨在開發影音串流通訊模組與嵌入式多媒體播放器的製作。

- 影音串流通訊模組方面，定義如下圖 1-1 之 RTP/RTCP 架構，目前已完成所有模組的撰寫與編譯。
- 在嵌入式多媒體播放器方面，此部份是依公開原始碼 VLC 針對 Multi-DSP 架構進行修改。目前已成功移植完成，並且與 96 年度無線多媒體系統晶片關鍵技術發展科專計畫－PAC II DSP Kernel Software 所開發之 PACDSP H.264 解碼器整合，以播放影像。

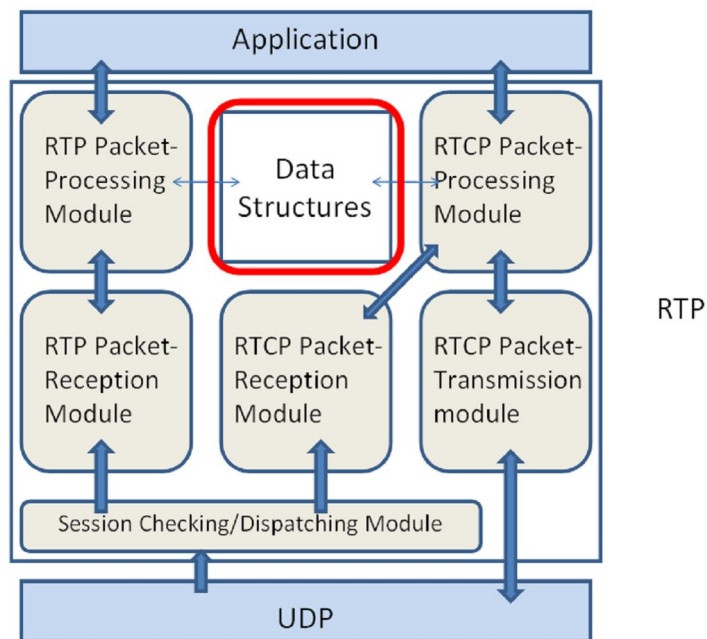


圖 1-1

分項三：DVFS for Multi-Core 技術開發

PAC SoC 平台具備可調式電壓頻率的功能，本分項係開發可調式電壓頻率技術使執行應用程式時達節能的效果。

- 在 PAC SoC 平台上進行修改 96 年度無線多媒體系統晶片關鍵技術發展科專計畫－PAC II DSP Kernel Software 所開發之 PACDSP

H.264 解碼器，配合調整電壓與頻率，得下列數據：

- 單一調整 DSP 執行頻率，ARM 與 BUS 保持 114 MHz。所得數據如表 1-1 所示，執行 H.264 解碼器解壓縮相同的影像，當 DSP 執行頻率為 228 MHz 時需時 10 秒；另當 DSP 執行頻率為 114 MHz 時需時 17 秒。從能源的角度來看，當 DSP 執行頻率為 228 MHz 時，執行解壓縮影像需消耗 1612 mJ，但當 DSP 執行頻率為 114 MHz 時執行解壓縮影像僅需消耗 829.94 mJ，能量節省達 49%。

DSP Voltage/Frequency	Average Power (mW)	Time (sec.)	Energy (mJ)
1.2V / 228MHz	161.20	10	1612
1.0V / 152MHz	75.99	13	987.87 (39%)
0.9V / 114MHz	48.82	17	829.94 (49%)

表 1-1

- 若每秒 25 張畫面，則每張畫面的解壓縮時間必須在 0.04 秒之內解壓縮完畢，假若提前則把 DSP 的頻率關掉以節省能源，在此觀念下所測得的數據如表 1-2 所示。當 DSP 執行頻率為 228 MHz 時，有 40 秒時間是執行解壓縮另外 35 秒是被關掉的，另外當 DSP 執行頻率為 114 MHz 時，有 66 秒時間是執行解壓縮另外 9 秒是被關掉的。因此若每秒 25 張畫面能符合即時的需求，若能以 114 MHz 執行解壓縮，比 228 MHz 節能達 51%。

DSP Voltage/Frequency	Time (sec.)	Energy
1.2V / 228MHz + Inactive mode	40 + 35 (s)	5.232 + 0.1806 = 5.4126 (J)
0.9V / 114MHz + Inactive mode	66 + 9 (s)	2.7621 + 0.0162 = 2.7783 (J) 51.33%

表 1-2

(二) 表一

專利			技術移轉		其他
預備申請數	現正申請數	已獲數	可轉移數	已技轉授權數	專門技術數
0	0	0	0	0	0

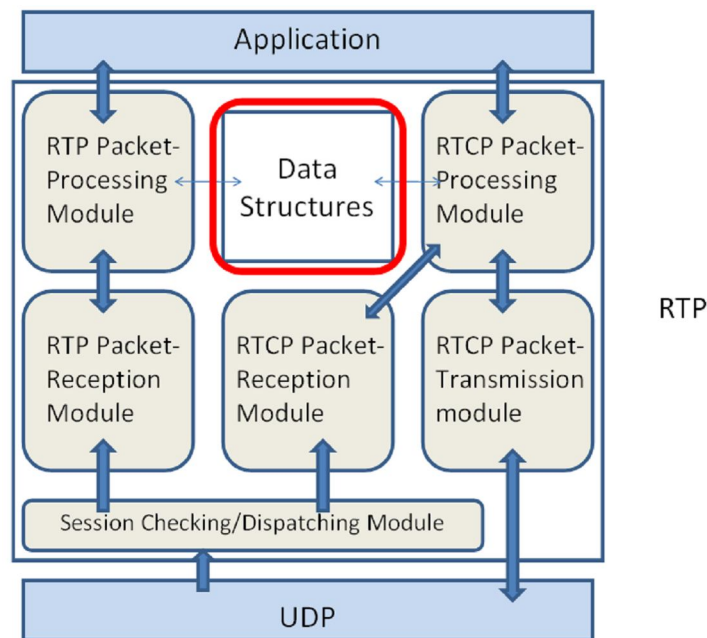
(三) 績效指標

預定目標值	達成目標值
分項一：異質多核心操作系統技術開發 • 進行 uKernel run on the DSP • 進行 Linux OS and Drivers - The Ethernet Driver Display Driver - Audio Drivers USB Driver and Linux OS.	50% 依多行程管理模組規劃，積極進行處理器溝通模組的開發。 完成 Linux OS 核心與 ALSA/I2S、Frame Buffer、Ethernet、SD/MMC、USB 等驅動程式。
分項二：Middleware for Multi-DSP 技術開發 • Multimedia API of Multi-Core DSP • 影音串流通訊模組 • 嵌入式多媒體播放器	48.3% 已完成 Multi-DSP H.264 Decoder 及 MP3 Decoder 之 API 設計開發；目前正進行 API 流程規劃與規格制定。 已完成影音串流通訊模組之規劃，開始進行程式語言之撰寫。 完成多媒體播放器之裝置端與網路影音播放之功能；並成功整合 PAC H.264 之介面。
分項三：DVFS for Multi-Core 技術開發 • API for DVFS • Power-Aware Measurement	50% 完成 DVFS Driver 之 API 規格制定，正進行原始碼之程式開發。 使用 H.264 解碼器量測 PAC SoC 平台的可調式電壓與頻率功能，初步數據可節能 51%。

伍、評估主要成就及成果之價值與貢獻度

一、學術成就(科技基礎研究) 權重： 80 %

- 在 PAC SoC 平台上，完成以 Bootloader 建置 Linux 操作系統核心，並加入以下驅動程式，使應用軟體得以架構在此操作系統上進行技術發展。
 - ALSA/I2S 驅動程式，音訊輸出與輸入用
 - Frame Buffer 驅動程式，顯示視訊用
 - Ethernet 驅動程式，網路用
 - SD/MMC 驅動程式，MMC 卡用
 - USB 驅動程式，網路卡、Memory 卡用
- 開發影音串流通訊模組與嵌入式多媒體播放器的製作



- 完成 RTP/RTCP 架構下之影音串流通訊模組撰寫與編譯
- 在嵌入式多媒體播放器方面，此部份是依公開原始碼 VLC 針對 Multi-DSP 架構進行修改。目前已成功移植完成，並且與晶片中心 96 年度無線多媒體系統晶片關鍵技術發展科專計畫－PAC II DSP Kernel Software 所開發之 PACDSP H.264 解碼器整合，以播放影像。
- PAC SoC 平台具備可調式電壓頻率的功能，開發可調式電壓頻率技術使

執行應用程式時達節能的效果。

DSP Voltage/Frequency	Average Power (mW)	Time (sec.)	Energy (mJ)
1.2V / 228MHz	161.20	10	1612
1.0V / 152MHz	75.99	13	987.87 (39%)
0.9V / 114MHz	48.82	17	829.94 (49%)

DSP Voltage/Frequency	Time (sec.)	Energy
1.2V / 228MHz + Inactive mode	40 + 35 (s)	5.232 + 0.1806 = 5.4126 (J)
0.9V / 114MHz + Inactive mode	66 + 9 (s)	2.7621 + 0.0162 = 2.7783 (J) 51.33%

二、技術創新(科技整合創新) 權重： 15 %

- 以 Multi-DSP 架構為基礎，H.264 Codec 為應用案例，設計 DVFS API；並以 H.264 為例，實現 DVFS API，以達能源節省之最佳化。期計畫完成後，執行 H.264 Decoder，能有效節能達 30 %以上（DVFS Turn-on 所消耗之功耗能，比 Turn-off 時，節能達 30%）。

三、經濟效益(產業經濟發展) 權重： 2 %

- 配合無線多媒體系統晶片關鍵技術之 PAC II Processor and Software Application 計畫，建立自有之嵌入式系統軟體設計技術，協助台灣自有核心處理器之設計及測試，以及建立嵌入式系統應用導向之系統軟體介面，以擴大自有核心處理器之產品應用。

四、社會影響(民生社會發展) 權重： 3 %

- 成功結合產官學研等不同單位投入研發 SoC 相關技術，培養國內 SoC 關鍵、EDA、低功耗、軟硬體與系統整合人才，以強化我國 SoC 核心技術的研發實力。
- 培育國內無線通訊射頻設計、基頻設計、協定軟體設計、系統設計人才，強化產業發展技術基礎環境。

五、其它效益(科技政策管理及其它) 權重： 0 %

無

填表人：曾紹峯 聯絡電話：03-5915670 傳真電話：_____

績效評估報告(自評)

經濟部技術處
經濟部工業局
國科會工程處
教育部
竹科管理局
科發基金-工研院

政府科技計畫績效評估報告

計畫名稱：發展晶片關鍵技術及設計驗證中程綱要計畫

執行期間：自 95 年 1 月 至 99 年 12 月

執行單位：經濟部技術處

(群 組) (領 域)

自評委員：陳良基共同主持人、周景揚執行長、
徐爵民召集人、許炳堅召集人、邱俊誠召集人

主管機關：行政院國家科學委員會

中華民國 97 年 3 月 10 日

96 年度晶片系統國家型科技計畫成果績效評估報告

第一部份：科技計畫成果績效評估報告

壹、執行之內容與原計畫目標符合程度

請問本計畫之執行是否符合原計畫之目標？程度為何？若有差異，其重點為何？

評估意見：

委員一：右 OFDM 無線通訊晶片技術發展分項，執行上未能完全達成原訂的目標。

委員二：大部份執行情形內容與原目標符合。

委員三：相符合。

委員四：符合計畫目標。

委員五：大致均依原規劃內容執行，但沒有看到健康監控與居家照護的規劃。

貳、已獲得之主要成就與成果(outputs)滿意度

計畫執行後其達成之重要成果為何？與原列之 KPI 與成果績效預期成效是否一致？若有差異，有無說明？其說明是否合理並予採計？

評估意見：

委員一：促進廠商投資可加強，技術移轉可加強。

委員二：以專利產稱，技術移轉，投資效益等為主要成果，與原列 KPI 大致尚可，唯重要技術突破部份待努力。

委員三：成果極為顯著與優異。

委員四：重要成果績效良好，與預期成效符合。

委員五：1.國外論文合計數可能有錯，請再確認，太多了。

2.專利與技術移轉金額成果都還不錯。

參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)

請依計畫成果效益報告中該計畫各項成就之權重做下述之評量

一、學術成就之評述(科技基礎研究)(A.權重 3%)

B.量化評述(分數高者為優)：

個別評分：8、8、9、9、8

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：學界科專分項產出多篇一流期刊論文。

委員二：在專利之學術引用部份可在加強。

委員三：有重大的成果，在期刊的論文數目，以及專業會議的論文數目都頗為可觀。

委員四：發表之論文皆為重要的期刊與 conference，有效推展台灣研發能力於國際社會。

委員五：有一些國際水準的論文發表，但不夠多！

二、技術創新成就之評述(科技整合創新) (A.權重 15%)

B.量化評述(分數高者為優)：

個別評分：8、9、9、9、9

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：國內外專利獲得 67 項，相當可觀。技轉金額可再加強提高。

委員二：技術移轉及專利產出部份尚佳。

委員三：成果極為充實與具體，對產業界有實質幫助。

委員四：計畫發展重點能抓住技術研發趨勢，且處於領先地位，創新性高。

委員五：專利與技轉表現不錯。

三、經濟效益之評述(產業經濟發展) (A.權重 6%)

B.量化評述(分數高者為優)：

個別評分：7、9、9、7、8

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：促進廠商投資稍欠積極機制。

委員二：可具體引導產業投資及新技術之經濟效益。

委員三：成果的素質與水準極高，有實用性。

委員四：技術尚處推廣階段，成效尚不明確。

委員五：幾項技術移轉對產業技術提升有助益，尤其是 PAC DSP 技術。

四、社會影響之評述(民生社會發展、環境安全永續) (A.權重 3%)

B.量化評述(分數高者為優)：

個別評分：6、8、9、9、8

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：WSN 技術將來可望用於改善居家生活。

委員二：無。

委員三：對社會有具體的正面影響。

委員四：發展技術都有極高應用價值，尤其在多媒體與數位化部份，有效影響民生發展。

委員五：業界科專的持續推動對產業有幫助。

五、其它效益之評述(科技政策管理及其它)(A.權重 3%)

計畫執行後除既定之成果效益外，有無非直接之其它成果？若有請重點摘錄。

B.量化評述(分數高者為優)：

個別評分：6、無、7、9、9

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：掌握 ZigBee2006 協定關鍵核心技術，是亞太地區第二家通過 ZigBee2006 認證者。

委員二：無。

委員三：有相關的描述。

委員四：帶動產業發展，提升我國廠商於國際之競爭力。

委員五：學界科專對產學合作的助益很大。

肆、與相關計畫之配合程度

評估意見：

委員一：本計畫六項的分工整合規劃可以再加強。與電信國家型計畫之分工整合可以在加強。

委員二：與各部會計畫配合良好

委員三：關連性高，配合度很好。

委員四：與相關計畫配合良好。

委員五：與電信國家型計畫的配合很好，尤其是在參與國際標準組織方面。

伍、計畫經費及人力運用的適善性(評估計畫資源使用之合理性)

本計畫執行之經費、人力與工作匹配，與原計畫之規劃是否一致，若有差異，其重點為何？其說明是否能予接受？

評估意見：

委員一：一致。

委員二：經費之使用需再加強，尤其是產業推動及新技術開發。

委員三：適當。

委員四：經費與人力應用適當。

委員五：經費動支率 94.75%，尚可。

陸、後續工作構想及重點之妥適度

本計畫之執行時間是否合適？或太早？太晚？如何改進？

評估意見：

委員一：應該更為聚焦，PAC 需完成完整的開發環境。學界科專宜 focus 在異質整合，embedded software 等國內尚未建立的能量之議題上。業界科專宜更有效地引導廠商朝具前瞻技術且有高附加價值的產品作開發。

委員二：大略可行。

委員三：還有很多項目需要積極去推動。

委員四：執行時間合適。

委員五：1.系統晶片的軟體投入太少。

2.健康監控與居家照護沒有看到規劃。

柒、綜合意見

委員一：六分樣之分工整合以及各自預定達成的目標，需作更有效之規畫。

委員二：有關產業等技術之推動策略宜做修正，尤其是在系統整合部份，推動成效需加強。

委員三：這一計劃極為重要，需要持續投入人力與物力去完善它。

委員四：研發人才的培育與加強可以有效提昇未來國家整體競爭力，尤其是整合性人才培養，建議各計畫加強之。

委員五：本計劃就績效來看是不錯的，但是沒有看到“健康監控”與“居家照護”方面的規劃與投入，與總計劃之內容有些出入。

捌、總體績效評量(分數高者為優)：

評量項目	權重(%)	請評分
壹、執行之內容與原計畫目標符合程度	20	17.8
貳、已獲得之主要成就與成果(outputs)滿意度	30	26.4
參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)		
一、學術成就之評述	3	2.4
二、技術創新成就之評述	15	13.3
三、經濟效益之評述	6	4.9
四、社會影響之評述	3	2.5
五、其它效益之評述	3	2.3
肆、與相關計畫之配合程度	10	8.8
伍、計畫經費及人力運用的適善性	15	12.6
陸、後續工作構想及重點之妥適度	5	3.8
總 計	110	94.8

註：請依上述評量項目分別給予評分，每項滿分即權重，總分 110 分。

玖、計畫評估委員

簽名：陳良基共同主持人、周景揚執行長、許炳堅召集人、徐爵民召集人、邱俊誠召集人

政府科技計畫績效評估報告

計畫名稱：晶片系統產業發展中綱計畫

執行期間：自 95 年 1 月 至 99 年 12 月

執行單位：經濟部工業局

(群 組) (領 域)

自評委員：陳良基共同主持人、周景揚執行長、
徐爵民召集人、許炳堅召集人、邱俊誠召集人

主管機關：行政院國家科學委員會

中華民國 97 年 3 月 10 日

96 年度晶片系統國家型科技計畫成果績效評估報告

第一部份：科技計畫成果績效評估報告

壹、執行之內容與原計畫目標符合程度

請問本計畫之執行是否符合原計畫之目標？程度為何？若有差異，其重點為何？

評估意見：

委員一：大致依原規畫執行。

委員二：大致與原訂規畫符合。

委員三：相符合。

委員四：符合目標。

委員五：大致上均依原訂目標去執行，重點在產業推動。

貳、已獲得之主要成就與成果(outputs)滿意度

計畫執行後其達成之重要成果為何？與原列之 KPI 與成果績效預期成效是否一致？若有差異，有無說明？其說明是否合理並予採計？

評估意見：

委員一：人才培訓共 1624 人次，促進廠商投資共 34.5 億。

促成多家廠商參予國際標準之制定。

委員二：以人才培育，研討會成果對應，與原訂目標符合。

委員三：良。有提出專利申請，國內 5 件，國外 7 件，數量並不多。通過的專利件數為零，尙待加強。

委員四：完成網路學院平台，並促成 267 人次之學習成果，為重要成果。與成效預期一致。

委員五：持續推動產業發展有一定成效，但應經常檢視國際發展趨勢，檢討推動策略，對“生醫電子”與“3DIC”之推動可以在加強

參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)

請依計畫成果效益報告中該計畫各項成就之權重做下述之評量

一、學術成就之評述(科技基礎研究)(A.權重 0%)

B.量化評述(分數高者為優)：

個別評分：9、無、6、無、無

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：無。

委員二：具體規劃應用導向之課程安排適切。

委員三：無顯著學術成就。

委員四：無。

委員五：無。

二、技術創新成就之評述(科技整合創新) (A.權重 11.25%)

B.量化評述(分數高者為優)：

個別評分：5、8、8、9、8

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：專利獲得還未展現績效，只有二份技術報告。

委員二：無。

委員三：良。有提出專利申請，國內 5 件，國外 7 件，數量並不多。通過的專利件數為零，尚待加強。

委員四：完成標準技術報告二件，使國內外人員得以掌握最新技術資訊。

委員五：主要是來自主導性新產品廠商的專利產出，還有國際標準的提案。

三、經濟效益之評述(產業經濟發展) (A.權重 7.5%)

B.量化評述(分數高者為優)：

個別評分：8、9、8、9、8

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：促進廠商投資共 34.5 億。

委員二：直接培訓產業運用之人力，彌補人才空缺。

委員三：實際經濟效益，須加以詳述。只寫下 34.5 億元，很難加以詳細評估。

委員四：促成廠商投入研發經費。

委員五：主導性產品計劃對引發研發投資(共 34.5 億)有一定的作用。

四、社會影響之評述(民生社會發展、環境安全永續) (A.權重 11.25%)

B.量化評述(分數高者為優)：

個別評分：6、7、9、9、7

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：中長期養成共培訓 91 人，進入相關市場。

委員二：有效提供第二專長培育養成管道。

委員三：優。在培訓專業人才方面，績效顯著；有一千多人受益。

委員四：以網路平台方式提供教學資訊與服務成效良好也增加了許多就業機會。

委員五：透過半導體學院培訓產業界的人才，以及主導性新品計劃鼓勵產業界做研發。

五、其它效益之評述(科技政策管理及其它)(A.權重 0%)

計畫執行後除既定之成果效益外，有無非直接之其它成果？若有請重點摘錄。

B.量化評述(分數高者為優)：

個別評分：7、無、6、無、無

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：促成多家廠商積極參予相關國際標準制定。

委員二：無

委員三：無

委員四：無

委員五：無

肆、與相關計畫之配合程度

評估意見：

委員一：無

委員二：大體配合良好。

委員三：無

委員四：無

委員五：與教育部的人才培育互相配合。

伍、計畫經費及人力運用的適善性(評估計畫資源使用之合理性)

本計畫執行之經費、人力與工作匹配，與原計畫之規劃是否一致，若有差異，其重點為何？其說明是否能予接受？

評估意見：

委員一：無差異。

委員二：經費之運用情形尚可，推動人力可再加強。

委員三：相符合。

委員四：業務費使用上差異較大，其說明尚可接受。

委員五：經費執行率 85%，主要是立法院經費凍結的結果。

陸、後續工作構想及重點之妥適度

本計畫之執行時間是否合適？或太早？太晚？如何改進？

評估意見：

委員一：加強促進廠商參予相關國際標準制定。

加強產業分析、規畫，並配合鼓勵業界申請主導性新產品或前瞻應用新產品之開發。

委員二：大體可行，唯在產業需求方面，可加強在服務的面向之人才培育導向。

委員三：詳列了 15 項，需要具體規劃有效的方法。

委員四：時間合適。

委員五：1.應配合推動“數位家庭”與“生醫電子”的規劃。

2 加強 3DIC 的研發推動。

柒、綜合意見

委員一：人力培訓、產業分析，以及促進發展產業整體規劃宜加強其關連性。

委員二：計劃執行情形大體符合規劃及產業等需求，唯人培方向可針對未來情形做些調整。

委員三：這一個計劃非常重要，特別是半導體學院的項目，可以隨著科技的進步而不

斷地更新。

委員四：人才培育與就業輔導成效良好，但廠商投入意願受政策影響，有關單位應設法協助解決。

委員五：本計劃主要是產業推動有一定的成效，但半導體學院應檢討成效，並加強3DIC與生醫電子的研發推動。

捌、總體績效評量(分數高者為優)：

評量項目	權重(%)	請評分
壹、執行之內容與原計畫目標符合程度	20	17.6
貳、已獲得之主要成就與成果(outputs)滿意度	30	25.4
參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)		
一、學術成就之評述	0	0
二、技術創新成就之評述	11.25	8.7
三、經濟效益之評述	7.5	6.6
四、社會影響之評述	11.25	9.0
五、其它效益之評述	0	0
肆、與相關計畫之配合程度	10	6.2
伍、計畫經費及人力運用的適善性	15	13
陸、後續工作構想及重點之妥適度	5	4
總 計	110	89.5

註：請依上述評量項目分別給予評分，每項滿分即權重，總分 110 分。

玖、計畫評估委員

簽名：陳良基共同主持人、周景揚執行長、許炳堅召集人、徐爵民召集人、邱俊誠召集人

政府科技計畫績效評估報告

計畫名稱： 晶片系統技術研究發展中程綱要計畫

執行期間：自 95 年 1 月 至 99 年 12 月

執行單位： 國科會工程處

(群 組) (領 域)

自評委員： 陳良基共同主持人、周景揚執行長、
徐爵民召集人、許炳堅召集人、邱俊誠召集人

主管機關： 行政院國家科學委員會

中華民國 97 年 3 月 10 日

96 年度晶片系統國家型科技計畫成果績效評估報告

第一部份：科技計畫成果績效評估報告

壹、執行之內容與原計畫目標符合程度

請問本計畫之執行是否符合原計畫之目標？程度為何？若有差異，其重點為何？

評估意見：

委員一：大致相符。

委員二：符合原訂目標。

委員三：相符合。

委員四：符合原計畫目標。

委員五：大致上均依原計畫之目標去執行，惟“數位生活、數位家電”與“健康監控、生活照護”投入較少。

貳、已獲得之主要成就與成果(outputs)滿意度

計畫執行後其達成之重要成果為何？與原列之 KPI 與成果績效預期成效是否一致？若有差異，有無說明？其說明是否合理並予採計？

評估意見：

委員一：論文發表之質與量均相當好。

委員二：以研究團隊養成、論文、專利等為 KPI，與原列預期符合。

委員三：極為優異。

委員四：成果優良。

委員五：國科會工程處投入 1172 人年，其中博士 318 人，產出主要為論文，但是比起經濟部技術處(911 人年，博士 129 人)的論文(無論是國內外)都要少，令人訝異！

參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)

請依計畫成果效益報告中該計畫各項成就之權重做下述之評量

一、學術成就之評述(科技基礎研究)(A.權重 24%)

B.量化評述(分數高者為優)：

個別評分：9、10、9、9、9

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：IC 設計之研發水準由 ISSCC paper 之數量可見我研發之質量已臻於世界水準。

委員二：學術論文在質與量皆有充足進步，已成國際知名研究重鎮。

委員三：在期刊方面與專業會議方面的論文數目都很可觀。

委員四：論文發表於重點期刊著眾。

委員五：如果成果報告的資料是正確的，論文的表現在量方面要在檢討，但是 ISSCC 的論文表現值得嘉許。

二、技術創新成就之評述(科技整合創新) (A.權重 3%)

B.量化評述(分數高者為優)：

個別評分：8、8、9、9、7

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：個別 IP 之研發已相當不錯，系統整合能力可再加強。

委員二：團隊間之重複性質較高，應鼓勵原創性突破式創新。

委員三：成果豐盛與具體。

委員四：專利申請件數多。

委員五：專利之產出與技術移轉需要加強。

三、經濟效益之評述(產業經濟發展) (A.權重 1.5%)

B.量化評述(分數高者為優)：

個別評分：9、9、9、9、7

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：營造世界級 IC 設計研究環境，持續在 IC 設計以及 EDA 研發上居世界一流地位，對我國 IC 設計產業有重大助益。

委員二：多項技術移轉實現。

委員三：對經濟的貢獻很直接，而且顯著。

委員四：培育設計人才予產業界。

委員五：強調的仍是人才培育之貢獻，沒有經濟發展方面的資訊。

四、社會影響之評述(民生社會發展、環境安全永續) (A.權重 1.5%)

B.量化評述(分數高者為優)：

個別評分：6、9、9、9、7

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：人力之養成與技術之精進，均有利於民生社會之發展。

委員二：直接促成技術之創新。

委員三：增進很多高科技人材。

委員四：生醫照護相關技術，對於民生社會將有極大貢獻。

委員五：對產學合作的推動有些貢獻，但沒有具體資訊說明。

五、其它效益之評述(科技政策管理及其它)(A.權重 0%)

計畫執行後除既定之成果效益外，有無非直接之其它成果？若有請重點摘錄。

B.量化評述(分數高者為優)：

☐10 ☐9 ☐8 ☐7 ☐6 ☐5 ☐4 ☐3 ☐2 ☐1

個別評分：無、無、6、無、8

C.質化評述：

委員一：無。

委員二：無。

委員三：沒有描述。

委員四：無。

委員五：主要是矽島師資的增加，對人才培育有幫助。

肆、與相關計畫之配合程度

評估意見：

委員一：良。可與電信國家型計畫更密切配合。

委員二：與教育部、經濟部有效配合。

委員三：相當密切。

委員四：配合良好，可與科專計畫作整合性推廣。

委員五：與電信國家型計畫在無線通訊方面有相當的配合推動系統與晶片的合作研究，值得嘉許。

伍、計畫經費及人力運用的適善性(評估計畫資源使用之合理性)

本計畫執行之經費、人力與工作匹配，與原計畫之規劃是否一致，若有差異，其重點為何？其說明是否能予接受？

評估意見：

委員一：大致相符。

委員二：經費人力之運用妥適。

委員三：相符合。

委員四：一致。

委員五：經費執行率 93.2%，尚可。

陸、後續工作構想及重點之妥適度

本計畫之執行時間是否合適？或太早？太晚？如何改進？

評估意見：

委員一：IC 設計研究宜鼓勵異質整合和系統整合 EDA 研究宜鼓勵研發完整系統。

委員二：工作構想大體可行。

委員三：詳列了 8 項，需要規劃有效的方法。

委員四：時間合適。

委員五：創新產品中的“數位生活、數位家電”與“健康監控、生活照護”的著力太少，需要加強規劃與推動。

柒、綜合意見

委員一：計畫補助宜更強化鼓勵研發尖端技術。

委員二：本計畫對國內研究團隊實力及成果之提升有很大貢獻，可再鼓勵原創突破性創新之方向努力。

委員三：這一個計劃很重要，需要持續投入人力與物力去完善它。

委員四：執行績效佳。

委員五：成果報告中之論文產出與技術移轉的表現不算好，需加強並與過去年度作比較。

捌、總體績效評量(分數高者為優)：

評量項目	權重(%)	請評分
壹、執行之內容與原計畫目標符合程度	20	17.6
貳、已獲得之主要成就與成果(outputs)滿意度	30	27.2
參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)		
一、學術成就之評述	24	22.3
二、技術創新成就之評述	3	2.5
三、經濟效益之評述	1.5	1.3
四、社會影響之評述	1.5	1.2
五、其它效益之評述	0	0
肆、與相關計畫之配合程度	10	8.8
伍、計畫經費及人力運用的適善性	15	12.6
陸、後續工作構想及重點之妥適度	5	4
總 計	110	97.6

註：請依上述評量項目分別給予評分，每項滿分即權重，總分 110 分。

玖、計畫評估委員

簽名：陳良基共同主持人、周景揚執行長、許炳堅召集人、徐爵民召集人、邱俊誠召集人

政府科技計畫績效評估報告

計畫名稱： 前瞻晶片系統設計人才培育先導型計畫

執行期間：自 95 年 1 月 至 99 年 12 月

執行單位： 教育部顧問室

(群 組) (領 域)

自評委員： 陳良基共同主持人、周景揚執行長、
徐爵民召集人、許炳堅召集人、邱俊誠召集人

主管機關： 行政院國家科學委員會

中華民國 97 年 3 月 10 日

96 年度晶片系統國家型科技計畫成果績效評估報告

第一部份：科技計畫成果績效評估報告

壹、執行之內容與原計畫目標符合程度

請問本計畫之執行是否符合原計畫之目標？程度為何？若有差異，其重點為何？

評估意見：

委員一：本計畫之執行大致符合原定三大目標。

委員二：執行內容與原目標符合。

委員三：相符合。

委員四：符合原計畫目標。

委員五：本計劃之執行均依原規畫內容進行。

貳、已獲得之主要成就與成果(outputs)滿意度

計畫執行後其達成之重要成果為何？與原列之 KPI 與成果績效預期成效是否一致？若有差異，有無說明？其說明是否合理並予採計？

評估意見：

委員一：新增 6 門前瞻教材，累計有 56 門課程教材。教材資料庫累計有 505 位教師註冊，對於增加師生在 SoC 前瞻技術能力以及國際競爭力上有相當大成效。

委員二：重要成果為人才培育，課程教材及學術論文與原列 KPI 之預期成果吻合。

委員三：極為優異。

委員四：計畫培育出眾的晶片設計人才，且人才技術範圍廣，符合業界與世界趨勢，與預期成效一致。

委員五：本計劃在人才培育的成效極為優異，無論是教材的發展與推廣，教學資源的擴充，實作競賽等都有很好的規劃與執行成效。

參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)

請依計畫成果效益報告中該計畫各項成就之權重做下述之評量

一、學術成就之評述(科技基礎研究)(A.權重 21%)

B.量化評述(分數高者為優)：

個別評分：9、10、9、9、9

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：前瞻課程之開發與推廣，對高階人才養成，有相當大之助益。

委員二：具體整合學術界菁英，總理具前瞻性教材，引導學生有教學及前瞻科技。

委員三：積極規劃適當前瞻課程，並提昇師生的國際競爭力。

委員四：辦理學術活動成效良好。

委員五：ACM CAD athlon Contest 參賽成績優異，也出版了三本英文教科書。

二、技術創新成就之評述(科技整合創新) (A.權重 0%)

B.量化評述(分數高者為優)：

個別評分：9、10、6、無、無

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：本計畫並非技術發展。

委員二：跨領域跨校之聯盟活動，能有效整合跨領域所需之技術創新。

委員三：無

委員四：無

委員五：無

三、經濟效益之評述(產業經濟發展) (A.權重 6%)

B.量化評述(分數高者為優)：

個別評分：8、9、9、無、9

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：高階人才之養成，對於高科技產業之永續經營相當重要，本計畫之成果將間接獲致重大經濟效益。

委員二：人才培育做為經濟產業發展之後盾。

委員三：高科技人材養成對經濟的影響極為直接與有效。

委員四：無

委員五：教學的改進對產學合有實質的幫助。

四、社會影響之評述(民生社會發展、環境安全永續) (A.權重 3%)

B.量化評述(分數高者為優)：

個別評分：8、9、9、無、9

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：人才培育對於本國社會民生之發展相當重要。

委員二：對整體社會之民生發展有助益。

委員三：可以增加高科技人數。

委員四：無

委員五：本計劃之普及性對產業界與社會發展很有幫助。

五、其它效益之評述(科技政策管理及其它)(A.權重 0%)

計畫執行後除既定之成果效益外，有無非直接之其它成果？若有請重點摘錄。

B.量化評述(分數高者為優)：

個別評分：7、無、6、9、無

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：有效的組織全國相關領域的老師學生舉辦多方面學術活動，對增加國際能見

度也有助益。

委員二：無

委員三：無

委員四：教材建立完善。

委員五：無

肆、與相關計畫之配合程度

評估意見：

委員一：與工業局人才培訓計畫有互補作用。

委員二：與國科會、經濟部可有效配合。

委員三：關連性極高。

委員四：配合程度良好。

委員五：主要是與矽島計畫師資的配合，很有幫助。

伍、計畫經費及人力運用的適善性(評估計畫資源使用之合理性)

本計畫執行之經費、人力與工作匹配，與原計畫之規劃是否一致，若有差異，其重點為何？其說明是否能予接受？

評估意見：

委員一：無差異。

委員二：經費主要用於課程改進，運用妥適。

委員三：相符合。

委員四：一致。

委員五：計畫執行率，99.9%

陸、後續工作構想及重點之妥適度

本計畫之執行時間是否合適？或太早？太晚？如何改進？

評估意見：

委員一：組織架構相當完善。工作重點每年需作微調，以因應技術方向的改變。

委員二：執行之時間配合全球技術及產業趨勢發展。

委員三：需要更具體的規劃。

委員四：合適。

委員五：在異質整合與系統設計的加強是很正確的。

柒、綜合意見

委員一：計畫以執行多年，基礎穩固，績效佳。惟應逐年減輕參與老枝之負擔，以完善計畫執行之美意。

委員二：本計畫執行內容及成果符合國家政策需要及原訂規劃。

委員三：這一個計劃極為重要，成果也很豐盛。今後在國際競爭力方面，可以多加強。

委員四：請加強經濟效益與社會影響，促成廠商參與人才培育的意願，從而協助產業提昇競爭力。

委員五：本計劃多年來持續的推動，規劃與執行都相當好，普及性也高，是很好的計畫。

捌、總體績效評量(分數高者為優)：

評量項目	權重(%)	請評分
壹、執行之內容與原計畫目標符合程度	20	19
貳、已獲得之主要成就與成果(outputs)滿意度	30	27.4
參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)		
一、學術成就之評述	21	19.2
二、技術創新成就之評述	0	0
三、經濟效益之評述	6	4
四、社會影響之評述	3	2
五、其它效益之評述	0	0
肆、與相關計畫之配合程度	10	9.2
伍、計畫經費及人力運用的適善性	15	14
陸、後續工作構想及重點之妥適度	5	4.4
總 計	110	99.2

註：請依上述評量項目分別給予評分，每項滿分即權重，總分 110 分。

玖、計畫評估委員

簽名：陳良基共同主持人、周景揚執行長、許炳堅召集人、徐爵民召集人、邱俊誠召集人

政府科技計畫績效評估報告

計畫名稱：前瞻 SOC 產品設計服務技術研發計畫(SIPP)

執行期間：自 95 年 1 月 至 99 年 12 月

執行單位：竹科管理局

(群 組) (領 域)

自評委員：陳良基共同主持人、周景揚執行長、
徐爵民召集人、許炳堅召集人、邱俊誠召集人

主管機關：行政院國家科學委員會

中華民國 97 年 3 月 10 日

96 年度晶片系統國家型科技計畫成果績效評估報告

第一部份：科技計畫成果績效評估報告

壹、執行之內容與原計畫目標符合程度

請問本計畫之執行是否符合原計畫之目標？程度為何？若有差異，其重點為何？

評估意見：

委員一：尚稱符合。

委員二：對招商及基礎建造方式稍有延遲，應再加強。

委員三：相符合。

委員四：符合原計畫目標。

委員五：大致上均依原計畫目標去執行，環境建置方面尚可，IP Mall 與廠商之建柱與預期有落差。

貳、已獲得之主要成就與成果(outputs)滿意度

計畫執行後其達成之重要成果為何？與原列之 KPI 與成果績效預期成效是否一致？若有差異，有無說明？其說明是否合理並予採計？

評估意見：

委員一：完成 EDA 環境建置，惟使用情況待改善，招商可加強。智財匯集管理交易，成效還未彰顯。

委員二：主要以招商數，投資金額，產出專業績效差強人意。

委員三：在電腦網路與設計自動化軟體方面，有實質進展。廠商進駐率 達 50%，尚有進步空間。

委員四：完成多項平台設計與相關智財服務機制，成果與預期一致。

委員五：竹科研發中心之 EDA/IT 軟硬體設計環境建置已大致完成。IP Mall 與廠商進駐還需要加強。

參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)

請依計畫成果效益報告中該計畫各項成就之權重做下述之評量

一、學術成就之評述(科技基礎研究)(A.權重 3%)

B.量化評述(分數高者為優)：

個別評分：5、7、5、9、7

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：本計畫在科技基礎研究著墨不深。

委員二：無。

委員三：沒有詳細描述，沒有相關論文發表。

委員四：完成智財服務與交易機制，並完成矽智財驗證平台有效評估矽智財。

委員五：主要是設計服務環境的建置。

二、技術創新成就之評述(科技整合創新) (A.權重 9%)

B.量化評述(分數高者為優)：

個別評分：5、7、7、9、7

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：設計平台的建置宜更精進。營運模式與使用狀況可加強。

委員二：無。

委員三：有實質進展。但是沒有創新專利申請。

委員四：完成多項設計軟體工具並發展出創新產品發展平台。

委員五：設計自動化環境與矽智財交易網的建置已完成。

三、經濟效益之評述(產業經濟發展) (A.權重 9%)

B.量化評述(分數高者為優)：

個別評分：5、7、7、10、6

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：尚未充分發揮其原先預期的效益。

委員二：無。

委員三：可能有長期的經濟效益，但是沒有近期的金額數據。

委員四：引進多家 IC/IP 設計公司進駐。

委員五：IP Mall 並未看到經濟效益，廠商進駐約 50%。

四、社會影響之評述(民生社會發展、環境安全永續) (A.權重 3%)

B.量化評述(分數高者為優)：

個別評分：6、7、7、9、7

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：如能妥善執行，對促進 IC 設計產業會有幫助。

委員二：無。

委員三：等到進駐公司成長，就可以提供額外的就業機會。但是近期的效益數據，並沒有描述。

委員四：提昇國內廠商競爭力。

委員五：主要是招商方面的誘因。(提供設計服務)

五、其它效益之評述(科技政策管理及其它)(A.權重 6%)

計畫執行後除既定之成果效益外，有無非直接之其它成果？若有請重點摘錄。

B.量化評述(分數高者為優)：

個別評分：5、6、6、9、6

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：無。

委員二：無。

委員三：沒有描述，並不顯著。

委員四：完成產品導向智財匯集機制，與智財庫交換商務標準流程。

委員五：廠商進駐率 **50%**，可以再加強。

肆、與相關計畫之配合程度

評估意見：

委員一：尚可。

委員二：尚可。

委員三：有很高的關連性。

委員四：與奈米國家計畫與電信國家計畫配合良好。

委員五：主要是招商相關的計畫配合，頗積極。

伍、計畫經費及人力運用的適善性(評估計畫資源使用之合理性)

本計畫執行之經費、人力與工作匹配，與原計畫之規劃是否一致，若有差異，其重點為何？其說明是否能予接受？

評估意見：

委員一：經費與人力運用不夠明確。

委員二：經費之運用與原計劃有較多延誤。

委員三：符合。

委員四：與原規劃一致。

委員五：**96** 年經費動支好像有問題，報告中講不清楚。

陸、後續工作構想及重點之妥適度

本計畫之執行時間是否合適？或太早？太晚？如何改進？

評估意見：

委員一：宜及早改善設計平台之建置與有效使用。

委員二：無。

委員三：如何協助廠商自行開發系統產品之能力，需要更具體的規劃。

委員四：合適。

委員五：**1.IP Mall** 的成效不好，應調整。

2.以 SMILE SOC 為主的開發平台應檢討其必要性。

柒、綜合意見

委員一：計畫之規劃以及執行宜更審慎強化。

委員二：本計劃立意良善，但執行方面有待加強。

委員三：本計劃的實質效益，需要更具體的顯現出來。以帶動進駐廠商的快速成長，

來增加高科技就業機會。

委員四：無

委員五：本計畫之“專業部分”的 IP Mall 與設計平台服務沒有看到“效益”的說明。

捌、總體績效評量(分數高者為優)：

評量項目	權重(%)	請評分
壹、執行之內容與原計畫目標符合程度	20	15.8
貳、已獲得之主要成就與成果(outputs)滿意度	30	23
參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)		
一、學術成就之評述	3	1.4
二、技術創新成就之評述	9	5
三、經濟效益之評述	9	5.9
四、社會影響之評述	3	2
五、其它效益之評述	6	4.2
肆、與相關計畫之配合程度	10	8.2
伍、計畫經費及人力運用的適善性	15	11.2
陸、後續工作構想及重點之妥適度	5	3.2
總 計	110	81.06

註：請依上述評量項目分別給予評分，每項滿分即權重，總分 110 分。

玖、計畫評估委員

簽名：陳良基共同主持人、周景揚執行長、許炳堅召集人、徐爵民召集人、邱俊誠召集人

政府科技計畫績效評估報告

計畫名稱：嵌入式軟體技術計畫 (科發基金)

執行期間：自 95 年 1 月 至 99 年 12 月

執行單位：工研院系統晶片科技中心

(群 組) (領 域)

自評委員：陳良基共同主持人、周景揚執行長、
徐爵民召集人、許炳堅召集人、邱俊誠召集人

主管機關：行政院國家科學委員會

中華民國 97 年 3 月 10 日

96 年度晶片系統國家型科技計畫成果績效評估報告

第一部份：科技計畫成果績效評估報告

壹、執行之內容與原計畫目標符合程度

請問本計畫之執行是否符合原計畫之目標？程度為何？若有差異，其重點為何？

評估意見：

委員一：是。

委員二：執行內容與原目標吻合。

委員三：相符合。

委員四：無

委員五：本計劃是用“科發基金”之經費在 PAC 硬體平台上建置作業系統與中介軟體，符合原計畫目標。

貳、已獲得之主要成就與成果(outputs)滿意度

計畫執行後其達成之重要成果為何？與原列之 KPI 與成果績效預期成效是否一致？若有差異，有無說明？其說明是否合理並予採計？

評估意見：

委員一：在 PAC SoC 硬體平台上建置 OS 以及 Middle ware 期中達成率符合進度。

委員二：此技術突破專利取得及技術移轉為主要成果，大體與與原目標吻合。

委員三：良。

委員四：無。

委員五：已建置 Linux 核心及一些驅動程式，與預期目標一致。

參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)

請依計畫成果效益報告中該計畫各項成就之權重做下述之評量

一、學術成就之評述(科技基礎研究)(A.權重 24%)

B.量化評述(分數高者為優)：

個別評分：9、9、5、無、8

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：在 performance 以及 Power cosumption 均有不錯的表現。

委員二：在 IC 設計有部份突破之成果並於學術會中發表。

委員三：沒有具體描述學術成就，沒有論文發表。

委員四：無。

委員五：完成以 Bootloader 建立 Linux 作業系統核心，並加入一些驅動程式，若功能多。

二、技術創新成就之評述(科技整合創新) (A.權重 4.5%)

B.量化評述(分數高者為優)：

個別評分：8、9、7、無、8

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：以 Multi-DSP 架構為基礎，H264 Codec 為應用案例設計 DVFS API，有效率能達 30%。

委員二：在關鍵零件(DSP Core，RF 等)有些創新成果。

委員三：相當直接，沒有顯著的創新描述。

委員四：無。

委員五：已能執行 H.264Decoder (在 Multi-DSP)

三、經濟效益之評述(產業經濟發展) (A.權重 0.6%)

B.量化評述(分數高者為優)：

個別評分：9、8、7、無、8

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：利用台灣自己發展之核心，建立完整嵌入式系統開發環境，對我國此項產業會有重大貢獻。

委員二：已有技術移轉績效，且成功促成廠商投資。

委員三：描述並不清楚。

委員四：無。

委員五：主要是提供 PAC DSP 應用。

四、社會影響之評述(民生社會發展、環境安全永續) (A.權重 0.9%)

B.量化評述(分數高者為優)：

個別評分：9、7、8、無、9

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：成功結合產官學研不同單位投入此研發，可強化我國核心 SoC 競爭力。

委員二：無。

委員三：相當重要。

委員四：無

委員五：很好的產學合作模式。

五、其它效益之評述(科技政策管理及其它)(A.權重 0%)

計畫執行後除既定之成果效益外，有無非直接之其它成果？若有請重點摘錄。

B.量化評述(分數高者為優)：

☐10 ☐9 ☐8 ☐7 ☐6 ☐5 ☐4 ☐3 ☐2 ☐1

個別評分：9、無、6、無、無

C.質化評述：

委員一：無。

委員二：無。

委員三：描述並不清楚。

委員四：無。

委員五：無。

肆、與相關計畫之配合程度

評估意見：

委員一：佳。

委員二：良好。

委員三：沒有描述。

委員四：無。

委員五：與科專的 PAC 研發計畫配合的很好。

伍、計畫經費及人力運用的適善性(評估計畫資源使用之合理性)

本計畫執行之經費、人力與工作匹配，與原計畫之規劃是否一致，若有差異，其重點為何？其說明是否能予接受？

評估意見：

委員一：符合規劃進度。

委員二：尚佳。

委員三：良。

委員四：無。

委員五：經費執行率 100%

陸、後續工作構想及重點之妥適度

本計畫之執行時間是否合適？或太早？太晚？如何改進？

評估意見：

委員一：適時。

委員二：無。

委員三：沒有描述。

委員四：無

委員五：要做的工作還很多，應該要有後續的計畫。

柒、綜合意見

委員一：本計畫完成，將可補強以本土核心為基礎之嵌入式系統研發平台之不足。

委員二：本計畫以技術整合突破國內未能自主之重要條件為目標，具體表現在
R，3C Core 及無線通信元件上，條件尚佳。

委員三：這項報告不夠詳細。

委員四：無

委員五：本計劃系彌補科專計畫經費的不足，但也只是做了一部分工作而已，後續還
有很多軟體的工作要搭配，PAC 的推廣才有可能。

捌、總體績效評量(分數高者為優)：

評量項目	權重(%)	請評分
壹、執行之內容與原計畫目標符合程度	20	14
貳、已獲得之主要成就與成果(outputs)滿意度	30	20
參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)		
一、學術成就之評述	24	15.1
二、技術創新成就之評述	4.5	2.7
三、經濟效益之評述	0.6	0.4
四、社會影響之評述	0.9	0.5
五、其它效益之評述	0	0
肆、與相關計畫之配合程度	10	8
伍、計畫經費及人力運用的適善性	15	10.4
陸、後續工作構想及重點之妥適度	5	2.8
總 計	110	54.9

註：請依上述評量項目分別給予評分，每項滿分即權重，總分 110 分。

玖、計畫評估委員

簽名：陳良基共同主持人、周景揚執行長、許炳堅召集人、徐爵民召集人、邱俊誠召集人

績效評估報告(第三者評估)

政府科技計畫績效評估報告

計畫名稱：晶片系統國家型科技計畫 96 年度成果報告

執行期間：自 95 年 1 月 至 99 年 12 月

執行單位：經濟部技術處、工業局、教育部、國科會、
竹科管理局

評估委員：謝清江總經理、陳陽成總經理、
林永隆研發長、李鎮宜研發長、胡振國主任

主管機關：行政院國家科學委員會

中華民國 97 年 2 月 25 日

第一部分、政府科技計畫績效評估報告

壹、執行之內容與原計畫目標符合程度

1.請問本計畫之執行是否符合原計畫之目標？程度為何？若有差異，其重點為何？

委員一：本計劃至此，大致上已符合原計畫之目標。

委員二：符合原計畫目標。就 SoC 之基礎建置，各部會之執行成果上符合預期目標，包含技術的開發，產業的推動，服務及人才培育等。

委員三：本計劃 96 年度經費約 20 億元，由經濟部技術處、工業局、國科會、教育部、科管局等相關部門依性質不同比例經費分配執行，內容項目符合晶片系統計劃之推動，符合原計畫目標，程度佳。

委員五：本計劃之執行符合原訂目標，經濟部、教育部、國科會、竹科研發中心均依目標執行，並無重大偏移。

貳、已獲得之主要成就與成果(outputs) 滿意度

2.計畫執行後其達成之重要成果為何？與原列之 KPI 與成果績效預期成效是否一致？若有差異，有無說明？其說明是否合理並予採計？

委員一：藉由產官學之合作，使晶片系統之開發平台更加完善，並鎖定正確的前瞻性技術開發，提升半導體在系統晶片上之競爭力，培植潛在的周邊及其上下游產業，和績效預期效果大體一致。

委員二：重要成果主要在於 SoC 技術層次的提升，和人才的培育，滿足此產業發展之需求。技術之量化指標，採計論文數及專利數，皆有大幅提升。不過亦應考量質的評比，尤其這些產出對於整體經濟的衝擊效益。

委員三：主要成就含學術論文，人才培育，國際交流，創新產品晶片等為國家年度明顯成果，影響大，與原創 KPI 及績效預期成效接近。

委員五：成果具體，績效良好，與預期無重大差異，僅竹科中心招商目標與實際達成落差較大(預計 20-30，實際 14)，其差異是景氣問題，或是目標問題。

參、評估主要成就及成果之價值與貢獻度(outcomes/impacts)

1.請依計畫成果效益報告中該計畫各項成就之權重做下述之評量

一、學術成就之評述(科技基礎研究)(A.權重 34%)

B.量化評述(分數高者為優)：9.25 (個別評分：9、9、10、9)

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：在專利申請與國際學術論文的發表上，與其他國家之標竿比較，分別已達到相當水準與具規模之程度;於測試環境以及基礎平台的建立，並達到原規劃之目標。

委員二：相關研究成果發表於重要會議及期刊上，並有專利和技轉效益。質與量均有不錯表現，唯開創性之標的較不足。

委員三：在國際重要指標性會議(比如 ISSCC、DAC 等)表現亮麗，彰顯國力明顯具體，為他國所無，高度肯定。

委員五：論文、期刊、專利數目，提升我國學術地位，而透過教育部與國科會計畫養成專業人員的同時亦完成相關學術研究，就質就量均有優越的表現。

D1 評分：3.15

二、技術創新成就之評述(科技整合創新) (A.權重 25.5%)

B.量化評述(分數高者為優)：8.50 (個別評分：8、9、9、8)

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：以 OFDM 為基礎，建立涵蓋從用戶端延伸到基礎建設之各個關鍵系統技術，並強調低耗能，高效率之研發重點，使整個平台的完整度達到極緻化，的確已達到技術創新之特徵。惟在創新程度上，是乎不在系統性化規格上，與其他領先國家做比較。

委員二：所呈現技術內容較屬於漸進式的改善方案，雖有技轉效益的呈現，但先導性之技術產出仍有開拓空間。

委員三：在創新晶片技術開發上(比如無線感測晶片等)具價值及開發性。

委員五：整體技術創新性，良，尤其學界質量，均有具體提昇。

D2 評分：2.17

三、經濟效益之評述(產業經濟發展) (A.權重 20%)

B.量化評述(分數高者為優)：8.50 (個別評分：9、8、9、8)

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：所著重開發的技術，均朝向電子產業主流趨勢，無線行動以及高解析度影像與儲存等領域發展，可帶動數位內容與服務產業的發展，具備潛在的多層面經濟效益。

委員二：經濟效益的呈現指標，若能定義出較客觀的評比數據項目(如資源額度、權利金支付等)將更有利於計畫成果的呈現。

委員三：在晶片應用推廣與消費性電子業界密切相關，提高產品競爭力。

委員五：與業界相關計畫均為熱門項目，成急需項目，就量化，評估較易，但質上相對需要更高才能有競爭力。

D3 評分：1.70

四、社會影響之評述(民生社會發展、環境安全永續)(A.權重 14.5%)

B.量化評述(分數高者為優)：8.75 (個別評分：9、9、9、8)

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：所開發的技術可應用的潛在產品種類具多元性和開創性，持續延伸台灣所擅長之 IT 產業至無線通訊和顯示器產業，使其環環相扣，可充分帶動產業升級以及促進數位內容、電子商務等加值性服務的發展，對於民生社會發展裨益明顯。上述技術的開發，均已考慮節能技術，符合環境安全之考量。

委員二：對於半導體產業鏈的整體發展，以及所帶動的就業機會有實質成效。尤其強化整體產業在國際上的競爭優勢。

委員三：社會影響甚鉅，在本計劃推動下，全國各地在電子相關領域隨時可感受晶片系統之重要性。

委員五：提昇人力素質，與培訓專才，尤其跨校，或產官學具體合作，帶動整合資源，與團隊合作，具良好示範，落實生活護照，健康醫療，對優質社會有正面提升。

D4 評分：1.27

五、其它效益之評述(科技政策管理及其它)(A.權重 6%)

1.計畫執行後除既定之成果效益外，有無非直接之其它成果？若有請重點摘錄。

B.量化評述(分數高者為優)：8.25 (個別評分：8、9、9、7)

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

C.質化評述：

委員一：促使學術界和產業界，藉由此計畫，提早進入前站技術的研發得以充分交流資源得以分享和互補。對於人才培育，知識經濟體系的建立，均有極為顯著的成就。

委員二：由關鍵模組到晶片及系統設計的自主掌握性。由製造代工朝向高附加價值的設計及服務產業。

委員三：考延伸跨領域之異質系統整合，發展潛力大。

D5 評分：0.495

肆、與相關計畫之配合程度

委員一：大致均符合規定填入。

委員二：尚可。

委員三：大致合理，可再提升。

委員五：符合。

伍、計畫經費及人力運用的適善性(評估計畫資源使用之合理性)

1.本計畫執行之經費、人力與工作匹配，與原計畫之規劃是否一致，若有差異，其重點為何？其說明是否能予接受？

委員一：計畫經費和人力運用與原計畫尚屬匹配。

委員二：人力及經費規畫與原規劃書之內容契合度高。在有限經費及人力資源下，建議以發展核心技術並鼓勵開創(先導性)之產品為主。

委員三：經費，人力，工作匹配與原計畫規劃大致相符一致。

委員五：大部分計劃經費、人力、工作匹配都在合理的範圍與原規劃均在合理的差異範圍。工業局約-15%，較大差異是否因創新產品補助，業界計畫變動造成？另科管局、竹科局”竹科研發中心”經費遞延一年，均可接受。

陸、後續工作構想及重點之妥適度

1.本計畫之執行時間是否合適？或太早？太晚？如何改進？

委員一：任何新技術的開發，最終點乃需要和商業化結合，時程自然非常重要，以本計劃擬定之各個技術，在時程上大致在市場大量需求出現之前二~三年完成，應是適合的完成點，惟 UWB 在市場上之反應不如預期，應可考慮工業和國防等利基用途，未來應要有風險管理之機制，可管制時程和適時調整方向。

委員二：時間點頗合適，但後續之研發及應用宜更聚焦。尤其核心技術的開發，必須累積長期的研發能量，方能呈現技術與價值。

委員三：本計畫宜持續執行，著重 SoC 製程整合困難度克服，結合奈米技術對跨領域之開發宜更注意及規劃。

委員五：後續工作構想合宜。朝異質整合，持續深化本計劃，落實國內自主 Multicore 軟硬體建制，強化 SoC 人才與環境等等...頗為適切。但如何吸引業界及早投入數位家庭與生醫晶片，應可強化。

柒、綜合意見

委員一：本計畫確實可使系統晶片的發展邁向前瞻性，並預期可帶動關鍵性產業的發展，具有多重化之潛在貢獻，惟如何凝聚各個單位的成果，予以更具體化，應有進一步之計畫。

委員二：1.整體而言，執行成果及產出值得肯定。

2.未來之規劃重點，除漸進式改良技術外，亦應鼓勵開創性(或先導性)之產業技術及應用。

3.評估指標宜加入因執行本案所帶動的經濟效益(含投資及市場所佔比例)。

委員三：本計畫之執行對國家整體之競爭力提升有明顯彰效，第二期 96 年度之成果值得高度肯定，宜予以持續支持。

委員四：1.矽導計畫對產業界之 R&D 補助與各公司之表現關聯性不高，我看不出政府為何出大錢給外商 EDA 公司，我們被當成凱子，他們卻大力輔助他國之大學，我們這種舉世首創的計畫應該 Justify。

2.人才培育最重要，我們經此計劃引進 300 位教師他們將指導出多學生，其好壞將影響未來產業之表現。Funding 機制與考許機制都應是國際一流才有可能產出一流成果，我們目前 papers 數量增加算是可喜，但不應太重量化，在我們能培育出被世界一流大學爭相聘用之博士生之前，還是應該 Humble 一點。

捌、總體績效評量(分數高者為優)：9.00

(個別評分：9、10、9、8)

註：(10:極優 9:優 8:良 7:尚可 6:可 5:普通 4:略差 3:差 2:極差 1:劣)

玖、計畫評估委員

胡振國、謝清江、林永隆、陳陽成、李鎮宜

晶片系統國家型科技計畫
96年辦公室運作計畫
活動及國外差旅報告
(NSC 96-3113-P-009-001-Y)

大學教師學術生涯規劃研習營

**How to be a significant contributor in the international academic societies
(GLPPC 系列活動)**

活動摘要報告

96 年 12 月 1 日

一、前言

學術國際化、領先化已是台灣各大學努力的主要方向，更是教育部五年五百億補助計畫的重要指標項目之一。如何在國際化的過程中成功地爭取擔任領導者的角色並發揮更大的影響力，是大學教授們在教學研究工作以外的另一挑戰，此挑戰也可以看成是一種機會來進一步提昇台灣教授們的國際學術地位與在學術學會中的重要性。

為提昇國內教授的國際競爭力，晶片系統國家型科技計畫辦公室特別舉辦『大學教師學術生涯規劃研習營』邀請交通大學吳重雨校長、台灣聯合大學系統周景揚副校長、台灣大學陳良基教授、交通大學許炳堅榮譽教授、交通大學李鎮宜研發長、交通大學林一平院長、交通大學曾煜棋副院長、交通大學柯明道教授、成功大學詹寶珠教授、工研院晶片中心吳誠文主任以及建國高中梁志堅老師等人，針對大學教師在學術生涯中所需面對之問題，採面對面交流會談的方式，進行一場「如何做研究、如何站上國際學術舞台」的討論會。

主辦單位：晶片系統國家型科技計畫辦公室(NSoC)、國立交通大學(NCTU)

時間：96年12月01日(星期六) 09:30-17:30

地點：國立交通大學電子與資訊研究大樓國際會議廳1樓

對象：全國 NSoC 領域新進學者及交通大學新進教授

議程：

時間	流程	講者
09:30-10:00	報到	
10:00-10:15	主席致詞	吳重雨校長
10:15-11:00	Panel Opening 大學教師學術生涯所面對之問題	主持人：陳良基教授 周景揚副校長
11:00-12:00	專題特寫 Special Topics (10min.) 成功女性研究者 經驗分享 (20min.) 跨領域研究者 經驗分享 (20min.) 全國最佳高中教師 GLPPC 經驗分享 (10min.)	引言：許炳堅榮譽教授 詹寶珠教授 柯明道教授 梁志堅老師
12:00-13:30	Lunch	
13:30-15:00	Panel Discussion (一) 如何做研究(How to do research)	主持人：李鎮宜研發長 曾煜棋副院長 吳誠文主任
15:00-15:30	Coffee Break	
15:30-17:30	Panel Discussion (二) 如何站上國際學術舞台(International service)	主持人：林一平院長 許炳堅榮譽教授

二、 活動記錄摘要

主席致詞：晶片系統國家型科技計畫總主持人 吳重雨校長

晶片系統國家型科技計畫辦公室第一次主辦大學教師學術生涯規劃研習營，目的是希望可以在台灣宣導教師國際化，因為台灣目前在這一方面是最重要且最有價值，但不需要花很多金錢的。如何讓教師們可以多參與國際的學會，讓各位教師皆可擔任各學會的領導幹部而受得國際學會的肯定，例如 IEEE Fellow。國際上的學會多半是義工性質，但學會不會主動要求會員當義工，都是會員主動以積極熱心貢獻的態度去幫助其它的人，當中也可以學會很多事情，在這樣的推動下，台灣今年有 13 位教授獲得 IEEE Fellow，創下空前的紀錄，所以每位教師都要勇於做開創的事情並以積極的態度去面對，這是台灣目前很需要的，希望藉由此研討會，讓每位教授國際化的過程都能夠非常順利。



Panel Opening 主持人報告：

(1)晶片系統國家型科技計畫共同主持人 陳良基教授

在學術圈中，大家所期待的就是可以在國際研討會中被邀請做為 Keynote Speech，這是非常難得的，在國際學會中必須要抱持著義工的心態才能夠在同領域中學習更多，而且在亞太地區，台灣占有更多的優勢。在基本面上，學術研究需要有紮實的創新，台灣是不會輸給國外，國外學者是很賞識台灣學者的研究，但台灣人總是比較含蓄，所以基本面上的紮實後，更應該鏈結到國際上，這是可以做到的。本人在 2001 年時取得 IEEE Fellow 同時也被選為 Distinguished Lecturer，這些研究都是在國內做出來的，現在許多教授都比本人還優秀，希望藉由本人的例子，每個人都可以走的更高更遠。也把國際上很好的研究成果帶回台灣，不但是個人的貢獻，也是對台灣整體的貢獻，讓未來的子女們可以有很好的學習環境。



(2)晶片系統國家型科技計畫執行長 周景揚教授

從國外業界回來，換了跑道，從副教授到交大電子工程系系主任的過程中，因為沒有論文，沒有實驗室，很多東西都需要一一克服，希望走過來的心路歷程可以幫助到許多教授。2005 年在卸下電工系系主任職務後，開始比較有時間分享自己的經驗，而且在大家的幫助下，也順利當選 IEEE Fellow。當初，在矽導計畫大量在 recruit 人的時候，常常用我的經驗去告訴從國外回來的人怎樣在國內學術界生根發芽，所以我是很樂意來分享自己的經驗。就像吳校長所說的，參加這個研討會是很有用的，聽專門技術的報告，縱使你多聽了幾個想法，只是幫助你多發表個幾篇論文，影響不大。但聽到一些經驗，稍微點了一下，你豁然領悟了，對你的做事、做人都非常有用。(參閱簡報 P1「如何成就快樂的教授生涯」)



專題特寫 Special Topics：

(1)引言人：晶片系統國家型科技計畫分項召集人 許炳堅榮譽教授

小學時期，常常學到的「一根筷子，一折就斷」，如果是「一把筷子，就不容易折斷」，這些是常常在教育學生的，國內也一樣，如果讓每一個教授都自己去摸索，人多了之後一定是 normal distribution，所以一定要有方法，讓前段的人可以持續的往前跑，系統化的經營。



(2)成功女性研究者經驗分享 成功大學電機工程學系 詹寶珠教授

雖然女性教師不是很多，但希望自己的主題可以與大家交流。自己進這領域後有一些感受，其實女孩子在這個領域裡面也有某些好處，雖然感覺自己好像該努力一點，在這個領域其實是非常友善，你會感覺到好像有老師一直在幫你，學長一直在幫你。所以如果有女孩子問我適不適合讀這領域，我可以告訴他說我的感受是適合的，所有老師與學長都會因為你是女性，所以會給了你很多幫助。許教授希望成大也要注重國際化，不要只是埋頭苦幹，而是要走出來走到國際上來看看，所以那時他就召開一個會議，他那時就跟我說：「詹寶珠，你必須要出來。」。在整個過程中你就可以感受到，其實很多地方都有來自外面的幫助。(參閱簡報 P5「女性研究學者之經驗分享」)



(3)跨領域研究者經驗分享 晶片系統國家型科技計畫副執行長 柯明道教授

當一個人生病時，剛開始可能只是吃顆藥，當發現吃顆藥沒辦法改善病情的時候，就需要尋找醫生。在學術發展亦是，當有無法解決的問題時，就需要尋求顧問高人的指點，可以清楚了解什麼樣的方向是最有效的路徑。個人從工研院的部門經理到交大的助理教授到目前的正教授，從中得到非常多的訓練，面對不同的挑戰，也體驗到很多事情。自從接觸到 GLPPC(Globalization Leadership Professors/Teachers Promotion Council)之後，做了許多服務性質的工作，開始認識了許多資深學者及國際知名學者，推廣個人的學術人脈。很多情況一個人單打獨鬥是很辛苦的，必須要有一個團體的合作才可以發揮最大的功效；相對的，團隊中也需要貢獻自己的力量。(有關 GLPPC 的介紹，請詳見網站 <http://www.cc.nctu.edu.tw/~sect/president/glppc/index.html>)。



(4)全國最佳高中教師 GLPPC 經驗分享 建國中學梁志堅老師

94 年開始舉辦 GLPPC 徵文活動，總共有 212 篇文章，詳見網址 <http://toedu.ck.tp.edu.tw/>，舉辦 GLPPC 的過程中，發生了許多問題，如捐款要放在哪裡？以什麼名義舉辦這個活動？主辦成員的邀約(建中：梁志堅、丘聖光老師，北一女中：陳怡芬老師，師大附中：李啓龍、林俊卿老師)？徵文辦法的訂定？如何把徵文的訊息傳達給全國的高中學生？評審老師的邀請？網頁的製作與投稿作品的整理？頒獎(獎品的選擇、獎牌的製作、頒獎的地點)，一波三折，但教學領域中，如果遇到問題，都可以化為自己的成就感，當問題都解決之後，也到了退休的時間。(參閱簡報 P13「21 世紀-現代教育之我見活動」)

Panel Discussion (一) 如何做研究(How to do research)主持人報告：

(1)交通大學研發處 李鎮宜研發長，詳見附加檔案。

研究主題這部份，當初第一個概念，是先升等，如何在有限的時間趕快發表一些論文，然後至少可以晉升成副教授、教授。現階段自己應先掌握覺得最有把握的部份，看要從那邊當成是一個切入點，因為你最有把握的這一部份，基本上是代表你是比較有機會，因為你創造一個新領域又要很長的一些時間，這些實際上也牽涉到，如果你在這個領域沒有一些記錄，其實很難去爭取到比較大的研究經費進來。若在提出計劃時，平常也有注意到相關報導，應該也可以看出主流的研究內容是哪些，如果是從那邊切入，基本上是會有更多的機會去爭取到這些經費，或者是從業界這邊可以得到更多的建教合作的經費。當在做研究時，對於周遭的內容應該也要去注意，這樣才會有更多的機會去掌握未來整個的科技脈動。(參閱簡報 P15「如何做研究」)



(2)交通大學資訊學院 曾煜棋副院長，詳見附加檔案。

應該什麼時候開始做研究，有很多同學可能覺得自己是不是應該先看 n 本書、n 篇 paper 後，才開始做研究。個人覺得可以鼓勵同學就是 do it right now，你在什麼時候開始做，去做思考，然後就想辦法去做突破。自己博士班時寫了一篇 paper，最後還是失敗了，因為我的 paper 就是投了再修，修完後再編輯，還是不行，沒有辦法突破一些障礙，所以沒有被接受。但現在想想，當時的勇氣是蠻可嘉的。所以大家不要在這邊說先記這個先記那個，大家都是在做研究的，什麼時候都可以開始，什麼時候都可以接受挑戰。應該鼓勵學生去挑戰大師的論文，讀完一篇文章應建立起自己的一些結論，並且可以再進一步去做思考。跨領域的想法，應該要先站穩自己的領域，然後將別的領域加以吸收調合進自己的領域。(參閱簡報 P25「我在研究上遭遇的困難」)



(3)工研院晶片中心 吳誠文主任

將研究管理經驗分享給各位，從 1988 年開始，平均每年指導畢業三名碩士班學生，共指導畢業五名博士班學生，幾乎皆為電機工程學系本科系畢業生，不拒絕學生；學生素質較整齊，但從 2000 年至今，平均每年指導畢業七名碩士班學生，共指導十四名博士班學生，指導學生三分之一為本系畢業生，不太拒絕學生；原則上先來先收，做到有教無類；因材施教越來越困難，但持續嚐試，本人教學理念依照著「法拉第治學方法」，作個人筆記，有讀書的同伴，成立讀書會，學習仔細觀察和精確的用字，學問之道，本不限於讀書，然讀書可以增加思想之深度與廣度。(參閱簡報 P46「我的研究管理與學習成長經驗」)



Panel Discussion (二) 如何站上國際學術舞台(International service)主持人報告：

(1)交通大學資訊學院 林一平院長

學生跟老師的觀念不合時，在收學生時，一定要跟學生約法三章，很多老師覺得現在的學生素質愈來愈差，但學生只要認真學習，可以做到因材施教把學生教好，年輕的教授，要訓練一個能力，不能只靠著學生寫出好的論文，一定要自己嘗試寫出一篇好的論文。當初在博士畢業後，問指導教授：「如何在學術上可以有積極的表現」，教授說：「就是把論文寫好，把它寄給別人看，如果做得夠好，別人就會主動來找你」。1995 年回到台灣，對新的研究並沒有什麼想法，只好把以前做的研究寫成一本書，並找了一位英文能力很強的共同作者，在組合的過程中，另外有了新的想法，開始了新的研究。做研究就是要高興，當作是做自己喜歡的事情。



(2) 晶片系統國家型科技計畫分項召集人 許炳堅榮譽教授

要發展出自己的思維方式，再找出研究方法論，不能只是沿著現有的路，不要只是 local optimization 以管窺天，要 global optimization 全面看一遍找出自己適合的路，一個人的資歷並不是最重要的因素，而是如何發揮具體實力。在學術圈最有效的方法，就是由有成就的教授帶領資淺或年輕的教授一起進行。舉辦此座談會，可以提供一個相互激勵的平台，讓大家的互動可以更上一層樓。(參閱簡報 P52「ISCAS」)

另外，針對大學教師問題，研討會中許榮譽教授請各位與會來賓發問，問題匯集如下所示。

三、問題討論(與會來賓所提出之問題)

- Q1： 在學術上要踏入國際合作的話學術上的基本面對比較 Junior 的教授來講大概要具備怎樣的基本功夫面才覺得說自己可以踏出去？
- Q2： 目前碩士班學生在尋找合適的教授時候，像陳良基教授一下子就收滿了，很多外校學生還沒有來得及備上根本就沒有機會，所以很想請教一下怎樣組織實驗室帶研究生，特別是說實驗室裡面有機率的問題，那機率與創新力之間怎麼去平衡，鼓勵碩士班學生繼續念博士班？(清大 邱澣德)
- Q3： 寫論文時，要選什麼語言。選英文呢？選中文呢？
- Q4： 像助理教授剛進學校，大家共同的目標是升等，一般來說會訂在六年內，但六對我們來說是一個 Magic Number，如何在有限的資源下，有沒有一些方法可以兼顧教學又兼顧到論文的發表，不知道自己有限的經歷有限的學生，尤其在前三年資源要如何分配？(清華大學電機系 張孟凡)
- Q5： 有時候必須要一些跨領域的教授一起合作來做，可是很多領域來說他們是比較注重 Single Author，有兩個以上的教授做研究，算點數都要打折，對助理教授將來升等的時候，是否都會考慮這些事情？(運輸管理系 任為連)
- Q6： 第一年現在有兩個學生，到第二年應該收多少個學生呢？如果目標十個左右時會不會太多，時間會不會不夠？(清華大學 助理教授)
- Q7： 如果想要邀請國際知名教授合作，國科會是否可以申請，還是說有更好的方式可

以合作？(清華大學 助理教授)

- Q8：目前升等及長期經營需要教學研究跟服務，可是目前發現時間上很難安排好，如何在教學研究跟服務間做好時間的調配？(台北科技大學助理教授 范玉成)
- Q9：隨著學生變越來越多的時候，我就會發現說我沒有在做研究了，我都是教別人怎麼做研究，那我就會後悔說我為什麼要收那麼多學生，整天把所有時間都花在學生身上，目前我這個階段比較掙扎的就是說，我很想回去做研究，可是我又不能把學生丟著不管，所以我不知道要怎麼去調配這整個的時間？(中正大學資工系 熊博安)
- Q10：要如何做跨領域的研究，尤其當他的性質非常不相同的時候？(清華大學電機系 吳人明)
- Q11：有一些碩士班學生覺得他還不錯，想說服他繼續進來念博士班，不曉得先進有沒有有一些比較好的方式？(清華大學資工系 邱瀾德)
- Q12：在 journal paper 上是不是有什麼技巧，也可以順利 present 第一次就可以上，縮短時程？(清華大學電機系 汪仁路)
- Q13：像聯合大學這種算是中段，甚至於中後段的學校，在研究生人數不多，研究生的素質跟研究能量比較偏低的狀況之下，們可以用什麼方法來加速提升我們的研究。(聯合大學電子系 陳漢辰)
- Q14：如果可以重新來過，從助理教授副教授，大家會怎麼來規劃自己的學術生涯？(交大生科 副教授 羅錦龍)
- Q15：常會覺得沒有時間做研究，時間很緊，要開很多的會議，要成為傑出人士，一天睡眠時間應該是多少？(交大英語教學研究所暨語文中心 副教授 羅雲址)
- Q16：本身是做 IC design，但要是學生是機械系考進來的，土木系進來的，地政所進來的，他們進來都要從什麼是電流什麼是電壓開始教起，不曉得該怎麼幫他們做研究？(暨南大學電機系)
- Q17：碩士班的學生畢業之後找工作太容易，可是要他們留下來唸博士班，學生們就是很不願意，因為到業界薪水就是很高了，我一個比較優秀的學生，鼓勵他留下來念，他說如果一個月五萬塊給他的話，他可以考慮留下來，那像這樣子不知道該怎麼鼓勵他們去留下來學習？
- Q18：學校的行政業務換取老師很多的時間，不知道該怎麼辦，因為要做研究又要服務，老師的時間被切割的很分開，想站上國際舞台好像很遙遠？(義守大學電機系 馮芥川)
- Q19：各位先進認為研究主題要較多好還較少好？如果經費有限，那出去一次就差不多了，那是要專攻還是要到各式各樣？是否應該帶學生？(交大電控洪浩喬)
- Q20：參加研討會有很多主題，要選哪一個？目前想法是專注本業，那自評之下，覺得還輸許多先進、業界，認為業界學術界都是競爭對象，好像都不是這些人的對手，那要怎麼辦？(中正大學)
- Q21：研究領域如果發現不適合要怎麼轉換？新進老師可能手上只有一個研究計畫，但又覺得不對的時候，要怎麼做認賠殺出的動作？打不過他就跟他合作，那萬一沒

- 有人跟你握手怎麼辦？走在最前面大家又未必認同這樣？(中正大學通訊系)
- Q22：不但量的提升還有質的提升，我們是要做一個可以引起很大迴響的，還是要把一個做的很完整，問題就是時間有限，希望把研究做的完整，那最後沒有人可以 cite 你不是很傷腦筋，與其這樣是不是拋出一個問題來，可以引起人家的注意？(中正大學通訊系 湯錦文)
- Q23：我去年回來的時候我的指導老師告訴我，你的前六年目標很簡單，一年兩篇 confirmed paper 一篇 journal paper，focus 在一個很小的領域專心去做，一年半來我發現，有時候有個很好的題目突然跳出來，我不知道我是不是要分心去做另外一個題目，還是怎麼？(交大傳播與科技學系 傅鄭超)
- Q24：未來如果是走教職這方面的話，要如何兼顧學生和研究？(交通大學光電系 約聘教授)
- Q25：現在的學生，只要在大四多留一年就可以考上研究所，不用讀很好的研究所就可以有很好的工作，這樣像是把喜歡做研究的老師跟不喜歡做研究的學生擺在一起，然後在鼓勵老師再鼓勵學生，清大交大的課程都很重，但老師直接給與學生資源對學生又是一種傷害，該怎麼樣解決類似的問題？電機工科領域的學生是否可以不用寫論文就可以畢業呢？鼓勵繼續攻讀博士？(交大電機 曹孝櫟)

四、與會來賓名單

中央大學	賀嘉律	教授	aluglory@ncu.edu.tw
清華大學	邱澍德	教授	ctchiu@cs.nthu.edu.tw
NCTU	吳樸偉	助理教授	ppwu@mail.nctu.edu.tw
NCTU	孫于智	副教授	sunyc@mail.nctu.edu.tw
TSMC	周文昇	副理	wschow@tsmc.com
中山資工	李淑敏	助理教授	smli@cse.nsysu.edu.tw
中正大學 通訊/電機系	李昌明	助理教授	changminglee@ee.ccu.edu.tw
台大電子所	呂良鴻	副教授	lhlu@cc.ee.ntu.edu.tw
台北市立建國高中	梁志堅	教師	ccliang.ck@gmail.com
台積電	鄭瑋嘉	工程師	wcchengc@tsmc.com
交大運管系	任維廉	副教授	wljen@mail.nctu.edu.tw
交大電子工程學系	劉志尉	助理教授	cwliu@twins.ee.nctu.edu.tw
交大機械	陳瑋原	博士班	tychen.me95g@nctu.edu.tw
交通大學	鄭裕庭	副教授	ytcheng@mail.nctu.edu.tw
交通大學	曹孝櫟	助理教授	sltsao@cs.nctu.edu.tw
交通大學土木系	林志平	教授	cplin@mail.nctu.edu.tw
交通大學電控系	洪浩喬	助理教授	hchong@cn.nctu.edu.tw
交通大學管理科學系所	林君信	副教授	netec7@yahoo.com.tw

光電工程系	林怡欣	助理教授	yilin@mail.nctu.edu.tw
長庚大學	馮武雄	教授	fengws@mail.cgu.edu.tw
建國科技大學	馬立山	講師	malishi@ctu.edu.tw
科技法律研究所	陳鈺雄	助理教授	chen@mail.nctu.edu.tw
國立中山大學資訊工程學系	黃英哲	教授	ijhuang@cse.nsysu.edu.tw
國立中正大學	蔡宗亨	助理教授	ieetht@ccu.edu.tw
國立中正大學	湯敬文	副教授	cwtang@ccu.edu.tw
國立中正大學	李順裕	副教授	ieesyl@ccu.edu.tw
國立中正大學	熊博安	教授	pahsiung@cs.ccu.edu.tw
國立中正大學電機系	江瑞秋	助理教授	rachel@ee.ccu.edu.tw
國立台北科技大學電子系	范育成	助理教授	skystarf@ntu.edu.tw
國立台灣師範大學	李敏鴻	助理教授	mhlee@ntnu.edu.tw
國立交通大學	鄭泗東	助理教授	stonecheng@mail.nctu.edu.tw
國立交通大學	劉志尉	助理教授	cwliu@twins.ee.nctu.edu.tw
國立交通大學	張添烜	副教授	tschang@twins.ee.nctu.edu.tw
國立交通大學	邱俊誠	系主任	chiou@mail.nctu.edu.tw
國立交通大學	殷金生	軍訓室主任	jin@mail.nctu.edu.tw
國立交通大學系	范倫達	助理教授	ldvan@cs.nctu.edu.tw
國立屏東商業技術學院	莊作彬	助理教授	tsobing@npic.edu.tw
國立高雄第一科技大學	陳寶龍	助理教授	plchen@ccms.nkfust.edu.tw
國立清華大學資工系	潘雙洪	助理教授	spoon@cs.nthu.edu.tw
國立清華大學電機工程學系	吳仁銘	助理教授	jmwu@ee.nthu.edu.tw
國立彰化師範大學	王右武	助理教授	wangyw@cc.ncue.edu.tw
國立暨南大學	盧志文	副教授	cwlu@ncnu.edu.tw
國立聯合大學	陳漢臣	副教授	hcchen@nuu.edu.tw
清大電子所	陳 新	助理教授	hchen@ee.nthu.edu.tw
清大電機系	翁詠祿	助理教授	ylueng@ee.nthu.edu.tw
清華大學	吳永俊	助理教授	ycwu@ess.nthu.edu.tw
雲林科技大學 電子系	蘇慶龍	助理教授	kevinsu@yuntech.edu.tw
義守大學	馮介川	助理教授	ccfeng@isu.edu.tw
資訊工程系	蔡德明	教授	ctchoi@cs.nctu.edu.tw
資訊工程系	李宜軒	研究助理	yslee@csie.nctu.edu.tw
資訊工程系	徐建華	學生	chhsu@csie.nctu.edu.tw
彰化師大	王右武	助理教授	wangyw@cc.ncue.edu.tw
大生科系	盧錦隆	副教授	cllu@mail.nctu.edu.tw
交通大學傳播所	陶振超	助理教授	taoc@mail.nctu.edu.tw
交通大學電工系	張錫嘉	助理教授	hcchang@si2lab.org
交通大學機械系	鄭泗東	助理教授	stonecheng@mail.nctu.edu.tw

交通大學電控系	黃聖傑	助理教授	schuang@cn.nctu.edu.tw
清大電機系	張孟凡	助理教授	mfchang@ee.nthu.edu.tw
聯合大學電子系	賴瑞麟	副教授	jllai@nuu.edu.tw



圖一 與會貴賓合影

交通大學吳重雨校長(前排中間)
台灣聯合大學系統周景揚副校長(前排右邊)
交通大學許炳堅榮譽教授(前排左邊)
交通大學林一平院長(後排右邊第一位)
交通大學柯明道教授(後排左邊第一位)
建國高中梁志堅老師(後排右邊第二位)
新竹高中彭國亮老師夫妻(後排左二、左三)



圖二 大學教師學術生涯規劃研習營參與來賓

國外差旅摘要報告

日本東京參訪

Tokyo Multicore Expo & Toshiba

96 年 10 月 30 日至 96 年 11 月 4 日

赴國外研究心得報告

計畫編號	96N030
計畫名稱	晶片系統國家型科技計畫
出國人員姓名 服務機關及職稱	清大 徐爵民院長, 交大 柯明道教授, 清大 李政崑教授, 清大 許雅三教授, 工研院晶片中心 林泰吉經理, 晶心科技 林志明總經理
出國時間地點	Oct. 30, 2007- Nov.4, 2007 日本東京
國外研究機構	- Toshiba - Embedded Processor Symposium & Multicore Expo 2007 - FujiSoft Headquarter

● 10/30/2007 Toshiba 工作記要：

1. Toshiba Jouhou 渡邊俊英 presented Toshiba Information Systems (Japan) company profile and business status (please refer to brochure and presentation slides hard copies) for NSoC delegation
2. NCTU Prof. Ker presented NSoC profiles with slides and brochure hard copies
3. Andes Mr. Lin presented Andes Company Profile, demo Andes Core running at 550Mhz by video clips, and presented Andes eco system third party partner business model proposal to Toshiba Jouhou
4. Discussion between Toshiba Jouhou, NSoC and Andes Technology:
 - a. Andes will introduce embedded hardware IP and embedded software IP business to Toshiba Jouhou when there is SoC business evaluation opportunity in Taiwan happening.
 - b. Andes will introduce embedded hardware IP and embedded software IP business to Toshiba Jouhou when there is SoC business evaluation opportunity in mainland China happening.
 - c. If case A and B goes good, in future when Andes will promote Andes Core business in Japan, Andes invites Toshiba Jouhou as its third party partner, both sides may cooperation
 - d. A current business opportunity of evaluating embedded hardware IP for SOC using Andes Core with some new A/V compression standards is mentioned to Toshiba Jouhou in the meeting
 - e. Toshiba Jouhou will send Andes its list of embedded hardware IP and embedded software IP.
5. NCTU Prof. Ker presented souvenirs to Toshiba Jouhou, 細矢弘司部長 received it on behalf of Toshiba Jouhou.
6. Wrap up.



● **11/01/2007-11/02/2007 attended Embedded Processor Symposium & Multicore Expo 2007**

● **11/02/2007 FujiSoft Headquarters 工作記要：**

FujiSoft:

1. 竹林義修 (Embedded Technology 事業本部, System Development Business Group, 事業部長 – General Manager)
2. 武居伸一 (Embedded Technology 営業本部, System Sales Management Development Group, Sales Division, 営業部長 – General Manager)
3. 小原義徳 (Embedded Technology 事業本部, System Development Business Group, Embedded Technology Division, Hardware Department, 部長)
4. 岡崎敦 (Embedded Technology 事業本部, System Development Business Group, Embedded Technology Division, 第 2 技術部, 部長)
5. 岩井英治 (Embedded Technology 事業本部, System Development Business Group, Embedded Technology Division, 第 1 技術部, 課長)
6. 木村博 (Embedded Technology 事業本部, System Development Business Group, Embedded Technology Division, 第 2 技術部, 課長)
7. 三田修 (Embedded Technology 営業本部, System Sales Management Development Group, Sales Division, 課長)
8. 梅津雅史 (Embedded Technology 営業本部, System Sales Management Development Group, Embedded Technology Sales Department, 課長)
9. 木村大樹 (Embedded Technology 営業本部, System Sales Management Development Group, Sales Management Division, Embedded Technology Sales Department)
10. 大井川由恵 (Embedded Technology 事業本部, System Development Business Group, Embedded Technology Division, Hardware Department, Solution Group)

FujiSoft Incorporated 資訊：
FUJISOFT INCORPORATED
Sebon Kannai Daini Building, 5F,
4-34 Hon-cyo Naka-ku Yokohama-shi,
Kanagawa-ken 231-0005 Japan
Tel: +81-45-662-5616, fax: +81-45-662-3625
Http://www.fsico.jp



Marubun 商社:

白砂元秀 (ASIC & IP, Marketing Division, Devices Business Unit 2 部長)
梁勇杰 (ASIC & IP Team, Sales & Marketing Dept. 3, Marketing Div, Devices Business Unit 2 第 3 課)

Meeting Minute:

1. FujiSoft 木村大樹 presented FujiSoft Incorporated company profile and business status (please refer to presentation slides hard copies & material provided)

2. Andes Mr.Lin presented Andes Company Profile, demo Andes Core running at 550Mhz by video clips, and present Andes eco system third party partner business model proposal to FujiSoft
3. NTHU Prof. Hsu presented NSoC achievement and current plans with brochure hard copies
4. Business discussion between FujiSoft and Andes Technology:
 - b. FujiSoft is No. 1 embedded software provider in Japan, it is an independent company, not under Fujitsu Group, and got IPO 15 years ago. Among their 5000+ employees, only 200+ are hardware people, most of the others are software people, FujiSoft and Andes are complementarily matching each other.
 - c. FujiSoft and Andes will focus on starting by WiMax solution FujiSoft currently own, with matching Andes Core IP and environment offering to promote WiMax SoC design win business in Taiwan.
 - d. FujiSoft is very professional in embedded software business in Japan, they know Andes Technology is looking for entering Japan market, however it could be next step when business cooperation in Taiwan could achieve success.
 - e. FujiSoft is looking for enter overseas business, FujiSoft is eager in SoC embedded software business in Taiwan, Europe, China, India, US, so the third party alliance could be covering overseas.
 - f. FujiSoft will deliver the solution list they have for WiMax to Andes.
 - g. Andes will provide information of appropriate Taiwan WiMax customers to FujiSoft after studying FujiSoft solution list.
 - h. FujiSoft, Andes Technology and Marubun will sign three parties NDA for kicking off the third party alliance relationship. FujiSoft will provide its NDA draft to the other parties for reviewing
 - i. One week after NDA signed, three parties will have audio or video conference to start with discussing further action to take.
 - j. Listed below are some Q&A clips during discussion:
 1. Does Andes tend to use embedded software capability or sales channel capability in Japan?
 2. Andes ' legal policy in Japan?
 3. What DSP IP provider Andes already start with cooperation?
 4. The performance level of PAC from STC, ITRI?
 5. Is there multi-core project Andes ever engaged?
5. NTHU Prof. Hsu presented souvenirs to FujiSoft, 竹林義修 事業部長 received it on behalf of FujiSoft.
6. Wrap up.

國外差旅摘要報告

印度參訪 India

97 年 2 月 13 日至 97 年 2 月 20 日

赴國外研究心得報告

晶片系統國家型計畫(NSoC) 2008 India Trip Feb.13~Feb.20, 2008

一、 活動緣起

依據 IEK「印度產業發展策略與台印合作機會分析：IC 產業」的報告，印度當地具備得天獨厚的軟體設計能力、英語環境、投資成本、人力資源等優勢，總體經濟與半導體產業快速崛起。晶片系統國家型計畫(NSoC)重視此一趨勢，規劃與該國長期交流合作，並擴大台灣 IC 產業在世界佈局的版圖，應 96 年 12 月 25 日月會會議中吳重雨主持人之建議，請陳良基共同主持人協調計畫執行長及三位召集人赴印度參訪先進國際大廠，並參加 ISA Vision Summit 2008 國際會議。

為期兩天的 ISA Vision Summit 2008 (<http://isaonline.org/visionsummit/08/>)自 97 年 2 月 18 日至 2 月 19 日在印度 Bangalore 舉行。會前 NSoC 代表團將拜會印度官方單位 MCIT(Ministry of Communication & Information Technology)、NMCC(National Manufacturing Competitiveness Council)、半導體產業 ST Microelectronics Facility、Cadence Facility、Intel 等公司、以及學術機構 Indian Institutes of Technology (IIT)等，為加強台灣與印度合作擬定規劃方向及相關事項進行討論。

二、 參與人員

	姓名	職稱及服務單位
1	陳良基 Chen, Liang-Gee	NSoC 共同主持人 台灣大學電機系教授 IEEE Fellow
2	周景揚 Jou, Jing-Yang	NSoC 執行長 交通大學電工系教授 台灣聯合大學系統副校長 IEEE Fellow
3	闕志達 Chiueh, Tzi-Dar	NSoC 創新產品分項召集人 台灣大學電機系教授
4	周世傑 Jou, Shyh-Jye	NSoC 晶片技術分項召集人 交通大學電子系教授兼系主任
5	許炳堅 Shyu, Bing-Jian	NSoC 人才環境分項召集人 交通大學特聘榮譽教授 IEEE Fellow

三、 行程(考察參觀活動)

Date	Time	Activity	Description
Feb 13 (Wed.)	22:45	Arrival in Delhi (TG315) Hotel Check-in : <u>The Stellar Gymkhana</u>	Mr. Rajiv Jain from ISA will be accompanying the delegation to all meetings in Delhi
Feb 14 (Thu.)	10:00~ 11:30	Visit to Ministry of Communication and Information Technology	Mr. Debashis Dutta , Director Mr. Madhavan Nambiar , Additional Secretary
	12:00~ 13:00	Visit to National Manufacturing Competitiveness Council (NMCC)	Mr. Shri Mrutunjay Sahoo, Chief (Joint Secretary)
	19:30	Dinner with 15-18 ISA members	
Feb 15 (Fri.)	10:00~ 11:00	Visit to STMicroelectronics facility	Mr. Vivek Sharma , Director IPDF India
	11:30~ 14:00	Visit to Cadence facility and lunch with ISA members	Mr. Jaswinder S. Ahuja Vice Chairman, ISA Vice President & Managing Director Cadence Design Systems, India
	15:30~ 16:30	Visit to Indian Institute of Technology IIT Delhi and team	Prof. Juzer Vasi , Deputy Director & Professor of Electrical Engineering
Feb 16 (Sat.)		Day Break	
Feb 17 (Sun.)	10:00 14:00 PM	Flight to Bangalore Hotel check-in : <u>16 SQUARES</u>	Mr. Shaji Kurian from ISA will be at the airport to receive and accompany the delegation to all meetings in Bangalore
Feb 18 (Mon.)	08:00~ 17:30	Attend ISA Vision Summit	
	19:00	CEO Networking Dinner	
Feb 19 (Tue.)	8:30~ 10:00	Indian Institution of Science (IISc)	
	11:30~ 13:00	Intel Technology Pvt Ltd	Dr.Sunit Tyagi, Senior Manager DEG
	14:00~ 15:00	Software Technology Parks of India	Mr. J Parthasarthy, Director STPI
	15:15~ 16:15	International Institute of Information Technology, Bangalore	Prof. S. Sadagopan, Director
	22:45	Flight back to Taiwan (TG328)	
Feb 20 (Wed.)	11:55	Arrival in Taiwan	

四、 參訪心得及建議事項

1. Facts of India

India is a country that leaves one spellbound with its alluring contrasts and striking features in all that it beholds. Indian economy is on the rise for the past few years with effects of globalization, privatization and liberalization being seen. This has opened up many new business opportunities in India for foreign and multinational companies. India has now materialized into an appropriate destination for various enterprises, especially on the field of high technology. Some facts and advantages about India:

- 29 states, 5 union territories
- 325 spoken languages, 18 official languages
- Foreign reserve: U.S. \$200 Billion
- Revenue: 55.1% service, 26.4% industry, 18.5% agriculture (but uses 60% population)
- Middle class: 400 M people
- 16% world population
- 11% world consumption
- India rated highly on talent and technical education system
- Favorable: Legal/IPR regime
- Lacking: Physical infrastructure
- Moderate to Good: semiconductor market potential

As measured by the Purchasing Power Parity (PPP), India is the third largest economy in the world with an ever growing GDP of 9.2%. This makes India, a country with the second fastest growing economy in the world. Most of the population of India earns their living through agriculture and related activities. However, with globalization and opening up of the world economies, the manufacturing and the service sector are also coming up in a big way especially in the urban metropolitan areas. One of the major benefits India possesses is the large amount of youth population which falls in the age category of 18 to 30. These young educated people in this digital age are being employed for outsourcing and back offices work of global companies that are being carried out in India extensively. India is known for its highly-skilled workers in software engineering and financial services. Facts of high-tech industry distribution in India:

- Mumbai (Bombay): AMD, Cisco, Nortel, Qualcomm, Skyworks
- Noida/New Delhi: Cadence, Cisco, Conexant, Freescale, HCL, Motorola, Nortel, ST Micro
- Calcutta: Cisco, HCL, LSI Logic
- Hyderabad: Analog Devices, AMD/ATI, Cisco, Conexant, Cypress, Microsoft, Motorola, Qualcomm, Synopsys
- Chennai: Cisco, HCL, KIA Technology
- Bangalore (60% - 70%): Agere, AMD, Analog Devices, Applied Materials, ARM, Broadcom, Conexant, Cisco, Cypress, Freescale, HCL, Infineon, Intel, Intersil, Microsoft, LSI Logic, Motorola, nVidia, Philips, Qualcomm, Rambus, ST Micro, Synopsys, TI, QuickLogic
- In addition, India ICT starts phase 2 in 2008 and expects grows from 5% to 25% share at Fabless IC design in five years (2012); PMO (program manage office) coordinates the activities. Major man power now is the students who study abroad and come back for serving domestically. India has tried to enter manufacturing of

semiconductor and a task force is formed.

2. Government Agencies

The India government is trying to turn their strength in software related services into electronics manufacturing. In 2007, the government has passed a plan that will subsidize up to 25% the cost needed to set up a wafer fab in India. Until now, there have been only sporadic applications from the industry, no major player shows interest in this.

Ministry of Communication & Information Technology

- Phase1: Accounting for 5% World Design Market
- 160 Design Houses
- Phase2: to increase to 25% World Design Market

India National Manufacturing Competitiveness Council (NMCC)

- Policy Advising
- India DTT (Dept. of Information Technology), annual budget is U.S.\$ 10M for 3 areas (Electronics, Computers, and Telecommunication)
- India supports both GSM and CDMA standards for cellular phones
- 2 Korean companies doing well in India: Samsung and LG
- Failure from foreign companies is due to superficial understanding of India consumers' needs.
- To be successful in India, need to achieve “Market Adaptability” or “Adaptability to Market Needs”.

Software Technology Park of India

This is very similar to our 科學園區管理局. It serves not only software industry, but all high-tech industries. It has exported its expertise to high-tech park planning and management to foreign countries. This is a good lesson for Taiwan to learn.

3. Universities

NSoC delegation visited three universities: India Institute of Technology (IIT), India Institute of Sciences (IISc), and International Institute of Information Technology (IIIT). There are seven IIT in India that have the best undergraduate programs in India as their students all did very well in the joint entrance exam. There is only one IISc in India and it has very good graduate program. The faculty and students there are as good as universities in Taiwan. IIIT are private institutions that are also sponsored by the government and they all focus on IT. So they are like the colleges of EECS in Taiwan. They are all relatively new (less than 20 years old). Their ranking is lower than IIT.

3.1 IIT—Delhi

- IIT has seven campuses.
- IIT Delhi is located at the center old Delhi which is very crowded.
- 4,500 students are admitted to all IITs from 300,000 applicants (1.5%) each year.
- IIT Delhi admits 500 students and EE has 80 students (40 faculties) each year.

- Almost 90% of the students go to USA. Number one in India for undergraduate program
- M.S.: 140 students
- Ph.D.: 12 ~ 13 students

3.2 India Institute of Science in Bangalore

- Faculty size: 500
- 1,500 Ph.D. students, plus 500 M.S. students
- Number one in graduate school in India.
- Iisc has a very nice campus with lots of trees.
- Would like to encourage faculty or student exchange: PREFER AT LEAST 1-MONTH FOR FACULTY EXCHANGE
- Research Collaboration: Internationally, with Stanford University, Singapore university,
- Has a good industrial support
- They have center of excellent like nanotechnology

3.3 International Institute of Information Technology, Bangalore

- Founded in 1999 and will have about 20 such IIITs around India
- Only has MS and Ph.D program for the emergency need of talent high-level IT engineers
- Basic founding is from government and is a private school
- First, Government helped build the school
- Then, let private to operate
- Focus on Computer Science and related area
- Mr. Mihir K. Ravel
E-mail: mihir.ravel@iiitb.ac.in
A visiting Professor of Electronic Systems Design. He has extensive industrial experience in U.S. (Tektronics, in Oregon), and knows about Prof. Charles Sodini (MIT, EECS Dept.) well. He has great views and insights about how to train students for software and system designs. NSoC can invite him to give further recommendations

4. Industry

NSoC delegation has visited STMicro India, Cadence India, and Intel India. All of them are multi-national companies. STMicro has 1700 engineers in that site and is the largest design center for the company outside France/Italy. Cadence India is also very big in terms of number of employees and project size. Intel India is established 7 years ago and is now already carrying out 45-nm processor design for Intel.

All three companies have a common fact that their senior leaders are all trained in USA and stayed there for several years before they return to India. This is very similar to Taiwan's experience.

4.1 ST-Microelectronics

- ST-Microelectronics R&D center is near Delhi (will have 3000 engineers)
- Bangalore is now the largest zone of semiconductor in India (silicon valley of India)

- E-software for 2015(2005) will have 700000(70000) and VLSI design will be 60000(60000) engineers,10:1 due to support of E-software for outside system
- Programmable logic with embedded NVM is one of ST-M focusing
- Good engineering school and good communication skill are the key that ST-M school chose India as the largest R&D outside Europe
- ST Revenue distribution: North America 12%, Europe 32%, Greater China 27%, Japan 5%, Asia 18%, Emerging Market 6%
- 3 Design Centers worldwide: Crolles in France, Milan in Italy, Noida in India

4.2 India-Intel

- India GDP CAGR 9%,industry grows 11%
- Intel-India is to build IA platform and service
- 3-D stacked CPU and memory package and thermal design
- New phase-0 effort on advanced storage platform
- Will have 45um processor design project
- India Talent engineer in USA are coming back to India now

4.3 Cadence India

- Focus: Logic verification, Synthesis, Physical Design, Analog Environment, PCB Design, IC Design and Electrical Verification
- Products: Virtuoso, IC Design (Encounter), Incisive (NC Sim), Allegro (RF system-in-package), DFM (design for manufacturability), Synthesis, Encounter Tests, Vertical kits.
- Cadence University Program: Regular training for both students and faculty members
- Finishing School Program: World-class curriculum, industry standard tools & methodology

4.4 Vision Summit

It is a conference for showcasing the semiconductor industry in India. The program includes keynote speeches, and panel. Basically the audience is very interested in learning from Taiwan and China and making India play an even more important role in world economy. Interestingly, there is voice that objects to build fabs in India due to the high cost (USD 4 billions). Which keynote speech by Wipro chairman, three key aspects:

- 1) Increase consumption, and localization. Study local market well.
- 2) Supporting/adopting schools
- 3) Evolving business model
 - Partner
 - Value (Knowledge of local market, Knowledge of product engineering)
 - Innovation (Incremental change, apply creativity)
 - Technological innovation, Managerial innovation
 - Entrepreneurship within organization, reward risk/success
 - Collaborate, Co-invent, working in teams

5. Reflection:

India owns the biggest software OEM (original equipment manufacturer), Infosys, and the biggest wireless communication OEM, Wipro, whose facility and scale are competitive with TSMC and UMC. In addition, there are 12 hours difference between India and United States; as a result, the world-wide, international team can have the best connection throughout the internet era, which makes India grows to the top place of the OEM. However, the hardware manufacturing is extremely insufficient in India, which might be the result of the short of public construction. On the other hand, Indian government is establishing positively manufacturing departments; nowadays, the government pays more attention on the south gold triangle of Bangalore (IT) 、Chennai (Manufacture) and Hyderabad (Fab-city) to push integration of manufacturing, and it is an opportunity to move on for Taiwan as well. Although the public construction is not good enough, India still stands a crucial role of the world in the future. It represents a slogan of Shell, “Difficult, Yes. Impossible, No.”

五、相片集錦





