

行政院國家科學委員會補助專題研究計畫 ☒ 成果報告
☐ 期中進度報告

新穎非揮發性奈米點記憶體在薄膜電晶體上的製作與研究

計畫類別：☒ 個別型計畫 ☐ 整合型計畫

計畫編號：NSC 96-2221-E-009-202-MY3

執行期間：96 年 8 月 1 日至 99 年 9 月 30 日

執行機構及系所：國立交通大學 電子工程系

計畫主持人：張俊彥

共同主持人：

計畫參與人員：陳緯仁、馮立偉、涂峻豪、江成能、
薛培堃、陳聖杰、王派璿

成果報告類型(依經費核定清單規定繳交)：☐ 精簡報告 ☒ 完整報告

本計畫除繳交成果報告外，另須繳交以下出國心得報告：

- ☐ 赴國外出差或研習心得報告
- ☐ 赴大陸地區出差或研習心得報告
- ☐ 出席國際學術會議心得報告
- ☐ 國際合作研究計畫國外研究報告

處理方式：除列管計畫及下列情形者外，得立即公開查詢

☐ 涉及專利或其他智慧財產權，☐ 一年 ☐ 二年後可公開查

詢

中 華 民 國 99 年 10 月 29 日

行政院國家科學委員會專題研究計畫成果報告

新穎非揮發性奈米點記憶體在薄膜電晶體上的製作與研究

Study of Novel Nonvolatile Nanocrystal Memory on Thin Film Transistor

計畫編號：NSC 96-2221-E-009-202-MY3

執行期限：96 年 8 月 1 日至 99 年 9 月 30 日

主持人：張俊彥 交通大學電子研究所教授

一、中文摘要

近年來，薄膜電晶體(TFT)與奈米點(nanocrystal)的應用技術發展受到相當大的矚目，薄膜電晶體目前廣為液晶顯示器(LCD)產業所大量使用，而奈米點則是可以運用於在非揮發性儲存記憶體上，因其可以解決傳統上利用複晶矽浮停閘(floating gate)做為載子儲存單元的非揮發性記憶體(例如，快閃記憶體)之元件微縮問題，而本計畫將兩者結合起來，並開發新穎結構的非揮發性奈米點記憶體在薄膜電晶體上，其功能可以運用在堆疊式(stacked)的積體電路晶片、軟性電子與省電的攜帶式產品上，對於 SOC(System on Chip)的開發與研究提供一個新的元件結構。

複晶矽薄膜電晶體可以在低溫下成長，對於後段製程的熱預算(thermal budget)可以有效的降低，而與奈米點結合，則可以成為新結構的記憶體元件，本計畫即利用先前的薄膜電晶體與奈米點的製作成果技術相互結合來研究此元件的特性，第一年著重於大尺寸的新穎非揮發性奈米點記憶體在薄膜電晶體上的製作與基本電性驗證，利用先前的薄膜電晶體技術與各種不同的奈米點結合(Si、Ge、NiSi、W)，並探討半導體與金屬這些不同材料特性會對非揮發性記憶體有何影響，第二年則進而會改變元件結構，利用多重通道與多重閘極，來研究新穎奈米點記憶體的寫入與抹除效應是否會提升其元件速度，且當元件通道結構微縮至奈米尺度時，邊角效應(corner effect)與奈米點的量子效應則會如何主

導我們的薄膜電晶體的開關特性，是本計畫要釐清的重點之一。第三年則是著重於已製備完成的元件記憶體特性量測，本實驗團隊將進行記憶體的可靠度分析，不僅進行 DC 與 AC 的加壓量測複晶矽薄膜電晶體元件，並改變環境溫度探討儲存載子的活化能影響及儲存效率，對於容忍度(endurance)與保存能力(retention)也將深入測試，藉此製作一個高效能的非揮發性奈米點結合薄膜電晶體的記憶體元件，以確保有機會可以運用在 SOC 開發上與其他省電的產品上。

關鍵詞：奈米點、薄膜電晶體、非揮發性記憶體。

二、英文摘要

In recent years, the fundamental researches on nanocrystal and thin film transistor have received increasing attentions for the novel technology applications. Thin film transistors (TFTs) are widely used at present in the industry of the liquid crystal display (LCD). In addition, it is well known that nanocrystalline dots can be applied to the nonvolatile electrically erasable programmable read-only memory (EEPROM). Nanocrystal nonvolatile memory (Nanocrystal NVMs) can solve the problems of non-scaling down in traditionally floating gate (FG) nonvolatile memory for highly doped continuous poly-silicon as charge trapping layer. Therefore, the novel device which combined

TFTs and Nanocrystal NVMs is proposed in the project. This project is focused on the development of the novel structure which combines the nonvolatile nanocrystalline dots memory with thin film transistors which can be applied on stacked IC chips, on power-saving portable products, and it also can contribute to the development and research of system on chip (SOC).

TFTs fabricated under lower temperature can effectively reduce the thermal budget in the back-end process steps. The device based on TFTs structure with nanocrystals embedded can be also applied for nonvolatile memory. In the first year, the fabrications of thin film transistors combined with different materials nanocrystalline dots (Si、Ge、NiSi、W) is the main topic. The effects of different charge trapping layers on nonvolatile memory will be investigated by using different materials nanocrystal. The TFTs with nano-scale multi-channel and multi-gate will be utilized in the second year. The memory characteristics, such as programming speed, of different device dimension will be investigated by the introduction of the structure of multiple channels combined with multiple gate electrodes. Especially, when the devices are shrinking into nanometer scale, the corner effect of multi-channels TFT with nanocrystals will dominate the program/erase characteristics. Furthermore, the quantum effect will be occurred obviously. The behavior of write and erase in nano-scaled structure will be studied. Also, the corner effect will be discussed. In the third year, the completely electrical measurement of the fabricated device will be finished, including the reliability under DC and AC stress conditions, the activation energy, charge

storage efficiency under varying temperature environments, and the endurance and the retention. By the way, the novel high performance TFTs combined nonvolatile nanocrystals memory will be potential for the application on power-saving portable products, and development of SOC.

Keywords: nanocrystal, thin-film transistor, nonvolatile memory.

三、緣由與目的

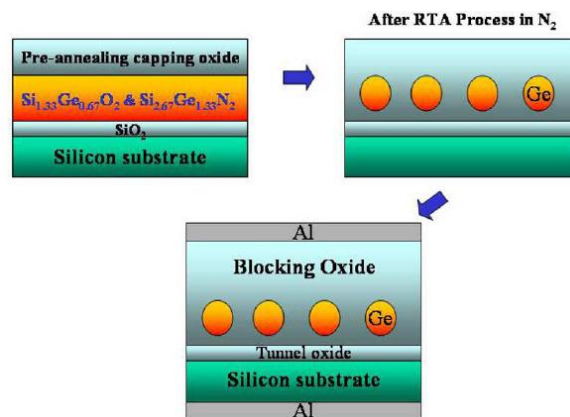
現今的消費性電子商品的流行，可攜式電子產品能夠快速普及於各個家庭之中，其中一項最重要的因素便是利用非揮發性記憶體的高省電、高密度和輕巧防震的特點。目前的快閃記憶體操作模式是經由儲存的電荷經由底部的穿隧氧化層以 F-N 穿隧效應穿隧入多晶系的浮動閘極(floating gate)。當移除所施加的偏壓後，由於儲存電子無足夠的電場或動能來穿過或躍遷穿隧氧化層，電子便侷限於浮動閘極中，造成非揮發性記憶體元件起始電壓的改變。藉此，我們可由記憶體元件起始電壓的變化來判讀邏輯的 0 或 1。雖然快閃記憶體擁有許多的優點，然而，隨著元件積體化及元件的微縮後，傳統的快閃記憶體元件遭遇到無法避免的瓶頸。由於浮動閘極是一層連續的半導體薄膜，若是浮動閘極底下的穿隧氧化層太薄，記憶體元件在反覆的操作下，穿隧氧化層(tunnel oxide)可能出現漏電路徑，儲存的電荷就會全部流失，記憶體就會失效，因此穿隧氧化層的厚度無法縮減下來，操作電壓無法降低，速度也無法增快。一般認為當元件通道長度達到 65 奈米時，便是此種結構的極限。但若以奈米點取代浮動閘極結構，便可以解決上述問題，因為電荷僅儲存於分立的(distributed)奈米點中，若穿隧氧化層存在局部的漏電路徑，並不會導致電荷的全部流失，仍能維持記憶元件之功能。此外從

製程的觀點而言，奈米點的製作流程較相似於 SONOS 記憶體製程，其可以提供比現今製作浮動閘極記憶體製程還要少的光罩步驟，如此便能減少製作成本。另外，近年來複晶矽薄膜電晶體(TFT)愈來愈受到重視，尤其在主動矩陣式液晶顯示器(AMLCD)上的應用更是不可限量，而主動矩陣式液晶顯示器也是我國重點產業之一，且因為複晶矽薄膜電晶體擁有較高的載子遷移率，在相同電壓操作下，可以比非晶矽薄膜電晶體提供較大的驅動電流，所以不僅可當開關元件，亦可以應用於系統電路的元件，複晶矽薄膜電晶體不僅製作成本低且又可運用於不同的低溫基板上(例如:玻璃、耐高溫的可撓式基板等)，對於我國開發軟性電子工業有正面的幫助，本實驗團隊將對薄膜電晶體與非揮發性記憶體的部分進行開發與研究。

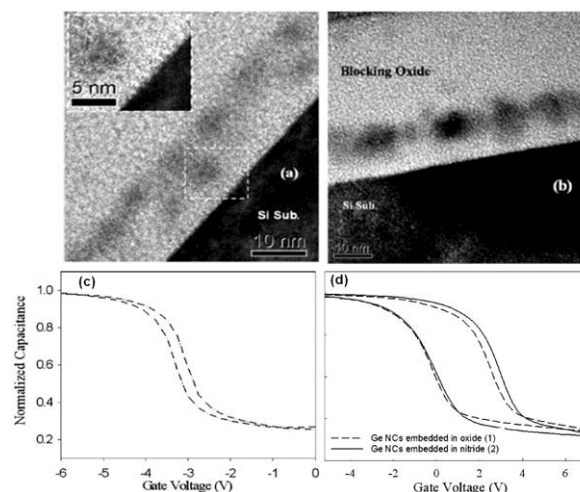
四、結果與討論

我們已成功達成國科會計畫所規劃的目標: (i) 以不同奈米點(Si、Ge、NiSi、W)結合並探討半導體與金屬不同材料特性會對非揮發性記憶體之影響;(ii) 製作新穎奈米晶體記憶體元件及相關可靠度研究。

主題一<<不同奈米點特性研究>>首先，先在六吋 P 型矽晶圓表面上利用常壓化學氣相沉積系統(APCVD)熱成長一層 5nm 乾式氧化層當作穿隧氧化層，接著使用反應式離子真空濺鍍系統於 Ar/O₂ (24/2 sccm) 下濺鍍一層 10nm Si_{0.5}Ge_{0.5} 當作電荷儲存層，再利用快速熱退火系統(RTA)於 900 °C，100s 退火形成分離的奈米點晶體，最後使用電漿輔助化學氣相沉積系統於 900 °C 沉積控制氧化層，最後再沉積上下 Al 電極並圖案化，完成金屬/氧化物/絕緣體/氧化物/半導體(MOIOS)結構。其實驗流程如圖一所示。



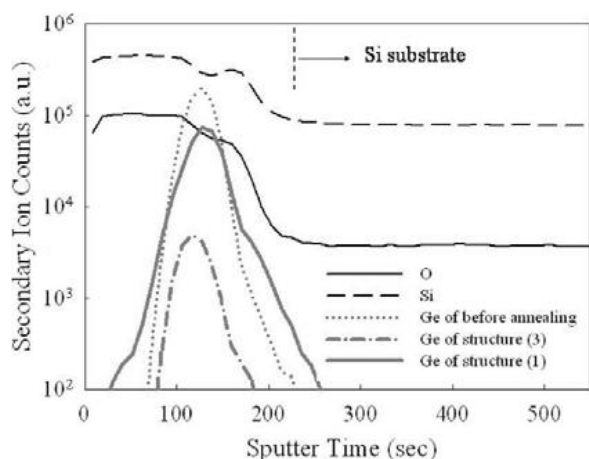
圖一:MOIOS 結構及實驗流程示意圖。



圖二:Ge 奈米點分別埋入於(a)二氧化矽及(b)氮化矽之 TEM 截面圖。(c) Ge 奈米點埋入於二氧化矽在控制氧化層之前退火及(d) 在控制氧化層之後退火在±10V 操作下之 C-V 遲滯特性。

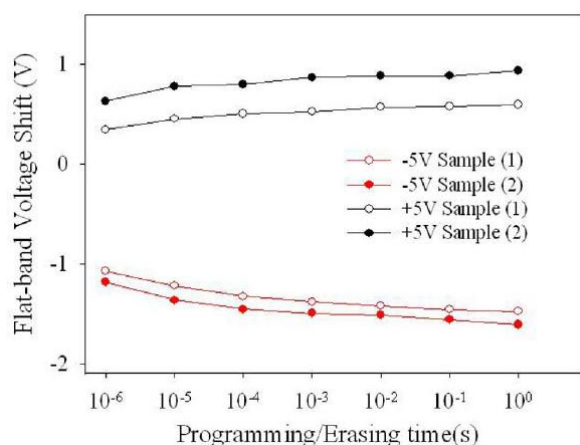
圖二(a)(b)分別顯示了鍺奈米點埋入於二氧化矽及氮化矽之 TEM 截面圖，由 TEM 中可知鍺奈米點之大小分別為 5~6 nm 及 7~8 nm，奈米點密度則分別為 1.73×10^{12} 及 $1.12 \times 10^{12} \text{ cm}^{-2}$ 。而圖二(c)(d)則顯示了鍺奈米點在±10V 操作下具有記憶窗口~3V 之記憶體特性表現，由(c)(d)圖比較可得知在控制氧化層沉積後退火可以有較佳的記憶窗口，其原因為控制氧化層沉積後可以提供較佳的熱聚積的效果，使鍺更容易形成奈米點，另外，由於氮化矽層可以提供額外的儲存中心，所以可以發現相比鍺奈米點埋入在二氧化矽中的元件，埋入於氮化矽的元件有著更大的

記憶窗口。



圖三:在控制氧化層之前及之後退火下 Ge 奈米晶體於 MOIOS 之 SIMS 縱深分析。

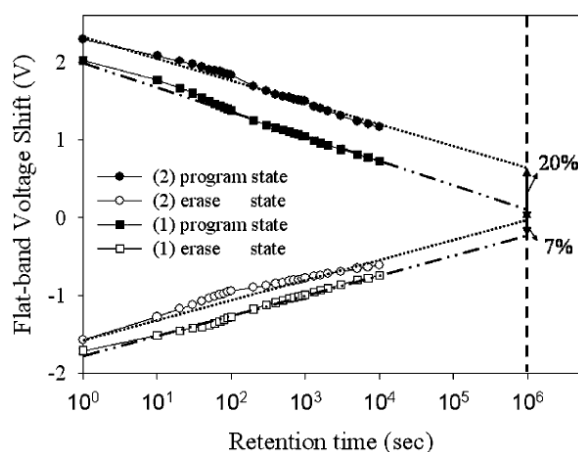
由圖三可以發現在經過退火後，銻有明顯向外擴散的趨勢，這將降低電荷儲存層中的銻含量進而使銻奈米點不易形成，然而這情形可以在退火前覆蓋控制氧化層來達到抑制銻向外擴散的情形發生，有助於銻奈米點的形成，而在後續的電性分析上，可以發現這樣的元件製作方式有著較佳的記憶體特性。



圖四:Ge 奈米點分別埋入二氧化矽(1)及氮化矽(2)於 $\pm 5V$ 閘極偏壓操作之寫入抹除特性表現。

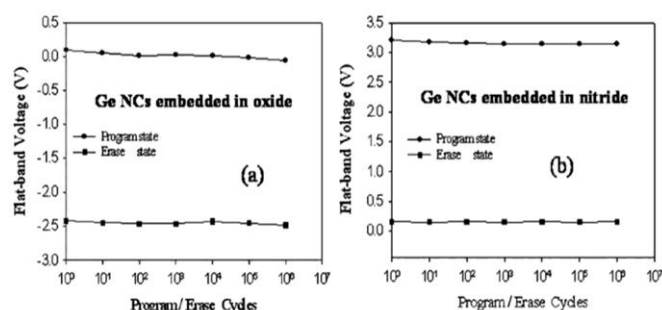
由圖四可知發現元件在寫入抹除時間 $1\mu s$ 時就有 $>1V$ 的記憶窗口，且隨著寫入抹除時間加長其記憶窗口也隨之加大，同時，銻奈米點埋入於氮化矽的元件相較於

埋入於二氧化矽的元件在不同的寫入抹除時間中皆展現較佳的記憶體特性。由圖三、四可以很清楚地發現將儲存層的介電質由二氧化矽改成氮化矽可以有效的增進記憶體的特性表現，有助在更小的操作電壓下達到於傳統記憶體相當的元件特性。



圖五:Ge 奈米點分別埋入二氧化矽(1)及氮化矽(2)於室溫下 $\pm 15V$ 閘極偏壓操作 10s 之資料保存特性。

雖然 Ge 奈米點元件具有良好的記憶窗口特性，但是在非揮發性記憶體中，其可靠度是更加重要的，由圖五可知為銻奈米晶體於二氧化矽及氮化矽中經 $\pm 15V$ 寫入後於室溫下 10^6 秒後分別還保有 7%及 20%的記憶窗口，這顯示埋入於氮化矽之元件在未來電荷保存能力更趨重要時更適合用於記憶體的製作，。

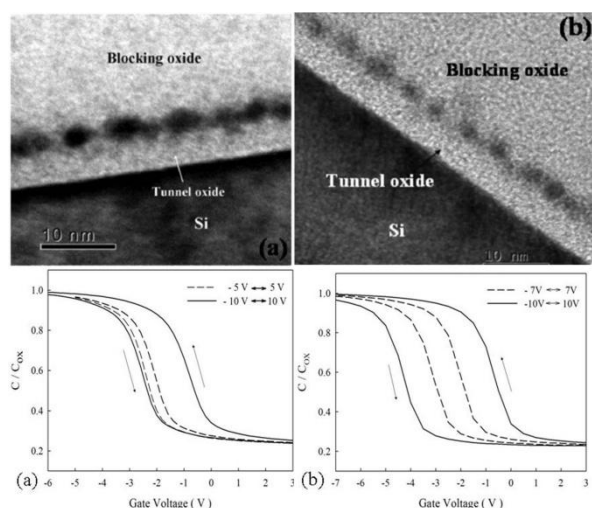


圖六:Ge 奈米點分別埋入二氧化矽(1)及氮化矽(2)於 $V_G - V_{FB} = \pm 5V$, $1ms$ 脈波條件下之非揮發記憶體耐操特性表現。

由圖六可以發現無論是銻奈米晶體埋

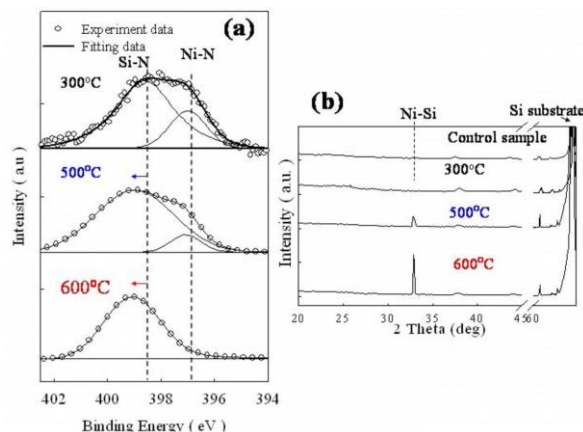
入於二氧化矽或是氮化矽中都展現優異的耐操度，在寫入抹除條件為 $V_G - V_{FB} = \pm 5\text{ V}$ ，操作時間為 1 ms 下經歷 10^6 次寫入抹除之後，其記憶窗口皆無產生偏移。

雖然鍺奈米點元件展現良好記憶體特性，然而其可靠度並不足以作為未來非揮發性記憶體之使用，於是為了進一步改善其記憶體特性，我們將引入金屬奈米晶體的概念，以金屬奈米點取代半導體奈米晶體以期可以再增進元件的記憶體特性，於是使用反應式離子真空濺鍍系統在不同製程下形成電荷儲存層來取代 $\text{Si}_{0.5}\text{Ge}_{0.5}$ ，再經由後續退火形成金屬奈點體。其製作方法為使用反應式離子真空濺鍍系統於 $\text{Ar}/\text{N}_2(\text{O}_2)$ ($24/10\ 24/2\text{ sccm}$) 下濺鍍一層 10 nm $\text{Ni}_{0.3}\text{Si}_{0.7}$ 作為電荷儲存層。



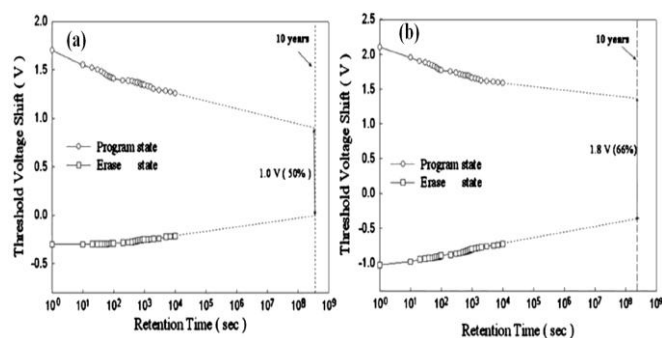
圖七: Ni-Si 奈米點分別埋入於(a)二氧化矽及(b)氮化矽之 TEM 截面圖。(c) Ni-Si 奈米晶體埋入於二氧化矽及(d) 氮化矽在 $\pm 10\text{ V}$ 操作下之 C - V 遲滯特性。

由圖七(a)(b)可知 Ni-Si 奈米點成功形成於二氧化矽及氮化矽中，由圖七(c)(d)也可發現在 $\pm 10\text{ V}$ 操作下分別具有記憶窗口 2 V 及 4 V 之記憶體特性表現，顯示了 Ni-Si 相較於 Ge 奈米點有最佳的記憶窗口。



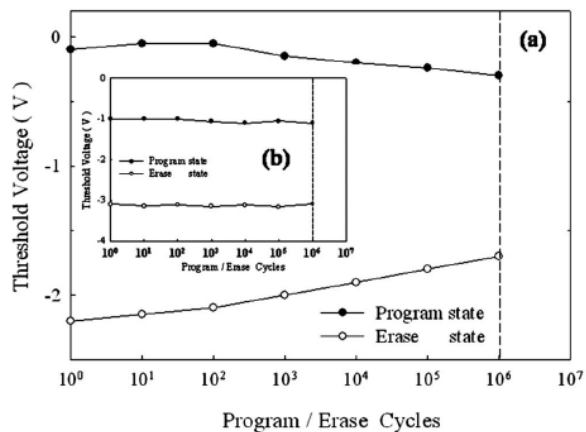
圖八: (a) Ni-Si-N 元件 $1s$ 之 XPS 分析結果及 (b) 於 300°C 、 500°C 及 600°C 熱退火條件下之 XRD 分析結果。

圖八顯示隨著熱退火溫度的提高，Ni-N 的訊號峰強度逐漸下降，而 Si-N 的訊號峰則是逐漸往高鍵結能方向偏移，同時由 XRD 分析可以發現代表 Ni-Si 的結晶之訊號強度亦隨熱退火溫度提高而上升，這些分析結果都指向在較高熱退火下，原本的 Ni-Si-N 薄膜轉變為 Ni-Si 的奈米點，而其原因則是因為 Ni-Si (-318 kJ mol^{-1}) Ni-N ($-70\sim 85\text{ kJ mol}^{-1}$) 及 Si-N (-470 kJ mol^{-1}) 之 Gibbs free energy 大小不同所造成，於熱退火下傾向將 Ni-Si 析出而形成奈點。



圖九: Ni-Si 奈米點埋入(a)二氧化矽及(b)氮化矽層之非揮發性記憶體之資料保存特性。

由圖九可發現在 10^6 秒後，其記憶窗口還保有 50% ，遠勝於鍺奈米點，顯示 Ni-Si 更適合使用在記憶體中加強記憶體資料保存特性。

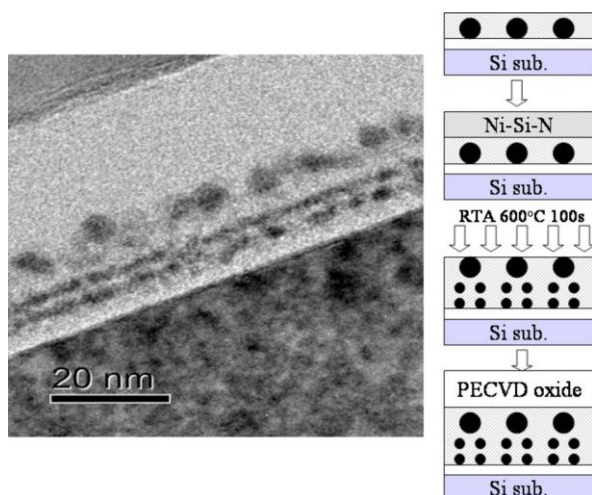


圖十: Ni-Si 點埋入(a)二氧化矽及(b)氮化矽層之非揮發記憶體耐操特性表現。

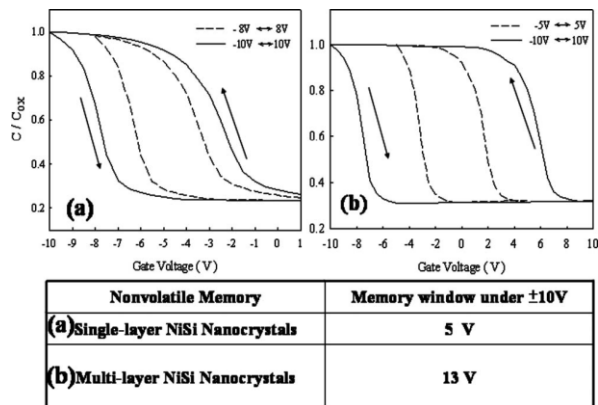
圖十為 Ni-Si 奈米點 埋入(a)二氧化矽及(b)氮化矽層之非揮發性記憶體之耐操特性，兩種元間亦都展現出極佳的耐操度，足以支撐到一般非揮發記憶體所需要的寫入抹除次數。

比較 Ni-Si 及 Ge 奈米點可以發現 Ni-Si 展現了較佳的非揮發性記憶體特性，更適合於未來世代之記憶體使用。

為了進一步提高記憶體之特性，我們將引入多層之 Ni-Si 奈米點於元件中，其 TEM 剖面圖及製作流程圖將於圖十一中顯示。

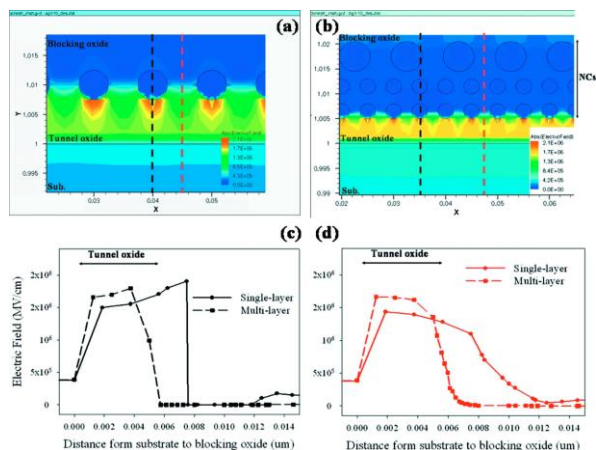


圖十一: 元件 TEM 剖面圖及製作流程圖。



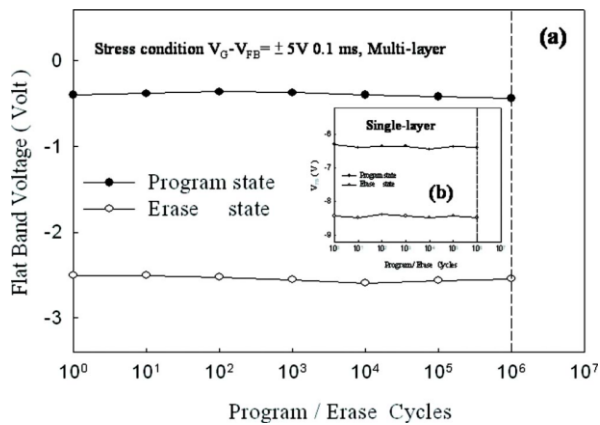
圖十二:(a)單層及(b)多層 Ni-Si 奈米點於不同偏壓操作下之記憶體特性。

由圖十一及十二可發現上層的奈米點尺寸較大且多層結構有更大的記憶體窗口，其原因主要是由於多層奈米點可儲存更多載子進而使記憶窗口提高，

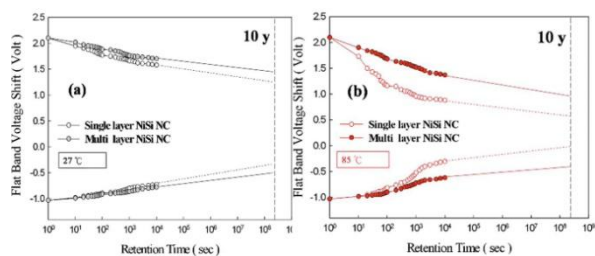


圖十三: 單層及多層 Ni-Si 埋入氮化矽層之非揮發性記憶體的電場模擬分布圖。

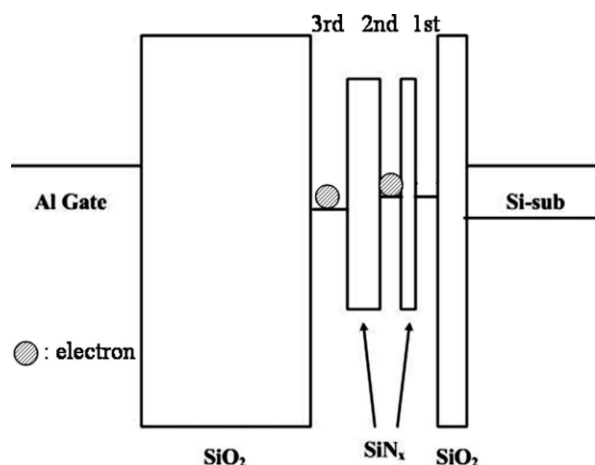
由圖十三可以發現奈米點下方因為金屬有較強的耦合效應而導致有較強的電場分佈，同時由模擬結果可以發現多層的奈米點結構於靠近基板處有較大且均勻之垂直電場，這也是多層奈米點元件特性較佳之根本原因，如此在元件微縮的情形下，多層奈米點將可維持住其電荷儲存能力。



圖十四: 多層及單層 Ni-Si 奈米點記憶體之耐操度



圖十五: 多層及單層 Ni-Si 奈米點記憶體於 (a) 27 及 (b) 85°C 之資料保存特性。



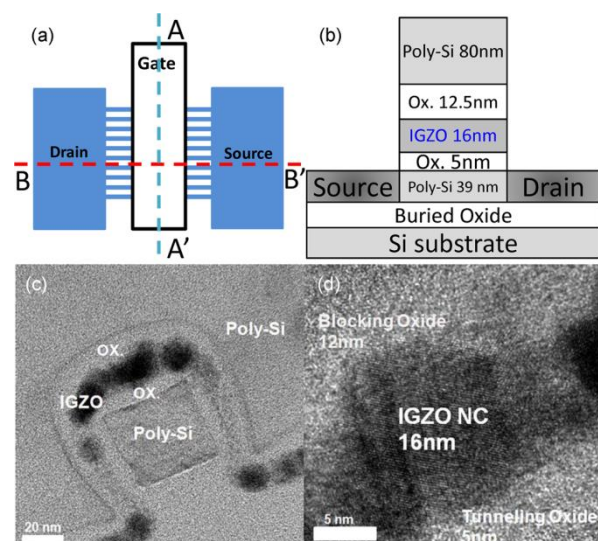
圖十六: 多層奈米點記憶體之能帶圖。

圖十四及十五顯示多層及單層 Ni-Si 奈米點記憶體之可靠度測試，可發現雖然於室溫下兩種元件的資料保存能力相當，但是在 85°C 下時，多層奈米點元件展現了較佳的資料保存能力，又控制氧化層厚度足以阻擋載子流收，側向所以造成的電荷又理應相同，其主要差別在於主要儲存載子的位置有所不同，在單層奈米點元件中，其載子主要是儲存在第一層奈米點中，而多層奈米點元件主要則是在第三層奈米點

中，這樣的結果使得單層奈米點記憶的電荷相較於多層奈米點容易由穿隧氧化層所流失，進而使得其資料保存能力於 85°C 下有明顯衰退的情形。其物理機制可由多層奈米點能帶示意圖中看出，如圖十六所示。

主題二<<奈米點之多晶矽奈米線記憶體>>

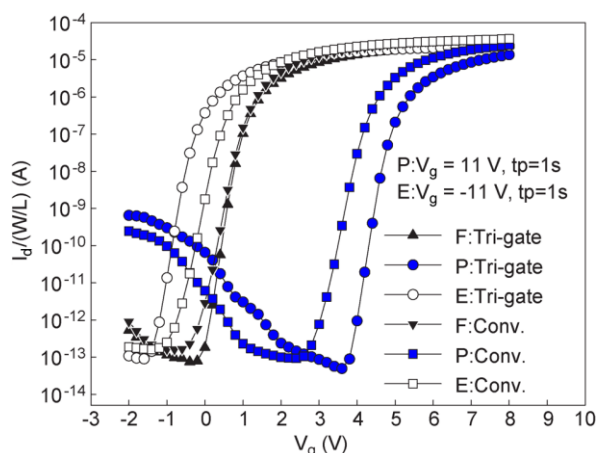
我們將製作 indium-gallium-zinc-oxide (IGZO) 奈米晶體多晶矽薄膜電晶體，首先，我們於六吋矽晶圓上利用濕式氧化成長 400nm 的二氧化矽，接著使用 low-pressure chemical-vapor-deposition (LPCVD) 於 550°C 沉積 50nm 厚的非晶矽，然後利用固相結晶法於 600°C 下氮氣中 24 小時將非晶矽結晶為多晶矽，將主動區多晶矽圖案化成十條 45nm 之奈米線，成長 8.5nm 後的穿隧氧化層，使用真空濺鍍系統於混合 Ar/O₂ 下濺鍍一層 10nm IGZO 作為電荷儲存層，接著用 PECVD 沉積 16.5nm 的 SiO₂ 為控制氧化層，沉積 80nm 厚的多晶矽作為閘極，接著利用自我對準技術離子佈值能量 23keV 劑量為 5×10¹⁵ cm⁻² 的磷離子形成源極及汲極，在氮氣下快速加熱回火 60s 活化，接著 200nm 的二氧化矽保護層，最後鍍上 300nm 的 Al-Si-Cu 金屬層並於 400°C 氮氣下燒結 30min 完成 IGZO 奈米點多晶矽薄膜電晶體的製作。



圖十七: (a) 奈米線薄膜電晶體記憶體之上

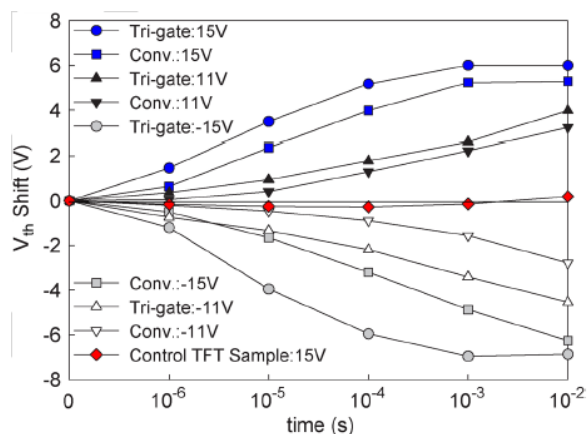
視圖及(b)BB'方向之剖面圖。(c) AA'方向之 TEM 剖面圖及(d)IGZO 奈米點之放大圖。

圖十七顯示了奈米線記憶體之結構示意圖及 TEM 剖面圖，可以發現 IGZO 薄膜自我組裝形成約 16nm 大小之奈米點。



圖十八:IGZO 奈米點奈米線記憶體及傳統記憶體之 I_d - V_g 轉移特性，元件都以 $V_{gs}=11V$ ，時間長度為1s脈衝寫入及 $V_{gs}=-11V$ ，時間長度為1s脈衝抹除。

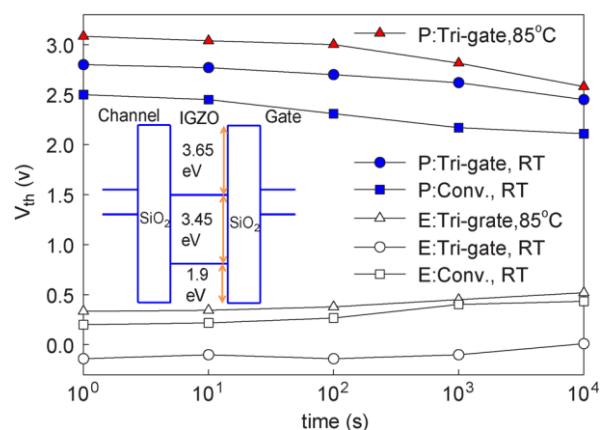
圖十八顯示了傳統及奈米線記憶體在寫入及抹除狀態下，汲極偏壓為0.5V之歸一化汲極電流對閘極偏壓特性圖。奈米線及傳統記憶體之次臨界斜率分別為195 及 210 mV/dec，顯示IGZO奈米線記憶體有較佳的閘極控制能力



圖十九:奈米線及傳統結構電晶體於FN 偏壓條件下之寫入抹除特性。

圖十九顯示元件於閘極偏壓分別為 11V 及 15V 及源極、汲極接地之 FN 寫入

特性，以及閘極偏壓分別為-11V 及-15V 及源極、汲極接地之 FN 抹除特性，可以發現奈米線記憶體有較佳的 FN 寫入抹除效率，其原因主要歸因於奈米線記憶體所特有的邊角效應，使奈米線邊角有較大電場而提高了 FN 電流，此外，奈米點的引入使得電荷儲存層有較多的缺陷可用於儲存載子而有較佳的記憶體特性。另外，IGZO 奈米點搭配多晶矽通道之記憶體之抹除特性較以 IGZO 為通道及儲存層之記憶體佳，這主要是因為 IGZO 通道元件有相當差的 FN 抹除特性，IGZO 薄膜之鍵結主要為離子鍵，其導帶之電子主要是源自於氧空缺，因此，IGZO 是屬於 n 型半導體而缺乏電洞，因此在抹除時，需要更大的偏壓來形成電洞的反轉層來提供電洞的穿隧電流，進而使得 IGZO 通道元件之抹除特性相當慢，然而在主研究中所採用的多晶矽通道較易形成電洞的反轉層而有較佳的抹除特性。



圖二十:奈米線及傳統記憶體之資料保存能力特性圖。

由圖二十可以發現奈米線記憶體在室溫及 85°C 下都有良好的保存特性，在 104s 後仍分別具有 72%及 83%的記憶窗口，其原因主要歸因於 IGZO 與 SiO₂ 導帶能量有 3.65eV 之大，這樣較深的位能井有助於提高資料保存能力，此外，IGZO 中的深缺陷易有助於資料保存能力的提升。相信再更進一步最佳化製程可以製作出更高效能的記憶體元件。

五、成果自評

本次計畫之執行，皆達預期成果，完成相關奈米點製作及成功搭配多晶矽薄膜電晶體，計畫成果也發表於相關學術期刊上。

六、參考文獻

- [1] S. Tiwari, F. Rana, K. Chan, H. Hanafi, W. Chan, and D. Buchanan, Tech. Dig. - Int. Electron Devices Meet. 1995, 521.
- [2] J. D. Blauwe, IEEE Trans. Nanotechnol. 1, 72 (2002).
- [3] W. R. Chen, T. C. Chang, P. T. Liu, P. S. Lin, C. H. Tu, and C. Y. Chang, Appl. Phys. Lett. 90, 112108 (2007).
- [4] M. Shalchian, J. Grisolia, G. Ben Assayag, H. Coffin, S. M. Atarodi, and A. Claverie, Appl. Phys. Lett. **86**, 163111 (2005).
- [5] J. H. Chen, Y. Q. Wang, W. J. Yoo, Y.-C. Yeo, G. Samudra, D. S. H. Chan, A. Y. Du, and D.-L. Kwong, IEEE Trans. Electron Devices 51, 1840 (2004).
- [6] C. Y. Ng, T. P. Chen, L. Ding, and S. Fung, IEEE Electron Device Lett. 27, 231 (2006).
- [7] S. K. Samanta, P. K. Singh, W. J. Yoo, G. Samudra, Y.-C. Yeo, L. K. Bera, and N. Balasubramanian, Tech. Dig. - Int. Electron Devices Meet. 2005, 170.
- [8] T. Takagahara and K. Takeda, Phys. Rev. B 46, 15578 (1992).
- [9] R. Parthasarathy, X. M. Lin, and H. M. Jaeger, Phys. Rev. Lett. 87, 186807 (2001).
- [10] T. C. Chang, S. T. Yan, P. T. Liu, C. W. Chen, S. H. Lin, and S. M. Sze, "A novel approach of fabricating germanium nanocrystals for nonvolatile memory application," Electrochem. Solid State Lett., vol. 7, pp. G17-G19, 2004.
- [11] C. H. Tu, T. C. Chang, P. T. Liu, H. C. Liu, S. M. Sze, and C. Y. Chang, "Improved memory window for Ge nanocrystals embedded in SiON layer," Appl. Phys. Lett., vol. 89, pp. 162105-1-162105-3, 2006.
- [12] Y. H. Lin, C. H. Chien, C. T. Lin, C. Y. Chang, and T. F. Lei, "Novel two-bit HfO₂ nanocrystal nonvolatile flash

memory," IEEE Trans. Electron Devices 53, 782 (2006).

- [13] P. Zimmerman, G. Nicholas, B. De Jaeger, B. Kaczer, A. Stesmans, L.-A. Ragnarsson, D. P. Brunco, F. E. Leys, M. Caymax, G. Winderickx, K. Opsomer, M. Meuris, and M. M. Heyns, "High performance Ge pMOS devices using a Si-compatible process flow," in IEDM, 2006, pp. 655-658.

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

☒ 達成目標

☐ 未達成目標（請說明，以 100 字為限）

☐ 實驗失敗

☐ 因故實驗中斷

☐ 其他原因

說明：成功製作不同奈米點記憶體並研究其記憶體特性及其可靠度，也成功結合奈米點及多晶矽薄膜電晶體製程，製作出奈米點奈米線多晶矽薄膜電晶體並研究其電性及可靠度。

2. 研究成果在學術期刊發表或申請專利等情形：

論文：☒ 已發表 ☐ 未發表之文稿 ☐ 撰寫中 ☐ 無

專利：☐ 已獲得 ☐ 申請中 ☐ 無

技轉：☐ 已技轉 ☐ 洽談中 ☐ 無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

本計畫研究成果驗證了奈米點記憶體具有良好的記憶體特性及可靠度特性，並成功結合奈米點及奈米線多晶矽薄膜電晶體之概念，製作出高效能之奈米點記憶體，具有極高的學術價值，並於記憶體技術突破創新並結合不同半導體領域之技術，對於下一代非揮發性記憶體的研究有所貢獻並可作為未來新穎記憶體技術開發之參考，並有機會取代當前傳統的浮動閘極記憶體，同時發表多篇相關記憶體論文於學術期刊，其研究成果具有極高的學術及應用價值，未來可進一步微縮發展更小尺寸之記憶體元件。