

執行期間：九十六年八月一日至九十八年七月三十一日

計畫參與人員：陳緯仁、馮立偉、王信淵、張耀峰、江培維

☐ 完整報告

中 華 民 國九十八年五月三十一日

新穎非揮發性奈米點記憶體在薄膜電晶體上的製作與研究

Study of Novel Nonvolatile Nanocrystal Memory on Thin Film Transistor

計劃編號: 96-2221-E-009-202-MY3

執行期間: 九十六年八月一日 至 九十九年七月三十一日

計劃主持人: 張俊彥交通大學電子工程系教授

一、中文摘要

近年來，**薄膜電晶體(TFT)與奈米點(nanocrystal)的應用技術發展受到相當大的矚目**，薄膜電晶體目前廣為液晶顯示器(LCD)產業所大量使用，而奈米點則是可以用於在非揮發性儲存記憶體上，因其可以解決傳統上利用複晶矽浮停閘(floating gate)做為載子儲存單元的非揮發性記憶體(例如，快閃記憶體)之元件微縮問題，而本計畫將兩者結合起來，並開發新穎結構的非揮發性奈米點記憶體在薄膜電晶體上，其功能可以運用在堆疊式(stacked)的積體電路晶片、軟性電子與省電的攜帶式產品上，對於SOC(System on Chip)的開發與研究提供一個新的元件結構。

複晶矽薄膜電晶體可以在低溫下成長，對於後段製程的熱預算(thermal budget)可以有效的降低，而與奈米點結合，則可以成為新結構的記憶體元件，本計畫即利用先前的薄膜電晶體與奈米點的製作成果技術相互結合來研究此元件的特性，第一年著重於大尺寸的新穎非揮發性奈米點記憶體在薄膜電晶體上的製作與基本電性驗證，利用先前的薄膜電晶體技術與各種不同的奈米點結合(Si、Ge、NiSi、W)，並探討半導體與金屬這些不同材料特性會對非揮發性記憶體有何影響，第二年則進而會改變元件結構，利用多重通道與多重閘極，來研究新穎奈米點記憶體的寫入與抹除效應是否會提升其元件速度，且當元件通道

結構微縮至奈米尺度時，邊角效應(corner effect)與奈米點的量子效應則會如何主導我們的薄膜電晶體的開關特性，是本計畫要釐清的重點之一。第三年則是著重於已製備完成的元件記憶體特性量測，本實驗團隊將進行記憶體的可靠度分析，不僅進行DC與AC的加壓量測複晶矽薄膜電晶體元件，並改變環境溫度探討儲載子的活化能影響及儲存效率，對於容忍度(endurance)與保存能力(retention)也將深入測試，藉此製作一個高效能的非揮發性奈米點結合薄膜電晶體的記憶體元件，以確保有機會可以運用在SOC開發上與其他省電的產品上。

關鍵詞: 奈米點、薄膜電晶體、非揮發性記憶體

Abstract

In recent years, the fundamental researches on nanocrystal and thin film transistor have received increasing attentions for the novel technology applications. Thin film transistors are widely used at present in a large amount by industry of the liquid crystal display,

and it is known that nanocrystalline dots can be applied to the nonvolatile electrically erasable programmable read-only memory because it can solve the device non-scaling down problem in traditionally floating gate nonvolatile memory, such as flash, which using highly doped continuous poly-silicon as charge trapping layer. Therefore, we plan to combine those two together, i.e. to develop the novel structure which combines the nonvolatile nanocrystalline dots memory with thin film transistors. The functions of the novel device can be applied on stacked IC chips, on power-saving portable products, and it also can contribute to the development and research of SOC.

Keywords: nanocrystal, thin film transistor, nonvolatile memory

二、計畫的緣由與目的

近年來**複晶矽薄膜電晶體(TFT)**愈來愈受到重視，尤其在主動矩陣式液晶顯示器(AMLCD)上的應用更是不可限量，而主動矩陣式液晶顯示器也是我國重點產業之一，且因為複晶矽薄膜電晶體擁有較高的載子遷移率，在相同電壓操作下，可以比非晶矽薄膜電晶體提供較大的驅動電流，所以不僅可當開關元

件，亦可以應用於系統電路的元件，複晶矽薄膜電晶體不僅製作成本低且又可運用於不同的低溫基板上(例如:玻璃、耐高溫的可撓式基板等)，對於我國開發軟性電子工業有正面的幫助(如圖1所示)，本實驗團隊將對**薄膜電晶體與非揮發性記憶體**的部分進行開發與研究。

三、實驗流程

先在六吋P型矽晶圓表面上利用常壓化學氣相沉積系統(APCVD)熱成長一層5nm乾式氧化層當作穿隧氧化層，接著使用反應式離子真空濺鍍系統於Ar/O₂ (24/2 sccm)下濺鍍一層10nm Si_{0.5}Ge_{0.5}當作電荷儲存層，再利用快速熱退火系統(RTA)於900°C，100s退火形成分離的奈米點晶體，最後使用電漿輔助化學氣相沉積系統於900°C沉積控制氧化層，最後再沉積上下Al電極並圖案化，完成金屬/氧化物/絕緣體/氧化物/半導體(MOIOS)結構[1][2]。

為了進一步再提高元件特性，在實驗中我們又引入金屬奈米晶體的概念，以金屬奈米晶體取代半導體奈米晶體以期可以再增進元件的記憶體特性，於是使用反應式離子真空濺鍍系統在Ar/N₂(O₂) (24/10 24/2 sccm)下濺鍍一層

10nm $\text{Ni}_{0.3}\text{Si}_{0.7}$ 當作電荷儲存層來取代 $\text{Si}_{0.5}\text{Ge}_{0.5}$ ，再經由後續退火形成Ni-Si奈米晶體。

四、結果與討論

圖一為鍺奈米晶體於 MOIOS 結構下之製作流程示意圖。

圖二為鍺奈米晶體分別埋入於二氧化矽及氮化矽之 TEM 截面圖，由 TEM 中可以看出鍺奈米晶體之大小分別為 5~6 nm 及 7~8 nm，奈米晶體密度則分別為 1.73×10^{12} 及 $1.12 \times 10^{12} \text{ cm}^{-2}$ 。

圖三為鍺奈米晶體在 $\pm 10\text{V}$ 操作下之記憶體特性表現，由(a)(b)圖比較可得知在控制氧化層沉積後退火可以有較佳的記憶體窗口，另外，由於氮化矽層可以提供額外的儲存中心，所以可以發現相比鍺奈米晶體埋入在二氧化矽中的元件，埋入於氮化矽的元件有著更大的記憶體窗口。

圖四為退火於控制氧化層覆蓋之前及之後的 SIMS 縱深分析，可以發現在經過退火後，鍺有明顯向外擴散的趨勢，這將降低電荷儲存層中的鍺含量進而使鍺奈米晶體不易形成，然而這情形可以在退火前覆蓋控制氧化層來達到抑制鍺向外擴散的情形發生，有助於鍺奈米晶

體的形成，而在後續的電性分析上，可以發現這樣的元件製作方式有著較佳的記憶體特性。

圖五為在操作電壓 $\pm 5\text{V}$ 的情形下元件的寫入抹除特性，由圖可知，元件在寫入抹除時間 $1 \mu\text{s}$ 時就有相當不錯的記憶體窗口，且隨著寫入抹除時間加長其記憶體窗口也隨之加大，同時，鍺奈米晶體埋入於氮化矽的元件相較於埋入於二氧化矽的元件在不同的寫入抹除時間中皆展現較佳的記憶體特性。

由圖四、五可以很清楚地發現將儲存層的介電質由二氧化矽改成氮化矽可以有效地增進記憶體的特性表現，有助在更小的操作電壓下達到於傳統記憶體相當的元件特性。

圖六為鍺奈米晶體分別埋入於二氧化矽及氮化矽在經過 $\pm 15\text{V}$ 寫入後於室溫下的電荷保存特性，在 10^6 秒後分別還保有 7%及 20%的記憶體窗口，這顯示埋入於氮化矽之元件在未來電荷保存能力更趨重要時更適合用於記憶體的製作。

圖七為鍺奈米晶體記憶體耐操度測試，可以發現無論是鍺奈米晶體埋入於二氧化矽或是氮化矽中都展現優異的耐操度，在寫入抹除條件為 $V_G - V_{FB} = \pm 5 \text{ V}$ ，操作時間為 1 ms 下經歷 10^6 次寫入抹除之後，其記憶體窗口皆無產生偏移

或是記憶窗口變小的現象。

圖八為鍺奈米晶體分別埋入於二氧化矽及氮化矽之 TEM 截面圖

圖九在 $\pm 10\text{V}$ 操作下 Ni-Si 埋入(a)二氧化矽及(b)氮化矽層之非揮發性記憶體分別具有 2.0V 及 4.0V 的記憶窗口，相較於鍺奈米晶體有更好的記憶窗口。

圖十 Ni-Si 埋入(a)二氧化矽及(b)氮化矽層之非揮發性記憶體之資料保存特性，在 10^6 秒之後其記憶窗口還保有 50%，遠勝於鍺奈米晶體，顯示 Ni-Si 更適合使用在記憶體中加強記憶體特性。

圖十一為 Ni-Si 埋入(a)二氧化矽及(b)氮化矽層之非揮發性記憶體之耐操特性，兩種元間亦都展現出極佳的耐操度，足以支撐到一般非揮發記憶體所需要的寫入抹除次數。

圖十二為 Ni-Si 埋入(a)二氧化矽及(b)氮化矽層之非揮發性記憶體的電場模擬分布圖，可以發現奈米晶體下方因為金屬有較強的耦合效應而導致有較強的電場分佈，同時由於氮化矽介電常數較大的關係，所以其穿隧氧化層的電場較小且均勻，使得在寫入抹除的操作中不易傷害到穿隧氧化層造成電荷流失，所以不會像 Ni-Si 埋入於二氧化矽的非揮發性記憶體產生記憶窗口變小的情

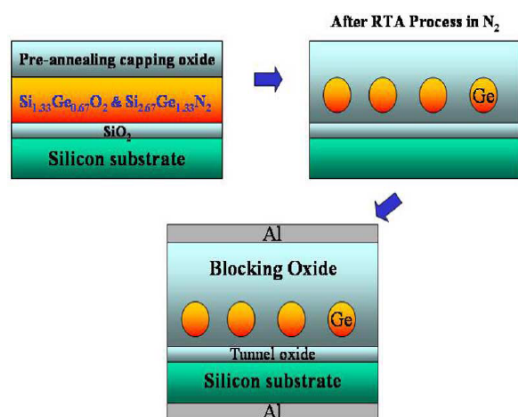
形，進而有較佳的元間耐操度。

四、結論與討論

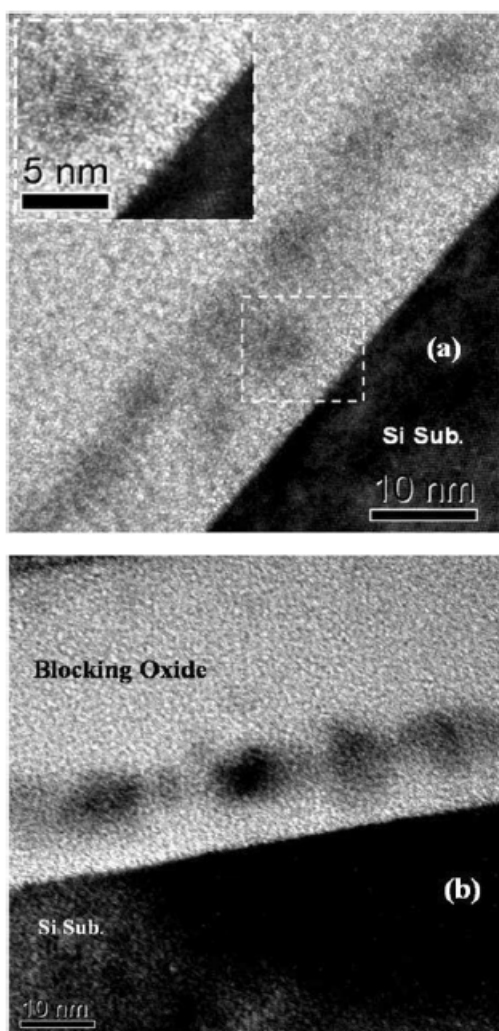
半導體奈米晶體埋入二氧化矽集氮化矽皆有極佳的非揮發性記憶體特性，然而金屬奈米晶體則展現更佳的元件特性，顯示其更適合用於記憶體元件的製作，於未來也將更進一步結合奈米晶體及薄膜電晶體研究製作更好的非揮發性記憶體。

五、參考文獻

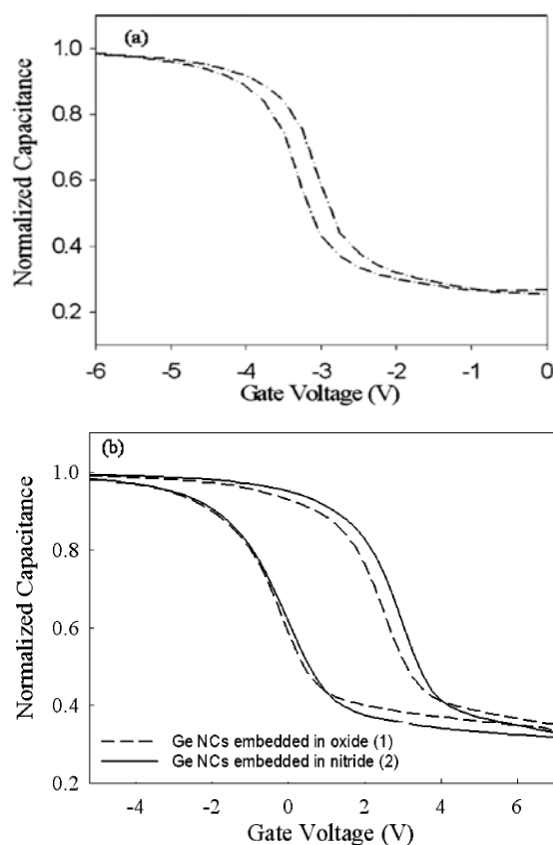
- [1] T. C. Chang, S. T. Yan, P. T. Liu, C. W. Chen, S. H. Lin, and S. M. Sze, "A novel approach of fabricating germanium nanocrystals for nonvolatile memory application," *Electrochem. Solid State Lett.*, vol. 7, pp. G17-G19, 2004.
- [2] C. H. Tu, T. C. Chang, P. T. Liu, H. C. Liu, S. M. Sze, and C.Y. Chang, "Improved memory window for Ge nanocrystals embedded in SiON layer," *Appl. Phys. Lett.*, vol. 89, pp. 162105-1-162105-3, 2006.



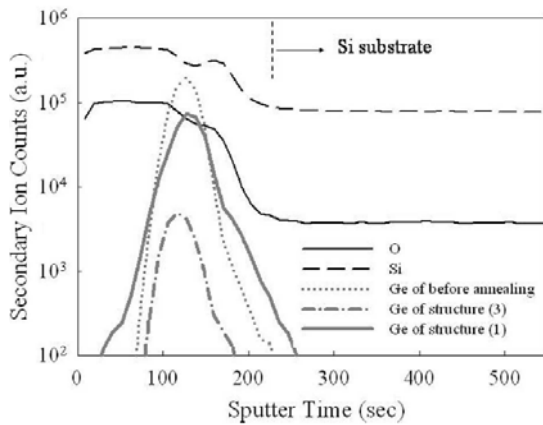
圖一、MOIOS結構及實驗流程示意圖。



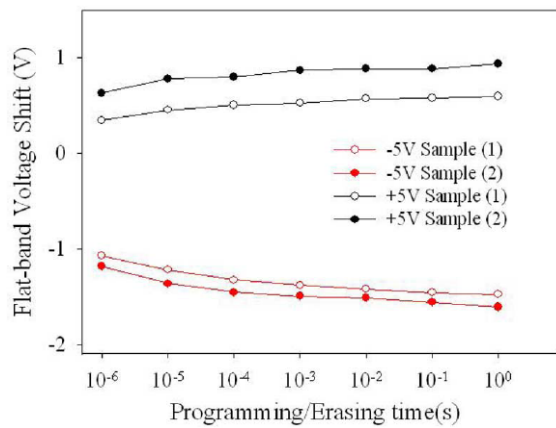
圖二、Ge 奈米晶體分別埋入於(a)二氧化矽(奈米晶體尺寸約5~6 nm，其密度約為 $1.73 \times 10^{12} \text{ cm}^{-2}$)及(b)氮化矽(奈米晶體尺寸約7~8nm，其密度約為 $1.12 \times 10^{12} \text{ cm}^{-2}$)之TEM截面圖。



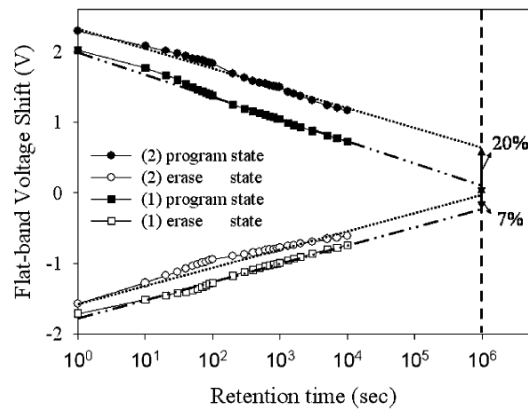
圖三、在 $\pm 10\text{V}$ 操作下之C-V遲滯特性。(a) Ge 奈米晶體埋入於二氧化矽(在控制氧化層之前退火) (b) Ge 奈米晶體埋入於二氧化矽及氮化矽(在控制氧化層之後退火)。



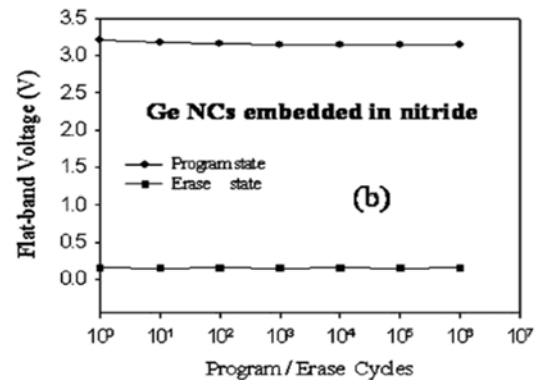
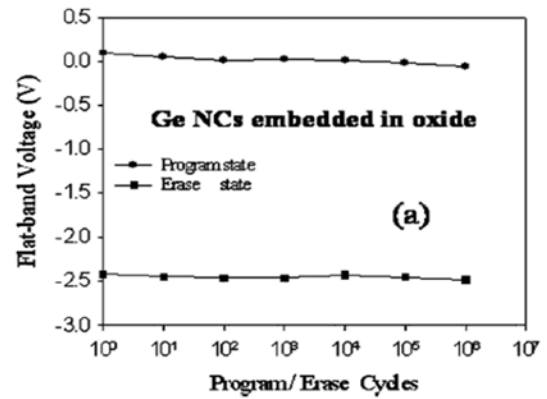
圖四、在控制氧化層之前及之後退火下 Ge 奈米晶體於 MOIOS 之 SIMS 縱深分析。



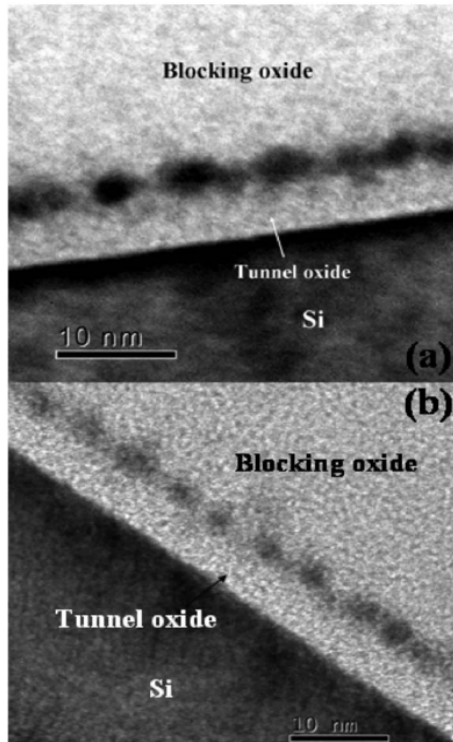
圖五、Ge 奈米晶體分別埋入二氧化矽(1)及氮化矽(2)於 $\pm 5V$ 閘極偏壓操作之寫入抹除特性表現。



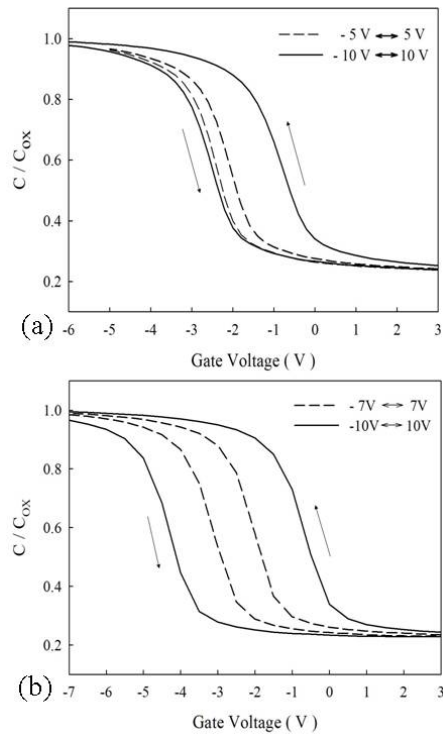
圖六、Ge 奈米晶體分別埋入二氧化矽(1)及氮化矽(2)於室溫下 $\pm 15V$ 閘極偏壓操作 10s 之資料保存特性。電荷保存率分別為 7%(1)及 20%(2)。



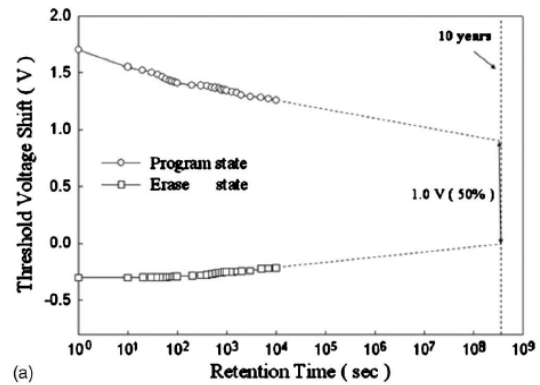
圖七、Ge 奈米晶體分別埋入二氧化矽(1)及氮化矽(2)於 $V_G - V_{FB} = \pm 5V$, 1ms 脈波條件下之非揮發記憶體耐操特性表現。



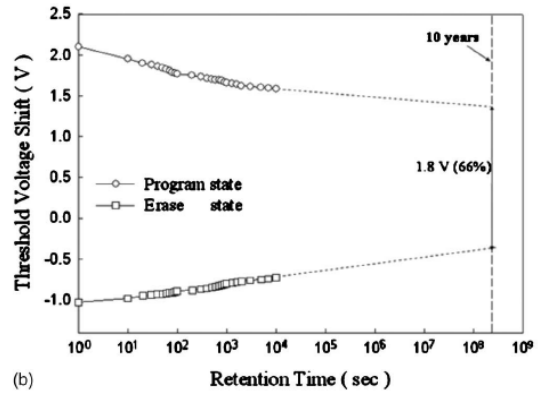
圖八. Ni-Si 奈米晶體分別埋入於(a)二氧化矽及(b)氮化矽Ni-Si之TEM截面圖



圖九. 在 $\pm 10V$ 操作下Ni-Si埋入(a)二氧化矽及(b)氮化矽層之非揮發性記憶體分別具有2.0V及4.0V的記憶

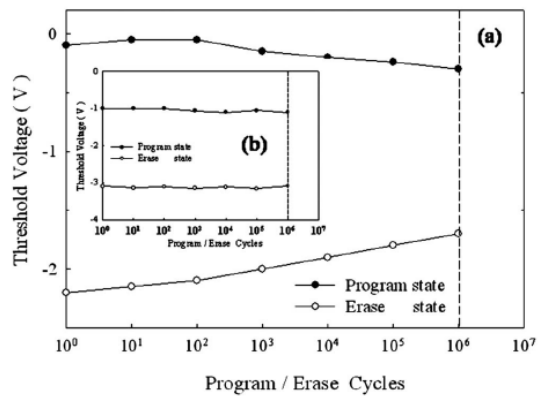


(a)

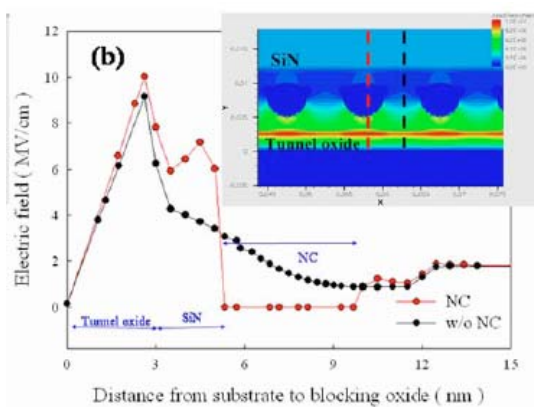
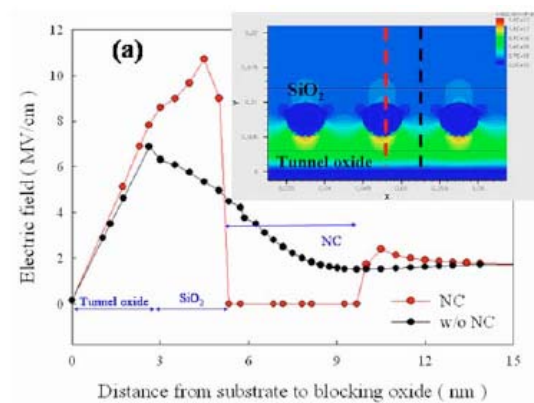


(b)

圖十. Ni-Si埋入(a)二氧化矽及(b)氮化矽層之非揮發性記憶體之資料保存特性。



圖十一. Ni-Si埋入(a)二氧化矽及(b)氮化矽層之非揮發記憶體耐操特性表現。



圖十二. Ni-Si 埋入(a)二氧化矽及(b)氮化矽層之電場分布模擬圖。