

行政院國家科學委員會補助專題研究計畫 ☐ 成 果 報 告
☒ 期中進度報告

薄膜熱傳導性質量測及其應用之研究 (1/2)

計畫類別：☒ 個別型計畫 ☐ 整合型計畫
計畫編號：NSC98-2221-E-009-037-MY2
執行期間：98 年 08 月 01 日至 100 年 07 月 31 日

計畫主持人：謝宗雍
共同主持人：
計畫參與人員：黃郁仁、黃胤誠

成果報告類型(依經費核定清單規定繳交)：☒ 精簡報告 ☐ 完整報告

本成果報告包括以下應繳交之附件：

- ☐ 赴國外出差或研習心得報告一份
- ☐ 赴大陸地區出差或研習心得報告一份
- ☒ 出席國際學術會議心得報告及發表之論文各一份
- ☐ 國際合作研究計畫國外研究報告書一份

處理方式：除產學合作研究計畫、提升產業技術及人才培育研究計畫、列管計畫及下列情形者外，得立即公開查詢
☒ 涉及專利或其他智慧財產權，☐ 一年 ☒ 二年後可公開查詢

執行單位：國立交通大學 材料科學與工程學系

中 華 民 國 99 年 05 月 29 日

一、 中文摘要

本年度計劃內容是以 3ω 法建立薄膜熱傳導係數量測設備，主要搭配鎖相放大器 (Lock-in Amplifier)、訊號消去盒 (Cancelled Box)、電腦監控程式 (LabVIEW)、以及相關設備。利用自組 3ω 熱傳導係數量測設備，實際對氧化矽 (SiO_2) 薄膜進行量測，藉此驗證量測設備的可靠度。實驗得到以電漿輔助化學氣相沉積之二氧化矽薄膜熱傳導係數值為 $0.85\text{W/m}\cdot^\circ\text{K}$ ，結果顯示實驗值與文獻值 $0.90\text{W/m}\cdot^\circ\text{K}$ 相當接近，因此證明此量測設備之可行性。同時，為了解決一般 3ω 法無法量測易發生相變化合金材料的盲點，我們以物理性沉積 (Physical Vapor Deposition, PVD) 之硫化鋅-二氧化矽 (ZnS-SiO_2) 薄膜來取代在 3ω 法常使用之電漿輔化學氣相沉積 (Plasma Enhanced Chemical Vapor Deposition, PECVD) 二氧化矽薄膜來做為量測相變化合金時的夾層絕緣材料，並證明了 ZnS-SiO_2 應用在 3ω 法的可行性。

關鍵詞：熱傳導係數、微奈米尺度、相變化材料。

Abstract : The main research item in this year is to establish a thin film thermal conductivity measurement system by using 3ω method which includes a lock-in amplifier, a cancelled box, program controlled software and other accessories. To verify the reliability of the self-assembly system, the thermal conductivity of silicon dioxide (SiO_2) films deposited by PECVD were first measured. The result shows that the thermal conductivity of SiO_2 film is $0.84\text{W/m}\cdot^\circ\text{K}$ which is very close to the literature value, $0.90\text{W/m}\cdot^\circ\text{K}$. Besides, 3ω method is difficult to measure the phase-change materials whose phase-change temperature below 300°C . The major reason is that the process temperature of PECVD SiO_2 process is often over 300°C . To overcome this difficulty, the ZnS-SiO_2 film deposited by PVD method was adopted to replace SiO_2 as the capping layer and its feasibility was verified by subsequent measurement.

Keyword: thermal conductivity, micro- and nano-scale, phase-change materials.

二、 緣由與目的

目前半導體製程均以微奈米尺度的薄膜為主，而其驅動方式大多以通入電性訊號進來達到作動的目的，因此不論是靜態元件，或是動態的轉換器在作用的過程中，都會伴隨著廢熱的產生，因此熱管理 (Thermal Management) 是目前在半導體尺寸微縮時所面臨的問題之一 [1]。如何將元件於運作過程中所產生的熱移除或隔絕，以避免元件因為操作溫度造成結構破壞或是影響原本預期的效能，並因此增加元件的壽命，是目前極欲解決的方向。一般而言，熱的傳遞主要藉由三種機制，分別為熱傳導 (Heat Conduction)、熱對流 (Heat Convection) 以及熱幅射 (Heat Radiation)。目前半導體製程技術所製作出來的固態元件，所產生的熱量大部分都是以熱傳導機制為主。因此薄膜熱傳導係數對於微結構而言，為一非常重要的熱物理參數。在微奈米尺度薄膜的熱物理性質已經有別於塊材，其主要有兩個原因，第一在薄膜厚度下降至微奈米尺度時，熱的傳遞載子 (Carrier) — 聲子 (Phonon) 與自由電子 (Free Electron) 之散射效應增強 [2-3]，第二薄膜邊界效應 (Thermal Boundary Effect) 所產生的影響，也因為薄膜厚度大幅減少而增加，這些原因都將使的薄膜的熱傳導係數降低 [4-6]。

而 3ω 熱傳導係數量測法的優點在於膜厚量測範圍較大 (約 $0.1\sim 1\ \mu\text{m}$)，且由熱幅射所造成的熱逸散誤差小於 2%，樣本的製作簡單，同時還可以量測出薄膜的熱傳導係數 [7-8]。

因此，本期計劃主要是依據 3ω 方法建立薄膜熱傳導係數的量測系統與方法。

三、 3ω 熱傳導係數量測系統組裝

本計劃自組之 3ω 量測系統如圖一所示，其由鎖相放大器、電腦監控系統、消去盒以及待測試片等四大部份所組成。本系統中消去盒最主要的目的是要在低雜訊的環境下擷取電壓源的 3ω 訊號，其動原理將在以下內容做一簡述。圖一可見由鎖相放大器輸出交流的電壓源，當電壓通過外加電阻 (R_a)，與待測試片上的電路圖形時，由於電路圖形本身電阻值的關係，當電流輸入時，輸入的功率會轉換成焦耳熱 (Joule Heat)，使得電路圖形發出熱源，此時電路圖形又被當作溫度計使用。在此 R_a 主要目的要當做參考用，因此要選擇電阻溫度係數 (Temperature Coefficient of Electrical Resistance, TCR) 值較低的外加電阻，以避免外界溫度變化造成訊號漂移而影響到量測結果。由整個消去盒迴路來看，當鎖相放大器輸入頻率為 ω 振盪的交流電壓時，外加電阻只有隨著 ω 振盪的電壓值會遠大於 3ω 振盪的電壓值。簡言之，消去盒主要功能在於抵消兩個輸入訊號中的 ω 電壓，刪除後只剩下 3ω 訊號存於鎖相放大器，接著透過資料擷取卡，擷取鎖相放大器中之 3ω 電壓值至電腦中記錄運算。

消去盒內部元件包含的包含差動放大器 (Differential Amplifier, AD524)、數位轉類比的轉換器 (Digital to Analog Converter, AD7541)、運算放大器 (Operational Amplifier, OP27)、以及必要的電容和電阻所構成。我們將外加電阻以及加熱線的訊號，分別接到差動放大器上，LabVIEW 透過電腦中訊號擷取卡 (NI PCI6503) 經由 CB50 接線盒，藉由 AD7541 搭配 OP27 對輸出的電壓值進行調校，此動作最主要的目的是要讓加熱線端點所量取的電壓值等於鎖相放大器輸出的電壓值，進一步方便消除兩固角頻率為 ω 的電壓。圖二所示為消去盒內部的電路圖。以麵包板的方式建立整個電路部份，將 $\pm 12V$ 以及接地與外加的直流電源供應器相連接，目的就是要提供 IC 在運作中所需要的電壓。AD7541 的第四支到第十五支接腳，透過 CB50 介面與 LabVIEW 系統相連結，以便進行輸出值的調整。此外當有 Channel A 以及 Channel B 兩個輸出端點藉由 BNC 傳輸線與鎖相放大器相連接，來進行訊號的處理步驟。#1、#2 接腳連接到外加電阻的兩端當作參考用，擷取 ω 訊號；#3、#4 接腳則連接到加熱線的兩端擷取同時包含 ω 以及 3ω 的訊號 (如圖三所示)。參照各個 IC 的使用手冊，並且將相關連線使用單芯線連接後即完成消去盒。

其餘的組成設備分別為鎖相放大器以及電腦監控系統。鎖相放大器 (Stanford Research, SR 850) 主要功能是將某 3ω 的微小交流電壓 $V_{3\omega}$ 即時擷取出來。在電腦程控系統方面，本計劃中選用是美商國家儀器 (National Instrument) 的 LabVIEW 7.1。LabVIEW 透過 PCI6510 經 CB50 介面傳遞訊號調整消去盒中 AD7541 輸出值，將調整過後的電壓值輸入至鎖相放大器的 Channel A (ω)，被代表加熱線兩端跨壓的 Channel B 輸入電壓值 ($\omega+3\omega$) 扣除後，即可得到我們所需要的值，亦即加熱線兩端之 3ω 電壓。

四、實驗驗證

在進行量測時，我們發現在一般 3ω 量測方法經常採用 SiO_2 /待測物/ SiO_2 的疊層結構 (如圖四 XRD 繞圖中左上角插圖所示) 無法量測所有種類的待測物在初鍍狀態的熱傳導係數。其主要原在於沉積 SiO_2 所採用 PECVD 工作溫度達 $300^\circ C$ 以上，這對在 $300^\circ C$ 以下容易發生

相變化的材料而言，在量測其初鍍膜態的熱傳係數具有相當大的影響。為解決此製程上的問題，我們利用之前實驗室在光儲存媒體上常使用的 PVD 介電層材料 ZnS-SiO₂ 來取代 SiO₂。為了驗證 ZnS-SiO₂ 取代 SiO₂ 的可行性，實驗中特別選定在相變化記憶體中常被使用的記錄層材料 Ge₂Sb₂Te₅ (GST) 來當待測物。而取用 GST 主要是因為在 150 至 170°C 之間 GST 就會產生相變化。接著以 X 光繞射 (X-ray Diffraction, XRD) 來觀察 ZnS-SiO₂/GST/ZnS-SiO₂ 試片在初鍍膜與經過退火後 GST 微結構變化。圖四為 ZnS-SiO₂/GST/ZnS-SiO₂ 之 XRD 繞射圖，圖中顯示在初鍍膜時整個試片均呈非晶態結構，即代表在製作 ZnS-SiO₂ 夾層時沒有造成材料的相變化，而在經 300°C 退火後 GST 才出現面心立方 (FCC) 及六方最密堆積 (HCP) 共存的結構。此外，我們也利用四點探針量測 ZnS-SiO₂ 薄膜的導電性，經測試為絕緣的狀態。

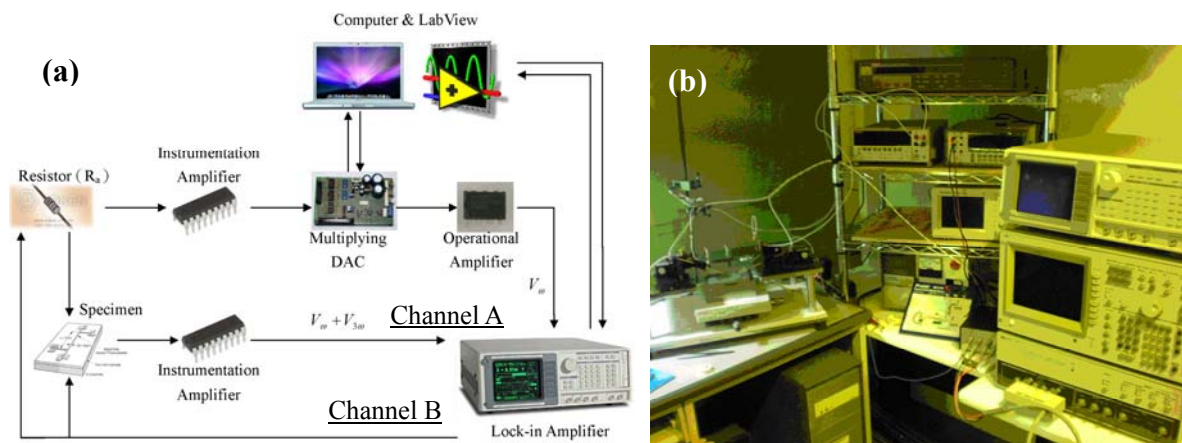
在設備初步建置後，接著必須驗證建立的 3 ω 薄膜熱傳導係數量測系統是否具備可靠度與再現性，以及所量測出來的值是否可以合理。計劃初期針對文獻上所量測出來的薄膜熱傳導係數來驗證基準。其樣品備置條件為在矽晶圓上以 PECVD 沉積 100 nm 厚度為的 SiO₂ 薄膜實際進行量測。圖五為使用所建立的 3 ω 量測系統對於 SiO₂ 薄膜試樣進行量測所得到的平均熱傳導係數。SiO₂ 薄膜實驗的量測結果為 0.85 W/m²·K，與文獻報導的 0.9 W/m²·K[9]相當接近，因此確認本計劃已成功建立一具有穩定功能的 3 ω 量測系統，足供後續研究之用。

五、計畫成果自評

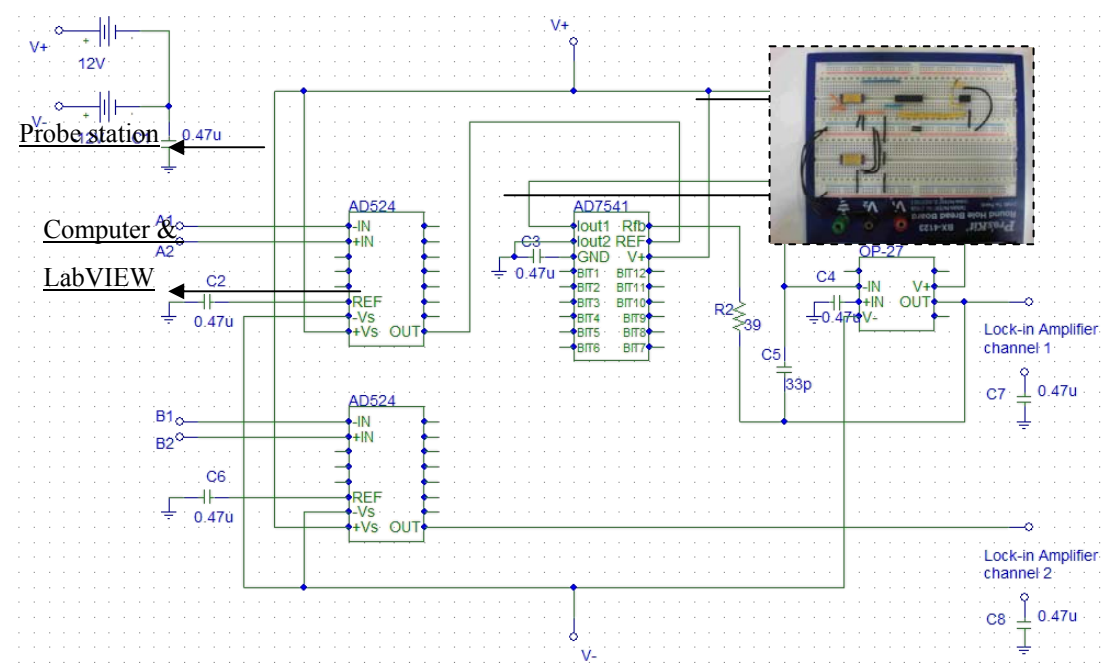
本年度已完成 3 ω 薄膜熱傳導係數量測系統之軟、硬體組裝，目前已進入實際量測及改善擷取訊號穩定度階段。除了相變化薄膜熱傳導係數量測外，界面熱阻現象亦是我們另一個觀察的重點。在計劃執行過程我們嚐試以鋨 (Ce) 摻雜 GST 來改變晶粒大小驗證在相同材料中不同晶粒大小間之晶界熱阻。而在初期以鋨 (Ce) 摻雜 GST 的電性實驗研究成果已投稿參加 2010 MRS Spring Meeting Symposia，同時也在 *Applied Physics Letter* 審閱中。並冀望經由第一年建置 3 ω 熱傳量測系統能提供下一年度進行更深入研究討論。

六、參考文獻

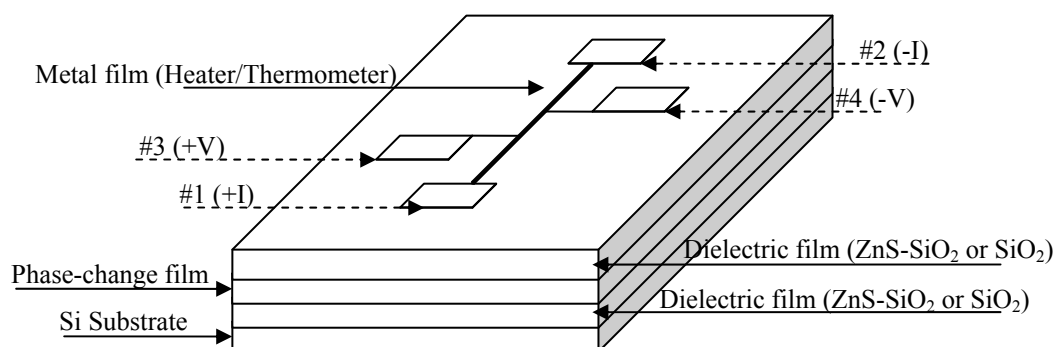
- [1] Ali Shakouri, "Nanotechnology, Current Status and Future Prospects", 19th Annual Semi-Therm Conference, San Jose, CA (2003),
- [2] A. Majumdar, *Journal of Heat Transfer*, **115**, 7 (1993).
- [3] C. L. Tien and G. Chen, *Journal of Heat Transfer*, **116**, 799 (1994).
- [4] W. A. Little, *Can, J. Phys.*, **37**, 334 (1959).
- [5] E. T. Swartz, and R. O. Pohl, *Reviews of Modern Physics*, **61**, 605 (1989).
- [6] M. I. Flik, *Journal of Heat Transfer*, **112**, 872 (1990).
- [7] D. G. Cahill, *Rev. Sci. Instrum.*, **61**, 802 (1990).
- [8] N. O. Birge and S. R. Nagel, *Rev. Sci. Instrum.*, **58**, 1464 (1987).
- [9] S. M. Lee and D. G. Cahill, *Journal of Applied Physics*, **81**, 2590 (1996).



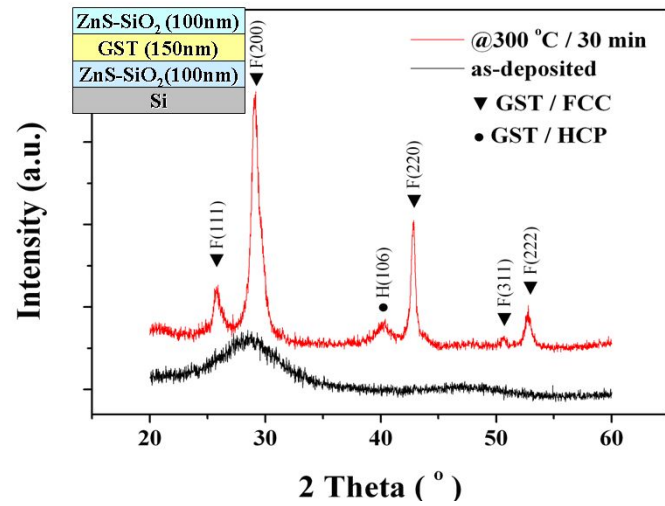
圖一、3 ω 量測系統裝置 (a) 架構概略圖 (b) 實際配置圖。



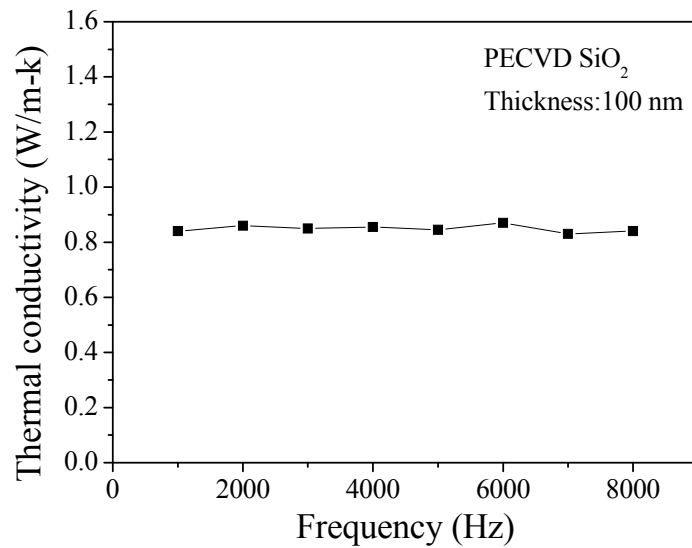
圖二、消去盒電路圖。



圖三、待測樣品電路圖。



圖四、初鍍膜和經 300°C/30 分鐘退火 GST 試片之 XRD 繞射圖。



圖五、100 nm 厚之 PECVD SiO₂ 熱傳係數對頻率關係圖。

可供推廣之研發成果資料表

☐ 可申請專利

☒ 可技術移轉

日期：99 年 05 月 28 日

國科會補助計畫	計畫名稱：薄膜熱傳導性質量測及其應用之研究 計畫主持人：謝宗雍 計畫編號：NSC98-2221-E-009-037-MY2 學門領域：金屬與陶瓷
技術/創作名稱	3 ω 薄膜熱傳導係數量測系統
發明人/創作人	謝宗雍、黃郁仁、黃胤誠
技術說明	中文：以鎖相放大器 (Lock-in Amplifier)、訊號消去盒 (Cancelled Box)、電腦監控程式 (LabVIEW)、以及相關設備建立一 3 ω 法量測系統，其能量測各種薄膜之熱傳導係數，並可推導界面熱阻效應，能提供奈米尺度系統熱性質之準確分析。
	英文：We establish a thin-film thermal conductivity system based on 3 ω method in conjunction with the lock-in amplifier, cancelled box, LabVIEW program and relevant accessories. The measurement is feasible to various types of thin-film samples and the results can be applied to the evaluation of interfacial thermal resistance effect. It offers a reliable and precise method to measure thermal properties for micro- and nano-scale systems.
可利用之產業 及 可開發之產品	IC、封裝、光電等產業。
技術特點	可準確量測薄膜熱傳導係數，避免以塊材熱性質代入薄膜系統中時造成誤判，並可推導界面熱阻效應，能提供奈米尺度系統熱性質之準確分析。
推廣及運用的價值	可量測 IC、封裝、光電等產品中各種薄膜結構之熱傳導係數，從而推導界面熱阻效應，有助於產品熱傳導結構設計與可靠度之評估。

※ 1. 每項研發成果請填寫一式二份，一份隨成果報告送繳本會，一份送 貴單位研發成果推廣單位（如技術移轉中心）。

※ 2. 本項研發成果若尚未申請專利，請勿揭露可申請專利之主要內容。

※ 3. 本表若不敷使用，請自行影印使用。