

行政院國家科學委員會專題研究計畫 成果報告

後次微米時代新興電子設計自動化技術之研究--總計畫 (3/3)

研究成果報告(完整版)

計畫類別：整合型
計畫編號：NSC 99-2220-E-009-007-
執行期間：99年08月01日至100年07月31日
執行單位：國立交通大學電子工程學系及電子研究所

計畫主持人：周景揚
共同主持人：黃俊達、江蕙如、溫宏斌、李毅郎
計畫參與人員：學士級-專任助理人員：周伶霞
碩士班研究生-兼任助理人員：楊創任
博士班研究生-兼任助理人員：郭玆凱
博士班研究生-兼任助理人員：鄭安哲
博士班研究生-兼任助理人員：潘畊宇
博士班研究生-兼任助理人員：劉文皓
博士班研究生-兼任助理人員：余彥廷
博士班研究生-兼任助理人員：李婉毓

公開資訊：本計畫可公開查詢

中 華 民 國 100 年 10 月 31 日

中文摘要：在傳統的數位系統設計中，通常從一個高階抽象層的描述語言開始設計，如 C/C++ 或 MATLAB。經過驗證所設計的演算法與規格相符後，設計者開始手動轉換這些演算法到硬體設計。由於演算法通常使用高精度浮點運算 (floating point, FP)。然基於性能和成本的考量，硬體通常只使用定點運算 (fixed point, fp)。因此，浮點數至定點的轉換是一定需要。其中一個主要的設計挑戰，是以有限位數計算結果，同時維持正確性。在這個計畫裡，我們把焦點放在如何在高階合成流程中納入位元數的考慮，在最小的面積需求下提供有效率的晶片設計。除了探討高階演算法量化的過程對硬體的影響之外，還要考慮到，位元數對運算單元與硬體資源所造成的影響。我們的貢獻如下：

1. 一個管線架構的快速傅利葉轉換處理器的個案研究

我們提出的演算法使用上邊界以及下邊界來得到最後的結果，所提出來的演算法應用在正交多頻多工系統上面，實驗結果顯示提出來的演算法比循序搜尋法以及複雜度誤差度量測法減少大約 30% 的模擬時間。

2. 針對管線化的快速傅利葉轉換架構提出了面積與通量折衷的演算法

我們針對管線化的快速傅利葉轉換架構提出了面積與通量折衷的方法，且能自動地產生對應的硬體設計。實驗結果顯示，我們在通量的限制之下，可以產生硬體面積較小的架構。

3. 一個保證位元數的濾波器設計最佳化演算法

我們在設計濾波器時，除了考慮到以加法器取代乘法器外，還考慮到每個加法器的位元數，使整體的硬體面積最小。實驗結果顯示，我們所提出的考慮位元數的演算法比只考慮加法個數的演算法結省了 7% 的硬體資源。

總結來說，所提出的演算法能夠解決在電子系統層級設計流程中所遇到的位元數問題。 1

英文摘要：In traditional digital system designs, it usually starts from pure software descriptions in a high-level language, such as C/C++ or MATLAB. After algorithms are verified to meet the specifications, designers have to manually convert those algorithms into hardware. The algorithms implemented in high-level languages usually use high-precision floating point (FP) operations. Due to performance and cost consideration, the hardware only uses fixed point (fp) operations to implement. As a result, the conversion from floating point to fixed point is mandatory. Hence, one of the main design difficulties is to compute each value using the limited bit width while maintaining the correctness of results. In this project, we focus on the area-efficient design with the bitwidth consideration in the high level synthesis design flow. In the high level design flow, we consider not only the quantization impact

but also the effect of functional unit bitwidth. Our contributions are as follows:

1. A bitwidth optimization case study of pipeline based FFT processor

The proposed algorithm uses the lower bound and the upper bound to iteratively find the optimal results. We apply the proposed algorithm to the OFDM system. The experimental results show that the proposed algorithm reduces almost 30% simulation time than complexity-and-distortion measure and sequential search method.

2. An expandable MDC-based FFT generator

We propose approaches which can make appropriate design tradeoff between throughput and area of pipeline FFT architectures, and automatically generate the corresponding hardware design. The experimental results show that the proposed methodology can generate area-efficient architectures under throughput constraints.

3. A optimal bitwidth-aware algorithm for FIR designs

While designing FIR filters, we use adders to replace the constant multipliers and minimize the total bitwidth of the adders simultaneously. The experimental results show that the proposed algorithm can minimize the total number of adder bits, which

3

reduces about 7% hardware resource than existing algorithms

In summary, the proposed algorithms can deal with the bitwidth problem in the electronic system level design flow.

後次微米時代新興電子設計自動化技術之研究

計畫類別：☐ 個別型計畫 ☒ 整合型計畫

計畫編號：NSC 99 — 2220 — E — 009 — 007 —

執行期間：97 年 8 月 1 日至 100 年 7 月 31 日

計畫主持人：周景揚 教授

共同主持人：

計畫參與人員：

成果報告類型(依經費核定清單規定繳交)：☐ 精簡報告 ☒ 完整報告

本計畫除繳交成果報告外，另須繳交以下出國心得報告：

- ☐ 赴國外出差或研習心得報告
- ☐ 赴大陸地區出差或研習心得報告
- ☐ 出席國際學術會議心得報告
- ☐ 國際合作研究計畫國外研究報告

處理方式：除列管計畫及下列情形者外，得立即公開查詢

☒ 涉及專利或其他智慧財產權，☐ 一年 ☒ 二年後可公開查詢

中 華 民 國 100 年 10 月 28 日

後次微米時代新興電子設計自動化技術之研究(3/3)

Emerging EDA Technologies beyond DSM Era (3/3)

計畫編號: NSC 99-2220-E-009-007

執行期間: 97 年 8 月1 日至 100 年 7 月31 日

主持人: 周景揚交通大學電子工程系教授

一、中文摘要

半導體元件尺寸隨著製程的持續進步而逐年縮小，可整合於單一晶片上的電晶體數量也因此增加，讓當今的電子產品得已提供更多、更複雜的功能。然而，在進入深次微米時代後，製程上的變異及物理效應對於晶片的影響也愈來愈顯著，使得晶片設計面臨許多新的挑戰，在設計的各個環節上更需重視先進製程可能發生的問題，方能提昇晶片的品質及可製造性。

本計畫針對設計深次微米時代所需的技術，以分項方式個別研發新興電子設計自動化軟體，總計畫則以協調各子計畫的相關成果，整合為一由上而下之完整解決方案。所涵蓋之五項子計畫如下：符合次世代晶片上通訊思維之具備幾何考量的系統架構合成技術(子計畫一)、整合性低耗電管理之技術開發(子計畫二)、角落錯誤之矽除錯(子計畫三)、應用計算智慧推理處理後深次微米時代電路設計上的可靠度挑戰(子計畫四)、考慮可製造化、可靠度與良率的繞線系統(子計畫五)。這些完整而深入的技術開發，預期可以適切地解決這些深次微米時代所衍生的問題，同時提高國內半導體相關產業之競爭力。

關鍵詞：深次微米、電子設計自動化、多時脈週期通訊、高階合成、耗電管理、節能設計、矽晶片除錯、除錯化設計、軟性錯誤、計算智能、可製造性設計、多餘貫穿點

英文摘要

As semiconductor devices shrink with the advancing process technology, more and more transistors can be integrated in a single chip. It makes modern electronic products provide much more functionalities, and increases the complexity to design a chip as well. In addition, the impact of process variation during manufacturing and other physical effects become more and more significant and non-negligible in the era of deep submicron (DSM). New challenges and new design issues arise along with the DSM. Therefore designers must resolve these issues by considering all design stages simultaneously to increase the quality and manufacturability of chips.

Because the DSM issues and targets of different design levels are quite diverse, this project considers the overall design flow and divides it into five major topics for advanced research: (1) Geometry-Aware Architecture Synthesis for Next-Generation On-Chip Communication Paradigm, (2) Integrated Low Power Management Technologies, (3) Silicon Debug for Hard-Corner Design Errors, (4) Coping with Reliability Challenges to Circuit Designs beyond Deep Sub-Micron Era by Computational Intelligence Reasoning, (5) Manufacturability, Reliability, and Yield-Aware Routing System. The ultimate goal of this project is to integrate these emerging EDA technologies as a complete top-down solution. The techniques developed by

these proposed sub-projects will efficiently solve the DSM issues. Furthermore, with the benefit of better design quality and faster design process, the domestic semiconductor related industry will have better competitiveness.

Keywords: Deep Submicron , Electronic Design Automation, Muti-Cycle Communication, High-Level Synthesis, Power Management, Low Power Design, Silicon Debug, Design for Debug, Soft Error, Computational Intelligence, Design for Manufacturability, Redundant Via

二、計畫緣由與目的

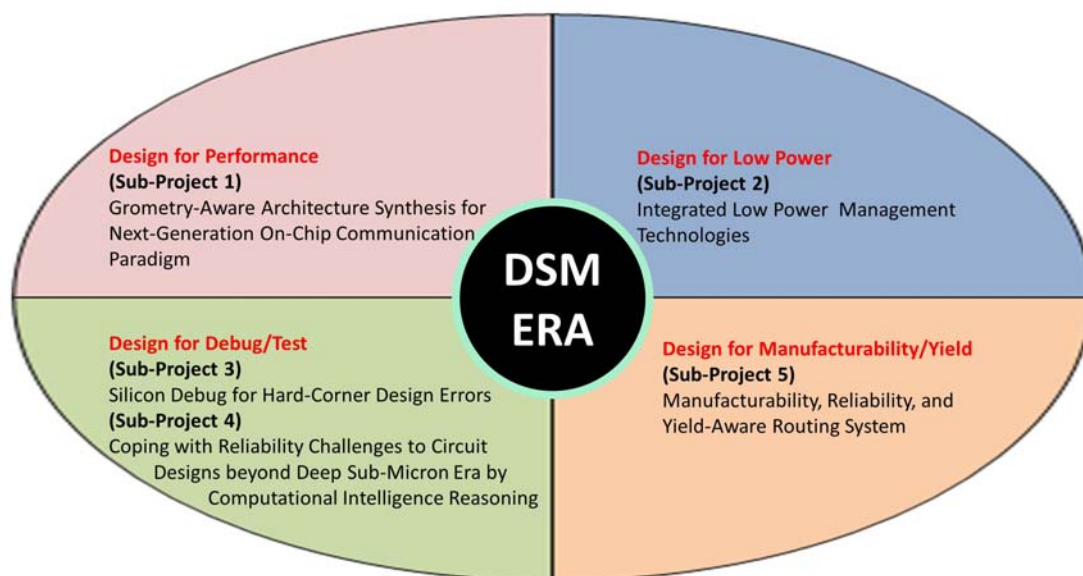
半導體元件尺寸隨著製程的持續進步而逐年縮小，整合於單一晶片上的電晶體數量也因此增加，讓當今的電子產品得已提供更多、更複雜的功能。然而，在進入了深次微米時代之後，半導體物理特性在製程的變異，已非以往單靠晶圓廠的現有的技術所能掌控，使得在晶片設計初期更需重視先進製程可能發生的問題，方能提昇晶片的品質及可製造性，因此，對於當前半導體產業的技術發展，已不再只是單純地將元件縮小，而是如何去解決伴隨而來的各種挑戰。

進入深次微米時代，晶片設計上產生了許多新的難題，包含了：長導線上的多時脈週期通訊(muti-cycle communication)、功率密度(power density)隨著元件縮小而增加、功率管理(power management)、第一次矽晶片(first silicon chips)的錯誤率提高而衍生的偵錯問題、邏輯與架構層上的軟性錯誤(soft error)率增加、因線寬縮小而提高的耦合電容效應及隨機缺陷(random defect)發生率、貫穿點(via)及導線的損壞造成良率(yield)下降…等。這一些難題涵蓋當前大部份的設計環節，而正急需開發新的技術來克服。因此，本計畫的總體目標便是針對在深次微米時代所面臨的種種設計上問題，提出有效的解決方案，並藉著自動化的工具來提升效率。為了能在設計時考慮到這些問題，進而提昇設計本身的可靠度及品質，除了傳統上以效能(performance)為導向的設計流程之外，新的設計流程應該考量：可製造性設計(design for manufacturing, DFM)、可確保良率性設計(design for yield, DFY)、可測試性設計(design for test, DFT)、除錯化設計(design for debug, DFD)、低功率設計(design for low-power)...等，方能適切地解決這些深次微米時代所衍生的問題。

三、研究方法

本總計畫結合了數個優秀的 EDA(電子設計自動化)研發團隊，針對深次微米時代所急需的技術提出了五項子計畫。各子計畫所針對的深次微米設計問題，如圖一所示：子計畫一藉由同時考慮布局影響、系統效能及硬體資源使用的高階合成技術，來完成多時脈週期通訊的架構；子計畫二將提出一個考慮功率收斂的設計流程，在合成／布局／擺置／繞線時，對功率及其他設計考量最佳化，達成低功率的目標；子計畫三則是提出了一個可處理功能性錯誤、以及時間相關錯誤之矽晶片除錯(silicon debug)架構；子計畫四預計發展結合計算智能(computational intelligence)及以軟體基礎的測試技術

(software-based testing)，用以自動分析電路中的軟性錯誤敏感度，進而提供容錯設計的建議來抑制軟性錯誤的發生；子計畫五將建立以良率為導向的繞線系統(考慮化學機械磨光、隨機缺陷及電子遷移效應…等變因)，用來處理製程上的物理效應。

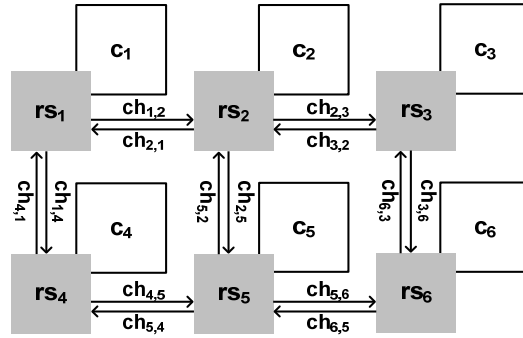


圖一：針對深次微米時代的設計問題所提出的解決方案

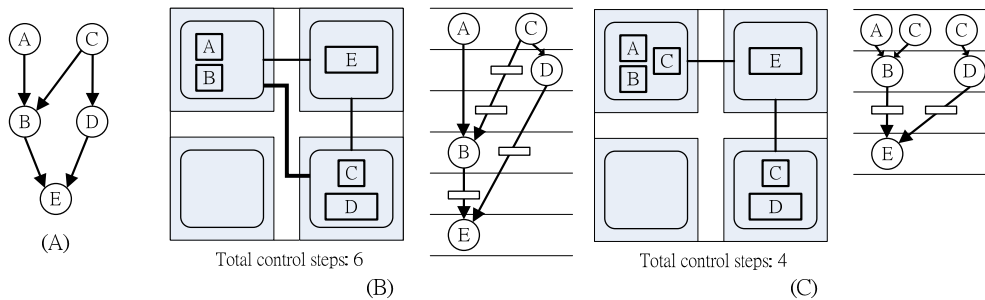
在子計畫一「符合次世代晶片上通訊思維之具備幾何考量的系統架構合成技術」針對多時脈週期通訊，提出可以進一步整合系統的架構：全域資源分享之規則化暫存器架構，如圖二。同時將其合成方法轉置成為資料轉移和排程問題，進而最佳達到系統繞線資源使用率。同時利用現存解線性規劃的程式(ILP solver)來得到最佳解，即使用最少連線資源的傳輸路徑排程。此外，針對同一問題所提出的探索式(heuristic)的解法，提供更快速的求解方式，使此連線模型能使用在大規模的應用程式上。接著，傳統設計流程為了簡化問題的規模而將擺放視為後段(back-end)的項目，並主要是以減少線長(wirelength)或是增進可繞性(routability)為目標所進行的擺放。然而當多時脈週期通訊為晶片設計趨勢時，以往的考量不再符合設計者的需求。即使擁有相同的資料流程圖、相對排程結果(relatively scheduling results)及運算單元配置，甚至是同樣的線長，不同的擺放結果由於多時脈週期通訊的影響而有不同的絕對排程結果(absolutely scheduling results)，造成不同的系統效能，如圖三所示。因此，在本子計畫中提出了在分散式暫存器架構下進行效能驅動(performance-driven)的擺放和佈局方式，考量電路中迴圈的影響以達到較佳的使用效率。最後，子計畫一發展了三套合成系統，分別對應三種使用不同連接信號延遲模型之分散式暫存器架構。

- 針對「無考量群集島信號延遲的分散式暫存器架構」，提出以通訊資源為小化為目的之合成系統，在連線資源和系統效能都比先前的技術有更佳的合成結果。
- 針對使用單位信號延遲模型之分散式暫存器架構，子計畫一提出「考量群集島信號延遲之分散式暫存器架構」，如圖四。在這樣的信號延遲模型之下，雖然比起之前「無考量群集島信號延遲的分散式暫存器架構」較為接近現實狀況，但由於系統的合成問題將變得比較複雜，故我們也同時發展了針對「考量群集島信號延遲之分散式暫存器架構」之以系統效能為導向之合成系統。其流程方法如圖五所示。
- 針對使用幾何考量信號延遲模型之分散式暫存器架構(如圖六)，我們使用規則化分散式暫存器

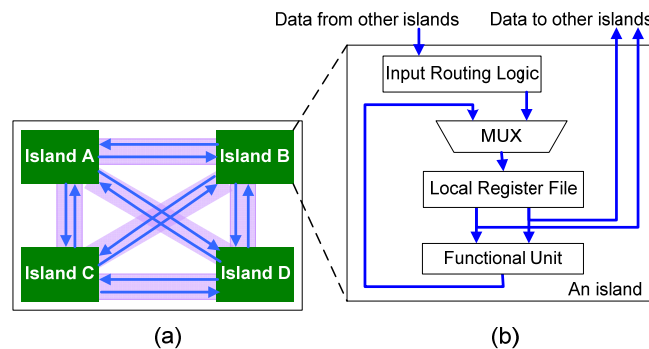
架構。在此架構上提出以系統效能為導向之合成系統(如圖七)，同時考量排程、硬體資源分配和位置擺位等因素。



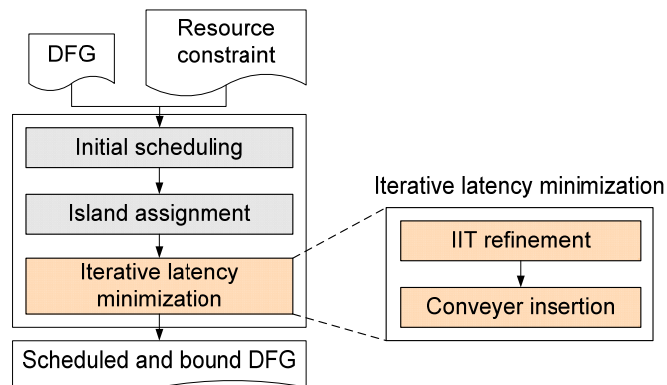
圖二：全域資源分享之規則化暫存器架構



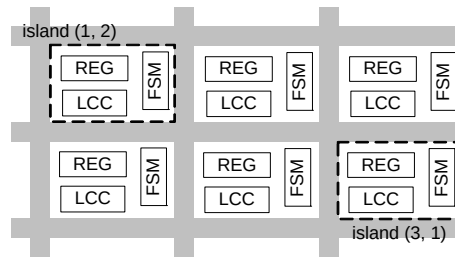
圖三：(A)原始資料流程圖 (B)運算單元不允許被複製
(C)運算單元允許被複製，對於系統效能影響之範例



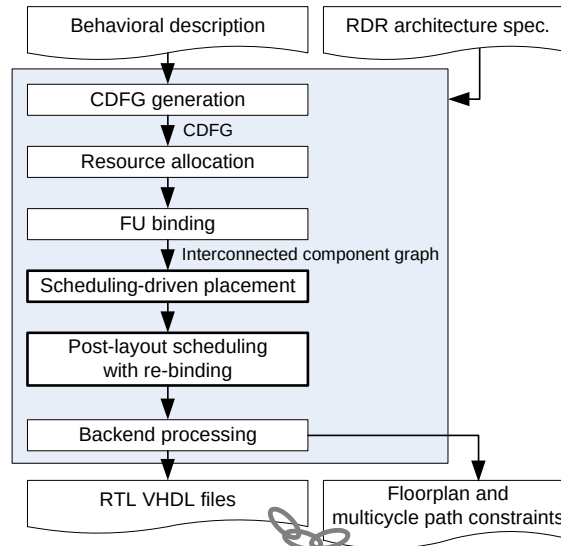
圖四：考量群集島信號延遲之分散式暫存器架構



圖五：考量群集島信號延遲之分散式暫存器架構上之合成系統



圖六：規則化分散式暫存器架構



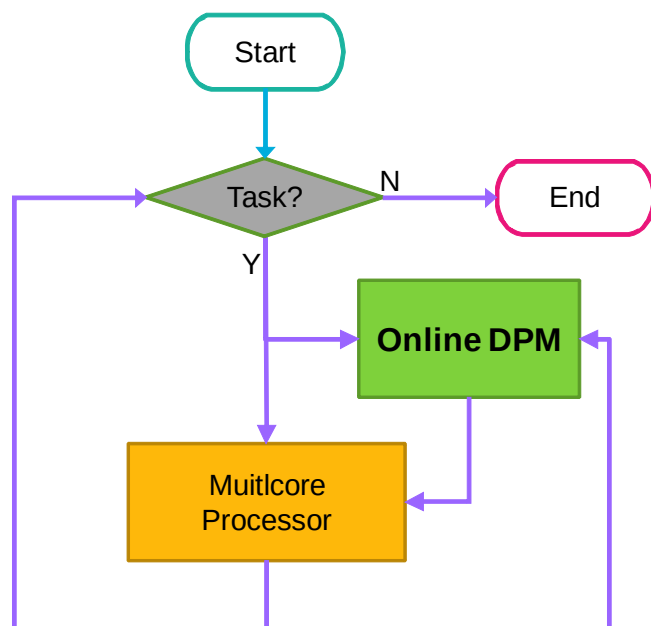
圖七：規則化分散式暫存器架構之合成系統

子計畫二「整合性低耗電管理之技術開發」則是著重於近年來逐漸受到正視的耗電量問題。低耗電管理的技術的發展，時至今日已有一段時間，就系統層級(system-level)而言，動態電壓與頻率調節(dynamic voltage and frequency scaling, DVFS)與動態電源管理(dynamic power management, DPM)為兩種最為廣泛應用的技術。動態電壓與頻率調節技術為多重供應電壓的延伸，在空間軸(block domain)甚至是時間軸上(time domain)都可以應用。在 critical 的時候／區域使用高電壓、高頻時脈；在 non-critical 的時候／區域使用低電壓、低頻時脈；而動態電源管理技術會根據時間軸上目前的工作多寡來調整晶片的工作能力。當工作多時，晶片會處在高計算能力／高功耗狀態；工作量少時，晶片會處在低計算能力／低功耗狀態；而當無工作時，晶片將會進入閒置狀態，以此種動態調整來降低處理完一定工作量之功耗。

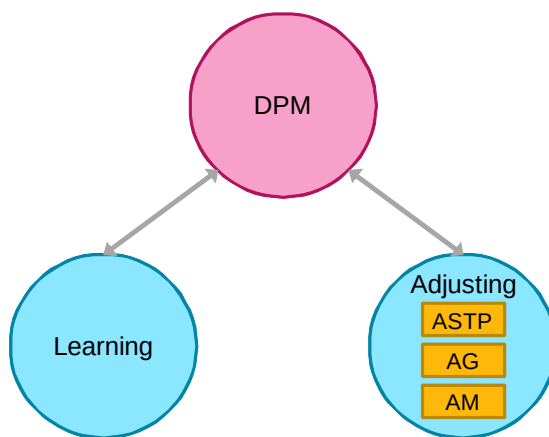
近來因對系統的效能要求，多核心處理器(multicore processor)日漸受到重視，藉由將數個相同的核心整合，能在不大幅增加功耗的情況下，達到一定水準的效能。在多核心處理器構下，將動態電壓與頻率調節與動態電源管理來做結合，如圖八所示：每個核心擁有自己的電壓島(voltage island)及頻率島(frequency island)，因此在同一時間點，每個核心能處在不同的電壓／頻率；由每個核心的電壓／頻率，可以得到目前處理器的功率狀態(power state)。動態電源管理將視當下的工作量來決定處理器的功率狀態，而動態電壓與頻率調節會依目前處理器的功率狀態，來配置每個核心的工作電壓及頻率。

動態電源管理的研究雖已行之有年，但實際上，工作的行為特徵並無法在事前預知，因此，動態電源管理技術的彈性及其對不同工作行為特徵的適應能力為管理技術是否有效的一大重點。在子計畫

二中採用增強式學習法(reinforcement learning)來做為控制核心，如圖九。增強式學習法藉由代理人(agent)與環境(environment)的互動及衡量，由代理人做出最有益整體的選擇，換句話說，即使面對相同的問題，代理人每次做的選擇不一定會相同，但一定是當時環境下最有益的選擇；其優良的彈性及適應能力，將大大增進動態電源管理的效能。同時，我們也提出一套將多核心處理器的功率狀態減化並優化功耗的技術，讓動態電源管理時間及空間的複雜度降低。



圖八：多核心處理器動態電源管理技術之流程圖



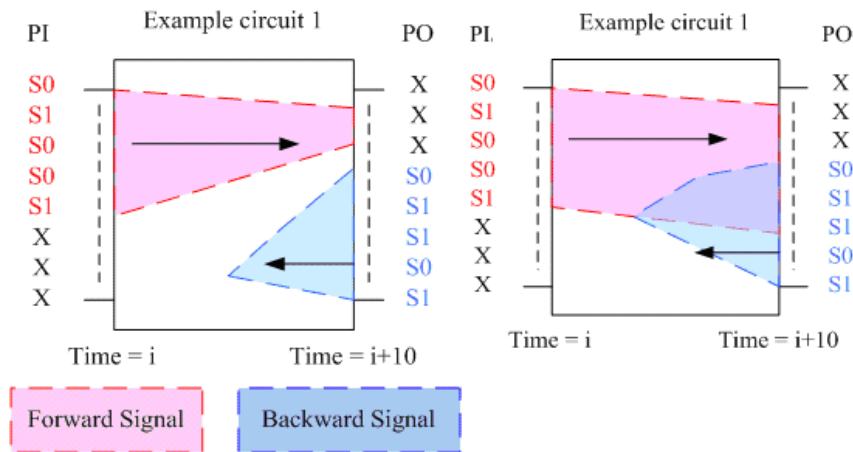
圖九：增強式學習法動態電源管理技術之核心

在子計畫三「角落錯誤之矽除錯」中，由於越來越高的晶片複雜度、製程的不穩定性以及先進製成技術的不完整特徵曲線，在今日的晶片設計中第一次製作的晶片經常都是失敗或是因為太低的良率而無法被接受。根據從失敗的晶片中蒐集錯誤的訊息，錯誤分析被使用以找出錯誤的原因所在，稍後可被使用以更正設計、改進製成或是增進下次量產晶片時的良率。但是，由於今日設計以及製程複雜度不停地增加，使得錯誤分析越來越困難並且需要更多的時間來達成。因此，時間、成本以及錯誤分析的效率很明顯地影響晶片設計的時程以及成本。

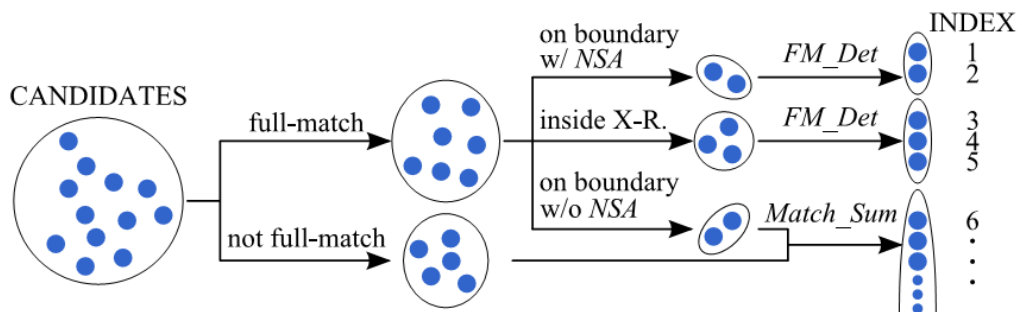
子計畫三對於多重 stuck-at 錯誤提出了一個錯誤診斷架構。這個架構包括了兩個主要部分：錯誤區域辨識(圖十)以及錯誤候選邏輯閘排序(圖十一)。在錯誤區域辨識中，使用錯誤以及通過的測試向量，

並使用 X 模擬技術以及位元翻轉技術藉以迅速的縮小包括了所有錯誤的區域。與其他區域基礎的方法不同，此架構並不需要對於錯誤區域做出半徑假設，因此是更具有彈性的。在錯誤候選邏輯閘排序中，辨認以及排序這些錯誤候選邏輯閘根據之前錯誤區域辨認時所蒐集之資訊。實驗數據說明了我們提出的診斷架構，在即使 SLAT 測試向量的數目以及錯誤向量所佔的百分比率都很低的情況之下，仍然可以有效率並迅速地縮小錯誤區域並且從錯誤區域中找出真實的錯誤位置。這部分對於傳統的以 SLAT 為基礎或是區域基礎的方法仍然是非常困難的部分。

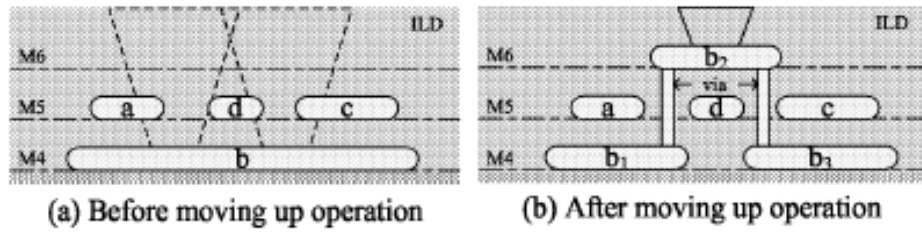
子計畫三的另一部分是要定一設計在矽除錯時的可偵錯度，並利用可見度計畫來選取在矽除錯中可被觀察之訊號，以最大化此設計之可偵錯度。在錯誤分析這領域，給定錯誤模型之下，一種被稱為錯誤診斷的技術被使用於找出可能的錯誤候選邏輯閘。藉由這些回報出的錯誤候選邏輯閘，晶片設計師可以較容易藉由聚焦離子束(focused-ion-beam, FIB)技術找到可能錯誤的實際位置。然而由於製程的演進，在偵錯的過程中，僅有非常少的訊號能夠藉由 FIB 技術被觀察到。因此我們提出一個偵錯導向的設計架構，對於完成擺放及繞線的版圖進行調整(如圖十二、圖十三所示)，使得在偵錯階段有更多的訊號能夠被 FIB 技術觀察甚至修正。在 90 奈米的製程下，實驗證明我們提出的方法能夠有效地提升訊號被 FIB 技術觀測及修正的比率。此外，整體電路的面積及速度幾乎不受影響。



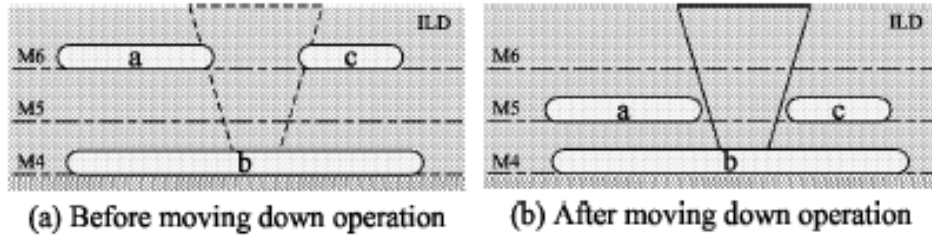
圖十：The regions of forward and backward implications without and with intersection.



圖十一：Illustration of the ranking order.

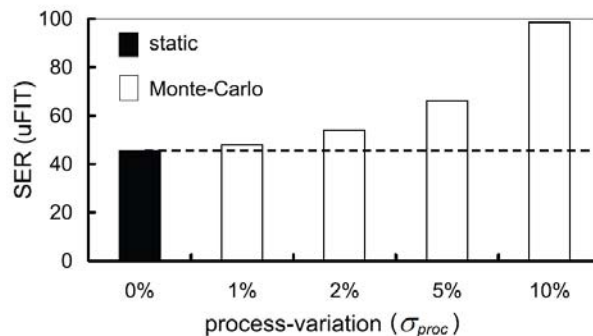


圖十二: The moving-up operation to observe net b.

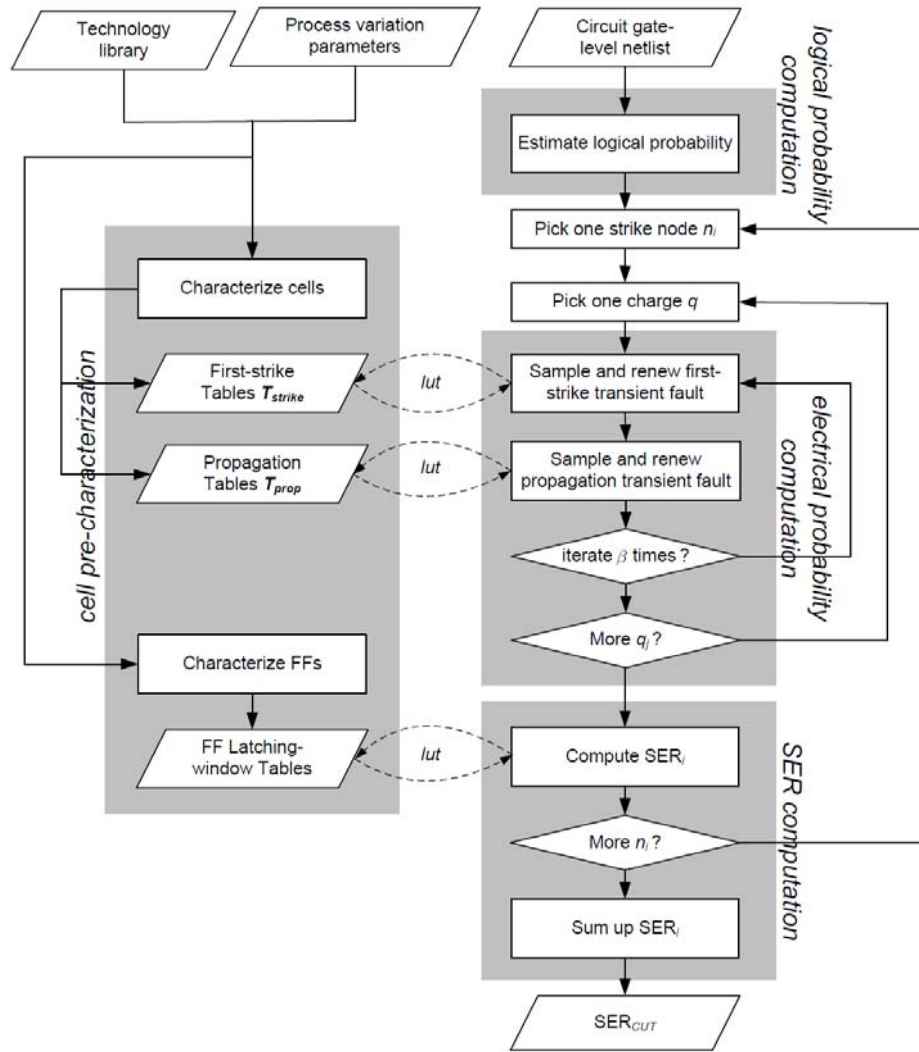


圖十三: The moving-down operation to observe net b.

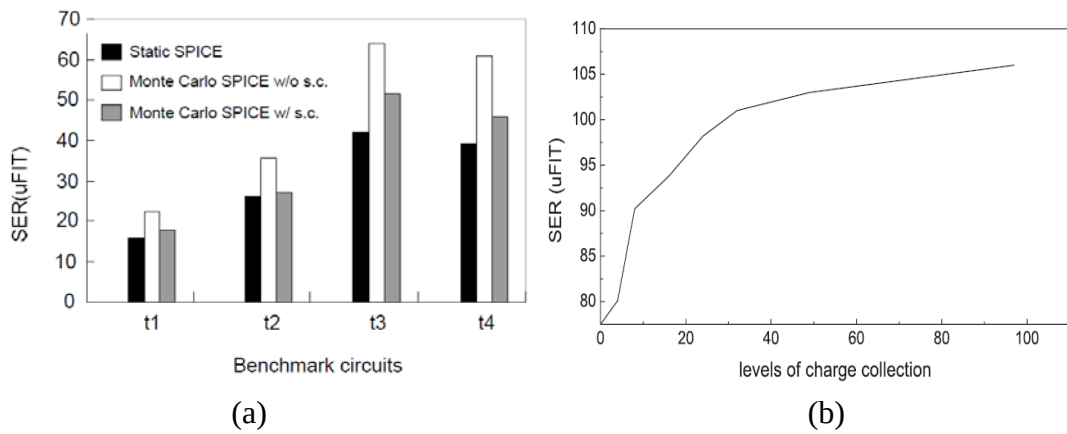
在進入後深次微米時代後，由於各種物理現象的產生如製程變異，使得系統的可靠度又受到了新的挑戰，尤其對於軟性電子錯誤率而言。在此子計畫四「應用計算智慧推理處理後深次微米時代電路設計上的可靠度挑戰」中，探討了軟性錯誤率在先進的電路上所發生的行為，並分析在製程變異下，軟性錯誤率的變化，如圖十四所示，當製程變異達到 10% 時，低估軟性錯誤率將達 117%。為了能準確且快速地估計在先進電路設計下之軟性錯誤率，分別利用機器學習(machine learning)及查表(table lookup)二種方式建構出合適之模型並預測軟性電子錯誤率之行為(如圖十五)。並對晶粒內存在著的空間相關性(spatial correlation)進行分析，如圖十六(a)所示。如果只考慮製程變異率而不考慮之間所存在的空間相關性時，將會高估軟性錯誤率達 26%，此結果也證明了在計算軟性錯誤時，必須考慮晶粒內所存在的空間相關性。但由於估算統計性軟性錯誤率所費時間龐大，因此前人對於統計性軟性錯誤率之評估往往只有考慮四個電量對於電路之影響。若只考慮四個電量，將會低估電子錯誤率達 27.5%(如圖十六(b)所示)。因此，子計畫四中提出自動電量篩選演算法(如圖十七所示)，過濾不需要計算之電量，以提升考慮全電量時之時間成本。此演算法依據正反器之鎖門視窗(latching window)大小建立出所需考慮之電量上下邊界，進而排除不需計算之電量。由實驗結果得知，此演算法對於統計性軟性錯誤率之評估可提升約 22 倍的速度。



圖十四：製程變異對軟性錯誤率之影響



圖十五：軟性電子錯誤率計算流程



圖十六：(a)空間相關性對統計性軟性錯誤率估計之分析
(b)軟性錯誤率 vs.電量之變化

ALGORITHM 1:
Automatic_Bounding_Charge_Selection()

```

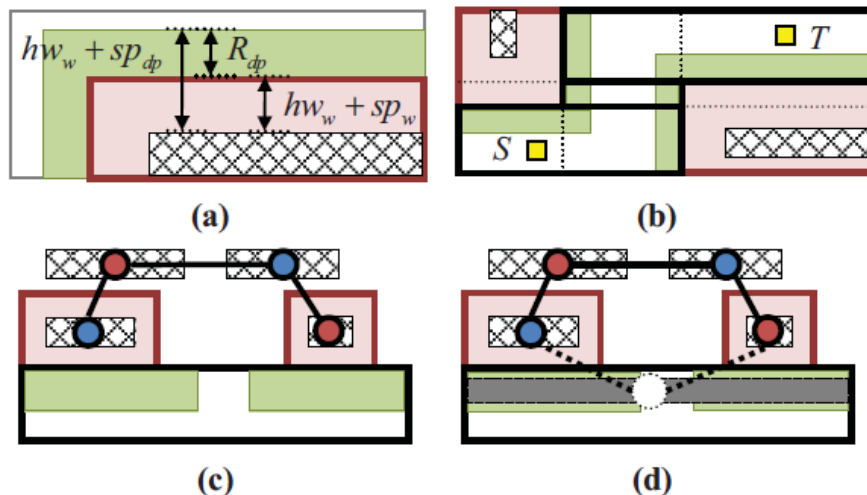
1 while  $Q_{min}$  or  $Q_{max}$  are undecided
2   pick a charge  $q$ 
3   compute each TF dist. latched by each FF
4   MaxUpperBound = max(upper bound of TF dist.)
5   MinLowerBound = min(lower bound of TF dist.)
6   if MaxUpperBound < latching-window size
7      $Q_{min} = q$ 
8   if MinLowerBound > latching-window size
9      $Q_{max} = q$ 
10 end

```

圖十七：自動電量篩選演算法

子計畫五「考慮可製造化、可靠度與良率的繞線系統」提出一個隨機瑕疵考量的層配置法與非點格式的軌道繞線方法去減少隨機瑕疵的影響 (random defect aware layer assignment and gridless track routing, RAAT)。RAAT 利用一種普遍地使用在平面規劃與擺置階段的方法—最少切量式分群法，去擺放導線位置。以切割樹為基礎架構去降低相鄰群間重疊的線長藉此提高導線排序的效率。最後，一個考慮額外隨機瑕疵影響的二次錐規劃方法被用來決定線段的位置與寬度。實驗結果顯示了整合層配置與軌道繞線的重要性。結果也顯示了使用 RAAT 的非點格式軌道繞線之有效性。除了比前人的成果更迅速地完成任一個情況，RAAT 也在蒙地卡羅模擬中比前人的成果降低了約 6%~14% 的錯誤發生比例。

子計畫五提出一個利用創新衝突圖去考量雙圖樣微影技術的非點格式細部繞線方法(double patterning lithography aware gridless detailed routing with innovative conflict graph)。在細部繞線階段考慮雙圖樣微影技術，對已繞的導線分配一個虛擬顏色，建立創新衝突圖，在繞線過程中將已繞的導線往外延伸雙圖樣微影技術的最小間距，如圖十六(a)中陰影(shadow)(綠色區域)，若有導線經過不同顏色所產生的陰影，就可能產生衝突，如圖十六(d)，會以常數時間偵測是否會產生衝突，藉此降低衝突產生高質量可分解的最後結果。實驗結果顯示了在細部繞線階段考慮雙圖樣微影技術，與貪婪式演算法 (geedy algorithm)，產生沒有衝突的結果及平均降低 41% 縫合(stitch)的數量，而只增加 0.22% 的線長及 30% 的時間。



圖十八：創新衝突圖去考量雙圖樣微影技術的非點格式細部繞線方法

四、結論

本計畫針對單晶片系統之各設計層次所面對的驗證問題，提出了許多重要的核心驗證技術，這些技術可以有效的整合入當前的晶片設計流程，提供業界解決當前晶片驗證所遇到的難題，讓整個晶片製造可以得到更好的效率及品質。

所開發之主要技術摘要如下：

- 全域資源分享之規則化暫存器架構
- 以允許迴圈存在的資料流程圖為輸入，進行產能驅動的擺放
- 同步資料轉移繞線及排程
- 考量群集島信號延遲之分散式暫存器架構及其適用之合成系統
- 多時脈週期通訊系統合成
- 在多核心處理器上整合了動態電源管理與動態電壓與頻率調節
- 運用增強式學習法的彈性及適應能力來做動態電源管理
- 將多核心處理器功率狀態減化並優化功耗，降低動態電源管理的複雜度
- 高效率錯誤分析
- 錯誤區域辨識
- 錯誤候選邏輯閘排序
- 偵錯導向設計
- 針對聚焦離子束訊號觀測之繞線調整
- 考慮可測性及擾亂成本之動態候選排序演算法
- 軟性錯誤率之自動化估計環境
- 機器學習為基礎之模型建構法
- 以查表法為基礎建構模型並以準蒙地卡羅為加速估算軟性錯誤率
- 空間相關性對於軟性錯誤率之分析
- 自動電量篩選演算法
- 隨機瑕疵考量的層配置法與非點格式的軌道繞線
- 創新衝突圖去考量雙圖樣微影技術的非點格式細部繞線方法

五、成果自評

本計畫集結了不同研究群之力量，透過頻繁的技術交流與討論，將不同層次的驗證問題使用更全盤有效的演算法來解決。同時此計畫也訓練出熟稔驗證流程與技術的碩、博士生，在此計畫的培育下，已有數十位學生投身業界，其中大多從事晶片設計與設計自動化軟體開發，均有不錯的表現。

此外，本計畫共發表 15 篇一流國際期刊論文、43 篇國際研討會論文，對於臺灣在設計自動化及晶片驗證的國際學術地位上，亦有相當大的貢獻。

年度	期刊論文(篇)		會議論文(篇)		ACI(篇)		SCI(篇)		EI(篇)	
	國內	國外	國內	國外						
97	0	2	6	15	0	0	0	0	0	0
98	0	4	2	12	0	0	0	3	0	3
99	0	9	6	16	0	0	0	3	0	3
合計	0	15	14	43	0	0	0	6	0	6

- Meng-Jai Tsai, Mango Chia-Tso Chao, Jing-Yang Jou, and Meng-Chen Wu, “Multiple-Fault Diagnosis Using Faulty-Region Identification,” IEEE VLSI Test Symposium (VTS), pp. 123–128, May 2009. *(In this paper, we propose a fault-diagnosis framework targeting multiple stuck-at faults. This framework first reports a minimal suspect region, in which all real faults are topologically covered. Next, a proposed ranking method is applied to sieve out the real faults from the candidates within the suspect region. The experimental results show that the proposed diagnosis framework can effectively locate the multiple stuck-at faults within a neighborhood, which may generate erroneous signals cancelling one another and are difficult to be diagnosed based on a single-fault-model method.)*
- Kuo-An Chen, Tsung-Wei Chang, Meng-Chen Wu, Mango Chia-Tso Chao, Jing-Yang Jou, and Sonair Chen, “Design-for-Debug Layout Adjustment for FIB Probing and Circuit Editing”, accepted, International Test Conference, Sep. 2011. *(This paper introduces a design-for-debug framework which can adjust the layout to increase the FIB observable rate and the FIB repairable rate for its signals. The layout adjustment is made through pre-defined simple operations subject to the design rules and the timing constraints. Hence, the proposed framework does not require a complicated router as its core and can be applied in conjunction with any commercial APR tool. The experimental result based on a 90nm technology has demonstrated that the proposed DFD framework can effectively increase the FIB observable and repairable rates under different parameter settings while the overall area and circuit performance remain the same.)*
- H.-K. Peng, H.-M. Huang, Y.-H. Kuo, and Charles H.-P. Wen, “Statistical Soft Error Rate (SSER) Analysis for Scaled CMOS Designs,” to appear ACM Trans. Design Automation of Electronic Systems. 2011. *(In this paper, we formulate the statistical soft error rate (SSER) problem and present two frameworks to cope with the aforementioned sophisticated issues. The table-lookup framework captures the change of transient-fault distributions implicitly using a Monte-Carlo approach, whereas the SVR-learning framework does the task explicitly using statistical learning theory.)*
- Pumbaa H.-K. Peng, Charles H.-P. Wen and Jayanta Bhadra, “2D.1: On Soft Error Rate Analysis Beyond Deep Submicron - A Statistical Perspective,” Proc. Int'l Conf. Computer Aided Design, (ICCAD'09), November 2009. *(In this paper, we apply the state-of-the-art statistical learning algorithm to tackle the complexity of these natures and build compact yet accurate generation and propagation models for transient fault distributions. A statistical analysis framework for soft error rate (SER) is also proposed on the basis of these models.)*
- Yu-Hsin (Phoebe) Kuo, Huan-Kai (Pumbaa) Peng and Charles H.-P. Wen, “Accurate Statistical Soft Error Rate (SSER) Analysis Using A Quasi-Monte Carlo Framework With Quality Cell Models,” IEEE International Symposium on Quality Electronic Design (ISQED'10), March 2010. *(In this paper, we present accurate table-based cell models, based on which a Monte Carlo SSER analysis framework is built. We further propose a heuristic to customize the use of quasirandom sequences, which successfully speeds up the convergence of simulation error and hence shortens the runtime.)*
- Yu-Hsin (Phoebe) Kuo, Huan-Kai (Pumbaa) Peng and Charles H.-P. Wen, “Monte-Carlo-based statistical soft error rate (SSER) analysis for the deep sub-micron era,” Proc. IEEE Symposium on Circuits and Systems (ISCAS'10), June 2010. *(This paper presents a Monte-Carlo based SER*

analysis considering the statistical impact due to variation. Quasirandom sequences are also incorporated for fast convergence of SER accuracy and time efficiency. Experiments show that the proposed framework yields more accurate SERs compared to static analysis.)

- Yen-Hung Lin and Yih-Lang Li, “Double Patterning Lithography Aware Gridless Detailed Routing with Innovative Conflict Graph”, in Proceedings of ACM/IEEE Design Automation Conference (DAC-2010), Anaheim, CA, June 2010. (In this paper, we develop the first DPL-aware gridless detailed routing with ICG to generate a highly decomposable routing outcome with low yield loss.)

年度	專利申請數		已獲專利數		專利應用	
	國內	國外	國內	國外	國內	國外
97	-	-	-	-	-	-
98	1	-	-	1	-	-
99	1	1	2	1	-	-
合計	2	1	2	2	0	0

年度	技術授權 (件)	產學合作 (件)	學術活動 (場)
97	-	0	-
98	-	0	-
99	-	2	-
合計	0	2	0

六、本計畫執行成果之論文發表(僅列出國際論文部份)

國際期刊論文

- 001 Ya-Shih Huang, Yu-Ju Hong, and Juinn-Dar Huang, “Communication Synthesis for Interconnect Minimization in Multicycle Communication Architecture,” IEICE Trans. on Fundamentals, vol. E92-A, no. 12, pp. 3143–3150, Dec. 2009.
- 002 Juinn-Dar Huang, Ya-Shih Huang, Liya Wang, and Geeng-Wei Lee, “Throughput-Aware Floorplanning via Dynamic Optimization on Performance-Critical Loops,” International Journal of Electrical Engineering (IJEE), vol. 17, no.1, pp. 33–42, Feb. 2010.
- 003 Chia-I Chen, and Juinn-Dar Huang, “A Hierarchical Criticality-Aware Architectural Synthesis Framework for Multicycle Communication,” IEICE Trans. on Fundamentals, vol. E93-A, no. 7, pp. 1300–1308, Jul. 2010.
- 004 Juinn-Dar Huang, Chia-I Chen, Yen-Ting Lin, and Wan-Lin Hsu, “Communication synthesis for interconnect minimization targeting distributed register-file microarchitecture,” IEICE Trans. on Fundamentals, vol. E94-A, no. 4, pp. 1151–1155, Apr. 2011.
- 005 Juinn-Dar Huang, Chia-I Chen, Wan-Ling Hsu, Yen-Ting Lin, and Jing-Yang Jou, “Performance-driven architectural synthesis for distributed register-file microarchitecture with inter-island delay,” accepted by IEICE Trans. on Fundamentals.

- 006 W.-Y. Lee and I. H.-R. Jiang, "Topology generation and floorplanning for low power application-specific network-on-chips," *International Journal of Electrical Engineering (IJEE)*, vol. 16, no. 1, Feb. 2009.
- 007 I. H.-R. Jiang and H.-Y. Chang, "ECOS: Stable matching based metal-only ECO synthesis," accepted by *IEEE Trans Very Large Scale Integration Systems (IEEE TVLSI)*.
- 008 I. H.-R. Jiang, H.-Y. Chang, and C.-L. Chang, "WiT: Optimal wiring topology for electromigration avoidance," accepted by *IEEE Trans Very Large Scale Integration Systems (IEEE TVLSI)*.
- 009 J.-W. Lin, T.-Y. Ho, and I. H.-R. Jiang, "Reliability-driven power/ground routing for analog ICs," accepted by *ACM Transactions on Design Automation of Electronic Systems (ACM TODAES)*.
- 010 W.-Y. Lee, I. H.-R. Jiang, and T.-W. Mei, "Generic integer linear programming formulation for 3D IC partitioning," accepted by *Journal of Information Science and Engineering (JISE)*.
- 011 Meng-Chen Wu, Ming-Ching Lu, Hung-Ming Chen, and Jing-Yang Jou, "Performance-constrained Voltage Assignment in Multiple Supply Voltage SoC Floorplanning," *ACM Transactions on Design Automation of Electronic Systems (ACM TODAES)*, vol. 15, no. 1, Dec. 2009.
- 012 H.-K. Peng, H.-M. Huang, Y.-H. Kuo, and Charles H.-P. Wen, "Statistical Soft Error Rate (SSER) Analysis for Scaled CMOS Designs," to appear *ACM Transactions on Design Automation of Electronic Systems (ACM TODAES)*, 2011.
- 013 Ke-Ren Dai, Wen-Hao Liu and Yih-Lang Li, "NCTU-GR: Efficient Simulated Evolution Based Rerouting and Congestion-Relaxed Layer Assignment on 3-D Global Routing," to appear in *IEEE Transactions on Very Large Scale Integration Systems (IEEE TVLSI)*.
- 014 Yen-Hung Lin, Shu-Hsin Chang, Yih-Lang Li, "Critical-Trunk-based Obstacle-Avoiding Rectilinear Steiner Tree Routings and Buffer Insertion for Delay and Slack Optimization," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (IEEE TCAD)*, vol. 30, no. 9, pp. 1335–1348, Sep. 2011.
- 015 Yih-Lang Li, Yu-Ning Chang, and Wen-Nai Cheng, "A Gridless Routing System with Non-Slicing Floorplanning-Based Crosstalk Reduction on Gridless Track Assignment", *ACM Transactions on Design Automation of Electronic Systems (ACM TODAES)*, vol. 16, no. 2, article 19 (1–25), Mar. 2011.

國際研討會論文

- 001 Yu-Ju Hong, Ya-Shih Huang, and Juinn-Dar Huang, "Simultaneous Data Transfer Routing and Scheduling for Interconnect Minimization in Multicycle Communication Architecture," *Proc. of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC 2009)*, pp. 19–24, Jan. 2009.
- 002 Chia-I Chen, and Juinn-Dar Huang, "CriAS: A Performance-Driven Criticality-Aware Synthesis Flow for On-Chip Multicycle Communication Architecture," *Proc. of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC 2009)*, pp. 67–72, Jan. 2009.
- 003 Chia-I Chen, and Juinn-Dar Huang, "Performance-Driven Architectural Synthesis for Multicycle Communication," *Proc. of the 15th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI 2009)*, pp. 82–87, Mar. 2009.
- 004 Ya-Shih Huang, and Juinn-Dar Huang, "Throughput-Driven Hierarchical Partitioning-Based Placement for Regular Distributed Register Architecture," *Proc. of the 15th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI 2009)*, pp. 313–317, Mar. 2009.
- 005 Juinn-Dar Huang, Chia-I Chen, Wan-Ling Hsu, Yen-Ting Lin, and Jing-Yang Jou "Performance-Driven Architectural Synthesis for Distributed Register-File Microarchitecture Considering Inter-Island Delay," *IEEE International Symposium on VLSI Design, Automation, and Test (VLSI-DAT 2010)*, pp.169–172, Apr. 2010.

- 006 Juinn-Dar Huang, Chia-I Chen, Wan-Ling Hsu, Yen-Ting Lin, and Jing-Yang Jou, "Inter-Island Delay Aware Communication Synthesis for Island-Based Distributed Register Architecture," Proc. of the 16th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI 2010), pp. 58–63, Oct. 2010.
- 007 Ya-Shih Huang, Yang-Hsiang Liu, and Juinn-Dar Huang, "Iterative 3D Partitioning for Through-Silicon Via Minimization," Proc. of the 16th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI 2010), pp. 154–159, Oct. 2010.
- 008 Juinn-Dar Huang, Yi-Hang Chen, and Ya-Chien Ho, "Quantitative Graph-Based Minimal Queue Sizing for Throughput Optimization in Latency-Insensitive Designs," Proc. of the 16th Workshop on Synthesis and System Integration of Mixed Information Technologies (SASIMI 2010), pp. 430–435, Oct. 2010.
- 009 Juinn-Dar Huang, Yi-Hang Chen, and Ya-Chien Ho, "Throughput Optimization for Latency-Insensitive System with Minimal Queue Insertion," Proc. of IEEE Asia and South Pacific Design Automation Conference (ASP-DAC 2011), pp.585–590, Jan. 2011.
- 010 I. H.-R. Jiang, S.-W. Lin and Y.-T. Yu, "Unification of obstacle-avoiding rectilinear Steiner tree construction," 21st IEEE International SOC Conference (SOCC 2008), Sep. 2008.
- 011 I. H.-R. Jiang and Y.-T. Yu, "Configurable rectilinear Steiner tree construction for SoC and nano technologies," 26th IEEE International Conference on Computer Design (ICCD 2008), Oct. 2008, pp. 34–39.
- 012 I. H.-R. Jiang and M.-H. Wu, "Power-state-aware buffered tree construction," 26th IEEE International Conference on Computer Design (ICCD 2008), Oct. 2008, pp. 21–26.
- 013 W.-Y. Lee and I. H.-R. Jiang, "Variability characterization and tolerance on throughput and power for chip-multiprocessors," 15th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI 2009), Mar. 2009.
- 014 I. H.-R. Jiang and M.-H. Wu, "POSA: power-state-aware buffered tree construction," demonstrated at IEEE International Symposium on Circuits and Systems (ISCAS 2009), May 2009.
- 015 W.-Y. Lee and I. H.-R. Jiang, "VIFI-CMP: variability-tolerant chip-multiprocessors for throughput and power," 19th ACM Great Lakes Symposium on VLSI (GLSVLSI 2009), May 2009.
- 016 I. H.-R. Jiang, H.-Y. Chang, L.-G. Chang, and H.-B. Hung, "Matching-based minimum-cost spare cell selection for design changes," 46th ACM/IEEE Design Automation Conference (DAC 2009), Jul. 2009, pp. 408–411.
- 017 W.-Y. Lee and I. H.-R. Jiang, "Variability tolerance on throughput and power for 3D chip-multiprocessors," 18th International Workshop on Logic & Synthesis (IWLS 2009), Jul. 2009.
- 018 I. H.-R. Jiang, "Generic integer linear programming formulation for 3D IC partitioning," 22nd IEEE International SOC Conference (SOCC 2009), Sep. 2009.
- 019 I. H.-R. Jiang, H.-Y. Chang, and C.-L. Chang, "Optimal wiring topology for electromigration avoidance considering multiple layers and obstacles," 19th ACM International Symposium on Physical Design (ISPD 2010), Mar. 2010.
- 020 Y.-M. Yang and I. H.-R. Jiang, "Analog placement and global routing considering wiring symmetry," 11th IEEE International Symposium on Quality Electronic Design (ISQED 2010), Mar. 2010.
- 021 I. H.-R. Jiang and H.-Y. Chang, "ECOS: A metal-only ECO synthesizer," demonstrated at IEEE International Symposium on Circuits and Systems (ISCAS 2010), May 2010.
- 022 H.-Y. Lee, I. H.-R. Jiang and H.-M. Chen, "Simultaneous voltage island generation and floorplanning," 23rd IEEE International SOC Conference (SOCC 2010), Sep. 2010.

- 023 Y.-M. Yang and I. H.-R. Jiang, "Analog layout generation based on wiring symmetry," 16th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI 2010), Oct. 2010.
- 024 I. H.-R. Jiang, H.-Y. Chang, and C.-L. Chang, "Optimal wiring topology for electromigration avoidance," 16th Workshop on Synthesis and System Integration of Mixed Information technologies (SASIMI 2010), Oct. 2010.
- 025 Y.-T. Yu, C.-C. Chan, and I. H.-R. Jiang, "3DICE: 3D IC cost evaluation based on fast tier number estimation," 12th IEEE International Symposium on Quality Electronic Design (ISQED 2011), Mar. 2011.
- 026 I. H.-R. Jiang, C.-L. Chang, Y.-M. Yang, E. Y.-W. Tsai, and L. S.-F. Chen, "INTEGRA: Fast multi-bit flip-flop clustering for clock power saving based on interval graphs," 20th ACM International Symposium on Physical Design (ISPD 2011), Mar. 2011.
- 027 H.-Y. Chang, I. H.-R. Jiang, and Y.-W. Chang, "Simultaneous functional and timing ECO," 48th ACM/IEEE Design Automation Conference (DAC 2011), June 2011.
- 028 Meng-Jai Tsai, Mango Chia-Tso Chao, Jing-Yang Jou, and Meng-Chen Wu, "Multiple-Fault Diagnosis Using Faulty-Region Identification," IEEE VLSI Test Symposium (VTS 2009), pp. 123–128, May 2009.
- 029 Kuo-An Chen, Tsung-Wei Chang, Meng-Chen Wu, Mango Chia-Tso Chao, Jing-Yang Jou, and Sonair Chen, "Design-for-Debug Layout Adjustment for FIB Probing and Circuit Editing", accepted, International Test Conference (ITC 2011), Sep. 2011.
- 030 Meng-Chen Wu, Hung-Ming Chen, and Jing-Yang Jou, "Mixed Non-Rectangular Block Packing for Non-Manhattan Layout Architectures," International Symposium on Quality Electronic Design (ISQED 2011), pp. 257–262, Mar. 2011.
- 031 Pumbaa H.-K. Peng, Charles H.-P. Wen and Jayanta Bhadra, "2D.1: On Soft Error Rate Analysis Beyond Deep Submicron - A Statistical Perspective," Proc. International Conference Computer Aided Design, (ICCAD 2009), Nov. 2009.
- 032 Yu-Hsin (Phoebe) Kuo, Huan-Kai (Pumbaa) Peng and Charles H.-P. Wen, "Accurate Statistical Soft Error Rate (SSER) Analysis Using A Quasi-Monte Carlo Framework With Quality Cell Models," IEEE International Symposium on Quality Electronic Design (ISQED 2010), Mar. 2010.
- 033 Yu-Hsin (Phoebe) Kuo, Huan-Kai (Pumbaa) Peng and Charles H.-P. Wen, "Monte-Carlo-based statistical soft error rate (SSER) analysis for the deep sub-micron era," Proc. IEEE Symposium on Circuits and Systems (ISCAS 2010), Jun. 2010.
- 034 H.-M. Huang, C.-W Chang, and Charles H.-P. Wen, "Learning-based Statistical Soft Error Rate (SSER) Analysis Considering Full-Spectrum Charge Collection," VLSI Test Technology Workshop, 2011.
- 035 C.-C. Chang, H.-M Huang, Y.-H Lin, and Charles H.-P. Wen, "Parameterized Closed-form for Block-based Soft Error Rate Analysis Considering Correlations of Variation Sources," VLSI Design/CAD Symposium, 2011
- 036 Wen-Hao Liu, Yih-Lang Li and Kai-Yuan Chao, "High-Quality Global Routing for Multiple Dynamic Supply Voltage Designs," to appear in International Conference on Computer-Aided Design (ICCAD 2011), 2011.
- 037 Yen-Hung Lin, Yong-Chan Ban, David Z. Pan and Yih-Lang Li, "DOPPLER: DPL-aware and OPC-friendly Gridless Detailed Routing with Mask Density Balancing," to appear in International Conference on Computer-Aided Design (ICCAD 2011), 2011.
- 038 Wen-Hao Liu and Yih-Lang Li, "Negotiation-Based Layer Assignment for Via Count and Via Overflow Minimization," Proc. Asia and South Pacific Design Automation Conference (ASP-DAC 2011), Jan. 2011.
- 039 Yen-Hung Lin and Yih-Lang Li, "Double Patterning Lithography Aware Gridless Detailed Routing with Innovative Conflict Graph", Proc. of ACM/IEEE Design Automation Conference (DAC 2010), Jun. 2010.

- 040 Chih-Ta Lin, Yen-Hung Lin, Guan-Chan Su, Yih-Lang Li, “Dead Via Minimization by Simultaneous Routing and Redundant Via Insertion”, Proc. Asia and South Pacific Design Automation Conference (ASP-DAC 2010), Jan. 2010.
- 041 Wen-Hao Liu, Yih-Lang Li, Hui-chi Chen, “Minimizing Clock Latency Range in Robust Clock Tree Synthesis”, Proc. Asia and South Pacific Design Automation Conference (ASP-DAC 2010), Jan. 2010.
- 042 Yen-Hung Lin, Shu-Hsin Chang, and Yih-Lang Li, “Critical-Trunk based Obstacle-Avoiding Rectilinear Steiner Tree Routings for Delay and Slack Optimization”, in ACM International Symposium on Physical Design (ISPD 2009), Mar. 2009.
- 043 Ke-Ren Dai, Wen-Hao Liu, and Yih-Lang Li, “Efficient Simulated Evolution Based Rerouting and Congestion-Relaxed Layer Assignment on 3-D Global Routing”, Proc. Asia and South Pacific Design Automation Conference (ASP-DAC 2009), Jan. 2009 (**Best paper nominee**).

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

☒ 達成目標

☐ 未達成目標（請說明，以 100 字為限）

☐ 實驗失敗

☐ 因故實驗中斷

☐ 其他原因

說明：本計畫於四個不同的分項中提出針對設計深次微米時代所需的技術。

2. 研究成果在學術期刊發表或申請專利等情形：

論文：☒已發表 ☐未發表之文稿 ☐撰寫中 ☐無

專利：☒已獲得 ☐申請中 ☐無

技轉：☐已技轉 ☐洽談中 ☒無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

本計畫以前瞻的方式探討在半導體製程進入了深次微米時代之後，半導體物理特性在製程的變異，針對單晶片系統之各設計層次所面對的驗證問題，由於在先進製程下已非以往單靠晶圓廠的現有的技術所能掌控，使得在晶片設計初期更需重視先進製程可能發生的問題及影響，方能提昇晶片的品質及可製造性。還針對不同的設計分項並且提出了許多重要的核心驗證技術，並且利用設計自動化工具輔以增加執行效率。這些技術可以有效的整合入當前的晶片設計流程，提供業界解決當前晶片驗證所遇到的難題，讓半導體製程在面對整個晶片製造時可以得到更好的效率及品質。

國科會補助計畫衍生研發成果推廣資料表

日期:2011/10/28

國科會補助計畫	計畫名稱：總計畫(3/3)	
	計畫主持人：周景揚	
	計畫編號：99-2220-E-009-007-	學門領域：晶片科技計畫--整合型學術研究計畫
無研發成果推廣資料		

99 年度專題研究計畫研究成果彙整表

計畫主持人：周景揚			計畫編號：99-2220-E-009-007-				
計畫名稱：後次微米時代新興電子設計自動化技術之研究--總計畫(3/3)							
成果項目			量化			單位	備註（質化說明：如數個計畫共同成果、成果列為該期刊之封面故事...等）
			實際已達成數（被接受或已發表）	預期總達成數(含實際已達成數)	本計畫實際貢獻百分比		
國內	論文著作	期刊論文	0	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	14	0	100%		
		專書	0	0	100%		
	專利	申請中件數	2	0	100%	件	
		已獲得件數	2	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（本國籍）	碩士生	1	2	50%	人次	
		博士生	6	2	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		
國外	論文著作	期刊論文	15	0	100%	篇	
		研究報告/技術報告	0	0	100%		
		研討會論文	43	0	100%		
		專書	0	0	100%	章/本	
	專利	申請中件數	1	0	100%	件	
		已獲得件數	2	0	100%		
	技術移轉	件數	0	0	100%	件	
		權利金	0	0	100%	千元	
	參與計畫人力（外國籍）	碩士生	0	0	100%	人次	
		博士生	0	0	100%		
		博士後研究員	0	0	100%		
		專任助理	0	0	100%		

其他成果 (無法以量化表達之成果如辦理學術活動、獲得獎項、重要國際合作、研究成果國際影響力及其他協助產業技術發展之具體效益事項等，請以文字敘述填列。)	本計畫產生兩件產學合作案		
	成果項目	量化	名稱或內容性質簡述
科教處計畫加填項目	測驗工具(含質性與量性)	0	
	課程/模組	0	
	電腦及網路系統或工具	0	
	教材	0	
	舉辦之活動/競賽	0	
	研討會/工作坊	0	
	電子報、網站	0	
	計畫成果推廣之參與（閱聽）人數	0	

國科會補助專題研究計畫成果報告自評表

請就研究內容與原計畫相符程度、達成預期目標情況、研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）、是否適合在學術期刊發表或申請專利、主要發現或其他有關價值等，作一綜合評估。

1. 請就研究內容與原計畫相符程度、達成預期目標情況作一綜合評估

☒ 達成目標

☐ 未達成目標（請說明，以 100 字為限）

☐ 實驗失敗

☐ 因故實驗中斷

☐ 其他原因

說明：

2. 研究成果在學術期刊發表或申請專利等情形：

論文：☒ 已發表 ☐ 未發表之文稿 ☐ 撰寫中 ☐ 無

專利：☒ 已獲得 ☐ 申請中 ☐ 無

技轉：☐ 已技轉 ☐ 洽談中 ☒ 無

其他：（以 100 字為限）

3. 請依學術成就、技術創新、社會影響等方面，評估研究成果之學術或應用價值（簡要敘述成果所代表之意義、價值、影響或進一步發展之可能性）（以 500 字為限）

本計畫以前瞻的方式探討在半導體製程進入了深次微米時代之後，半導體物理特性在製程的變異，針對單晶片系統之各設計層次所面對的驗證問題，由於在先進製程下已非以往單靠晶圓廠的現有的技術所能掌控，使得在晶片設計初期更需重視先進製程可能發生的問題及影響，方能提昇晶片的品質及可製造性。還針對不同的設計分項並且提出了許多重要的核心驗證技術，並且利用設計自動化工具輔以增加執行效率。這些技術可以有效的整合入當前的晶片設計流程，提供業界解決當前晶片驗證所遇到的難題，讓半導體製程在面對整個晶片製造時可以得到更好的效率及品質。