

96.11.29
發明專利說明書

LP563-3

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94116487

(2007年11月29日修正)

※申請日期：94.5.20

※IPC 分類：H04N 7/015 (2006.01)

H04N 7/24 (2006.01)

一、發明名稱：(中文/英文)

雙模式高產量之去區塊濾波器及其方法

A DUAL-MODE HIGH THROUGHPUT DE-BLOCKING FILTER

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

國立交通大學

NATIONAL CHIAO TUNG UNIVERSITY

代表人：(中文/英文)

張俊彥/CHANG, CHUN-YEN

住居所或營業所地址：(中文/英文)

新竹市大學路 1001 號

1001 Ta-Hsueh Rd., Hsinchu, Taiwan R.O.C.

國 籍：(中文/英文)

中華民國/R.O.C

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 李鎮宜/LEE, CHEN-YI

2. 劉子明/LIU, TSU-MING

國 籍：(中文/英文)

1. ~ 2. 中華民國/R.O.C

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供獨一且高產量之硬體架構，並且能夠應用於多重視訊標準的實體整合。其中更提出一種新穎的方式來整合標準化的迴圈濾波器，以及非標準訂定的後處理濾波器。由於後處理濾波器不受視訊標準所規範，因此它提供了很高的彈性與空間來作多重標準的整合。本發明更改後處理的演算方式，並且從硬體的整合度以及效能方面取得一個最佳的平衡點。再者，我們提出一種混合式排程法來減少運算週期，同時達到高產量的整體利益。最主要的方法便是利用四塊像素緩衝器來保持中間的像素濾波運算，並且讓水平與垂直的濾波方式能夠依照統一的混合方式來進行。如此，本發明可以大大減低處理的週期以及對記憶體存取次數，同時所合成的結果也顯示其硬體的成本也很低。

六、英文發明摘要：

This invention provides a unique and high-throughput architecture for multiple video standards. Particularly, we propose a novel scheme to integrate the standardized in-loop filter and the informative post-loop filter. Due to the non-standardization of post-filter, it provides high freedom to develop a certain suitable algorithm for the integration with loop-filter. We modify the post filter algorithm to make a compromise between hardware integration complexity and performance loss. Further, we propose a hybrid scheduling to reduce the processing cycles and improve the system throughput. The main idea is that we use four pixel buffers to keep the intermediate pixel value and perform the horizontal and vertical filtering process in one hybrid scheduling flow. In our approach, we reduce processing cycles greatly, and the synthesized gate counts are very small.

七、指定代表圖：

(一)本案指定代表圖為：第 4 圖。

(二)本代表圖之元件符號簡單說明：
無。

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明關於一種訊號濾波器及其排程法，尤其關於一種雙模式高產量之去區塊濾波器及其排程法。

【先前技術】

目前多樣化的視訊標準已經廣泛的被應用於各類產品當中。傳統的 MPEG 標準支援往後相容的特色。然而，H.264/AVC 這種新世代的視訊標準，卻有別於傳統的 H.263 或者 MPEG-4，它並沒有辦法相容於舊有的視訊標準當中。因此針對不同的視訊系統，來設計一個符合多重視訊標準的設計方式變為一個極為重要的議題。H.264/AVC 和 MPEG-4 都採用去區塊雜訊濾波器來消除區塊間的不連續效應。然而，H.264/AVC 採用的濾波架構是屬於內迴圈的濾波程序，而其他的視訊標準則是屬於後迴圈的濾波程序。在傳統的去區塊濾波器架構當中，垂直的邊緣會先被濾波，然後再作水平邊界的濾波。因此在濾波 4x4 或者 8x8 的邊界當中，往往會需要兩倍的記憶體存取在不同方向上的像素資料。

再者，H.264/AVC 利用一些有效的工具，能夠達到極高的壓縮性能，而位於預測迴圈的去區塊雜訊濾波器便是一樣重要的工具，它不但能夠提昇整體的壓縮率同時亦能夠去除區塊效應。一般說來，去區塊濾波器在整個解碼端裡頭，也佔有將近整體複雜度 1/3 的極大部分。因此，就處理的時間而言，它有可能成為整體系統的瓶頸(如第 11 圖所示)。而相較於傳統視訊標準當中(H.263 or MPEG-4)的濾波器，在

H.264 裡頭的去區塊雜訊濾波器操作在 4×4 的區塊邊界上面，有別於傳統的 8×8 邊界上。因此就即時解碼的視訊使用者而言，去區塊雜訊濾波器對於運算複雜度以及記憶體存取效能，有著別於以往更大的挑戰。

在目前已知的先前技術中，如美國專利 US6081552，名為『Video coding using a maximum a posteriori loop filter』，雖提出一種視訊濾波器，但其僅針對迴圈濾波器進行改善，或者如美國專利 US5819035，名為『Poster-filter for removing ringing artifacts of DCT coding』，僅針對後濾波器來做單一探討。即便是有一種濾波器能夠同時應用於迴圈濾波器與後處理濾波器，如美國專利 US6717613，名為『Block deformation removing filter』，其效能亦無法達到最佳效果。

在已知的學術文件中，如 Yu-Wen Huang, To-Wei Chen, Bing-Yu Hsieh, Tu-Chil Wang, Te-Hao Chang 與 Liang-Gee Chen，名為『Architecture design for deblocking filter in H.264/JVT/AVC』，發表於『International conference on multimedia and Expo(ICME' 03), Vol. 1, pp1-693-6, july 2003』，下稱為文件[1](簡稱為[1])，以及 Miao Sima, Yuanhua Zhou 與 Wei Zhang 所提出名為『an efficient architecture for adaptive deblocking filter of H.264/AVC video coding』，發表於『IEEE transactions on consumer electronics, Vol. 50, Issue 1, pp.292-296, Feb. 2004』，下稱文件[2](簡稱為[2])對此等技術做出探討，但並無提出令人滿意的解決方案，因此此領域之習知技術存在之缺點可

歸類為：

A.現有的解決方案僅針對迴圈濾波或者是後處理濾波做單一討論。此外，對於未來不同視訊標準(如 H.26x 和 MPEG-x 各系列)的整合上，對於 H.264 的迴圈濾波器以及 H.263、MPEG-4 的後處理濾波器有其本質上的相異之處，而目前仍未能擁有一個完整的解決方案。

B.現有的去區塊濾波器的硬體架構雖能加速原本濾波演算的高複雜度，然而對於極高畫質的視訊解碼仍有其不足之處。主要的癥結便在於記憶體存取以及濾波順序的排列上，有其困難以及待解決之處。

【發明內容】

因此，為了解決上述問題，基於原本 4x4 內迴圈濾波的演算法，本發明提出 8x8 後迴圈濾波器的演算法，並改變濾波器的順序以及跟濾波有關的邊緣像素個數。因此，使用此方法，更改過的後迴圈濾波器能夠更容易的整合於現有的 4x4 內迴圈濾波器。

而有別於傳統的 LOP(參見文件[2])排列法則，本發明利用標準本身所定義的區塊解碼的排列順序，來決定並且提出用 CoP 的資料排列法。經由此提出的排列法，可重複利用在內部預測 (intra prediction) 和相互預測 (inter prediction) 邊緣資料的相關性來改善整體的系統性能。本發明同時保持有原本迴圈濾波器及後處理濾波器的固有特色，並有一種雙模式架構讓兩者得以做緊密的連結，以利用輕微增加的硬體代價得到最佳的濾波性能。本發明更能夠在不改變資料相依

性的狀態下，提出結合水平及垂直的濾波方式，以減少中間過程當中對外界記憶體存取次數，以達到高產量的濾波架構。

具體而言，本發明係基於原始 H.264 的迴圈濾波器演算架構，修正原本 MPEG-4 的後處理濾波單元，以降低系統整合上的負擔。如此便能夠同時享有迴圈與後處理濾波的雙模好處。

針對 H.264 裡頭所定義的濾波單位以及順序，提出混合式的濾波順序，在不改變原始的資料關係之下，能夠達到最小的記憶體讀寫次數，以及最小的額外面積負擔。

【實施方式】

本發明之一目的為在多重標準的視訊應用中，節省去區塊雜訊濾波器的成本，因此提出一種混合式的演算法來實現單一個演算方式。H.264 和傳統的 MPEG 視訊標準分別採用內迴圈以及後迴圈濾波器。然而，如果把內迴圈演算運用到 MPEG-4 的後迴圈濾波器裡頭，則整體的效能提昇會變得很差。因此發明人據此提出兩者的混合演算法來取得在整合成本和系統效能間求得一個平衡點。

參照第 1 圖，其為本發明之雙模式去區塊濾波器之排程方法之流程圖。依照本發明之排程方法包含下列步驟：判斷迴圈模式為內迴圈模式或是後迴圈模式；濾波控制，偵測 4x4 或 8x8 區塊之濾波邊界，並改變後迴圈之濾波順序，其中以垂直；濾波模式的強度計算與模式選擇，改變後迴圈濾波器之相依(dependent)像素個數與預設模式，利用邊緣強度(BS)

判斷濾波模式為決策強模式、弱模式或者跳躍模式其中之一；及邊緣濾波，針對上述所選擇的濾波模式，於 4x4 的小區塊交叉進行水平與垂直邊緣濾波。

第 4 圖展示本發明如何決策（決定）所提出的內/後-迴圈濾波器。所提出的混合式演算法能夠保有原始的內迴圈濾波器，因為它為標準所規範。此外，發明人改變後迴圈的演算方式來減低整合上的實體負擔。

如下列表一所示，其為本發明之迴圈/後置去區塊濾波器之參數選擇。本發明所提出的演算法則係利用內迴圈及後迴圈的本身特質而可分成三個部分來描述表一。

		內迴圈濾波	後迴圈濾波	本文所提出
濾波控制	率波邊緣	4x4	8x8	4x4 & 8x8
	濾波順序	垂直優先	水平優先	<u>垂直優先</u>
模式決策	演算相依性	語法相依	10像素相依	語法和像素相依: <u>8像素相依</u>
濾波模式	濾波強度(強)	bS=4	直流偏移模式	<u>bS=4</u>
	濾波強度(弱)	bS<4	預設模式	bS<4 & 預設模式: <u>[2 -4 4 -2] 摺疊法</u>

表 一

在濾波控制當中，發明人保有 4x4 和 8x8 的原始濾波邊界。主要原因是因為基本的轉換單位是位於 4x4 和 8x8 的區塊邊界上面。再則，發明人改變後迴圈的濾波順序來作後段的架構整合。這些濾波控制將會在下文作詳細的描述。接下來發明人將簡介內/後-迴圈濾波器在模式決策以及濾波模式的演算法。

模式選擇

內/後-迴圈濾波器在模式決策的部分有很多相異之處。內迴圈濾波是實現在 DPCM 迴圈裡頭，而且是由語法解譯部分 (Syntax-dependent) 所掌控。然而，後迴圈濾波則是在整個視訊解碼完之後才被執行，可以看成是一樣後處理的濾波單元。此一後迴圈濾波是由邊緣的像素所控制。爲了合併模式控制，發明人保留兩著本身的控制特性。此外，發明人改變在後迴圈濾波器當中的相關像素 (pixel dependent) 個數 (8-pixel)。這樣的改變能夠大大減低硬體的複雜度，使它能够更容易的與內迴圈濾波器作整合。如此可以讓內迴圈和後迴圈濾波器都只有 8 個像素的相關性，而非在後迴圈濾波有不一樣的 10 像素相關性。

濾波模式

爲了合併兩者的邊緣濾波器，發明人改變了後處理濾波器的預設模式，並且將直流抵補 (DC offset) 模式改爲內迴圈濾波的 $bS=4$ 模式。在表一當中，濾波模式可以被分割爲強和弱兩種模式。在後迴圈濾波的強濾波模式是相似於內迴圈濾波，本發明應用 $bS=4$ 的濾波方式來取代原本 MPEG-4 裡頭的直流抵補 (DC offset) 模式。此外，本發明改變 DCT 核心的轉換係數 ($[2 \ -5 \ 5 \ -2] \rightarrow [2 \ -4 \ 4 \ -2]$)。如此的改變能夠使得利用簡單的移位器來實現，以取代一個常數的乘法器。此外也採用一個摺疊的機制 (folding scheme) 來減少硬體的成本。在式子一裡頭的三個平行的運算將被摺疊爲一個運算，但是處理時間因此要花三個週期。所有以上提到的改變都被詳列於表一。而在第 4 圖中，展示了弱濾波強度的詳細

架構。

$$\begin{aligned} a_{3,0} &= ([2 \ -5 \ 5 \ -2] \cdot [p_1 \ p_0 \ q_0 \ q_1]T) // 8 \\ a_{3,1} &= ([2 \ -5 \ 5 \ -2] \cdot [p_3 \ p_2 \ p_1 \ p_0]T) // 8 \\ a_{3,2} &= ([2 \ -5 \ 5 \ -2] \cdot [q_0 \ q_1 \ q_2 \ q_3]T) // 8 \end{aligned} \quad \cdots \text{公式一}$$

像素入-像素出 (Pixel in-Pixel out) 邊緣濾波器

本發明實現一個平行像素輸入輸出的邊緣濾波運算來整合內迴圈及後迴圈濾波於單一個硬體架構當中。從第 4 圖中，所增加的多工器是用以轉換不同的濾波函式。在內迴圈濾波器裡頭，本發明採用 H.264/AVC 濾波的演算方式。發明人也更改 MPEG-4 Annex F.3 (ISO/IEC 14496-2:2001, “Information Technology-Generic Coding of Audio-Visual Object Part 2: Visual”, 3rd Ed. Annex F.3-post processing for coding noise reduction, Mar. 2003.) 的演算方式讓它整合於單一架構裡頭。所以，整個提出的內/後-迴圈濾波器架構適合應用於多重視訊標準當中。

在預測與濾波器間的記憶體組織 (Memory Organization between Prediction and Filter)

不同的記憶體組織會導致不同的記憶體存取以及處理時間。而濾波器的輸入即是預測區塊的輸出，再加上剩餘的資料。為了提昇整體的吐出率，本發明亦做了硬體週期的剖析來決定該用哪種的記憶體排列法。此外，本發明採納兩個專屬的單埠 (single-port) SRAM，它不但能夠用來儲存邊緣的像素資料，同時更能夠有效率的輔助資料存取，進而提

昇系統的性能。

記憶體組織 (Memory Organization)

發明人利用像素行 (Column-of-Pixel, CoP) 當作記憶體每個位址的資料大小。從第 2 圖(a)裡頭，發明人展示兩種的資料排列。像素列 (Row-of-Pixel, RoP) 正如同標號 L1 和 2 的區塊所描述，而 CoP 正如同 U1 和 2 的區塊所描述。每個行與列的像素都包含了 32 位元的資料寬度。對於 RoP 而言，它是一種直覺的資料排列法。然而，它將會在水平的邊緣濾波上產生額外的處理週期。同樣的方式，這種情況也將發生在 CoP 的排列上面。針對 CoP 與 RoP 不同的資料排列，也將影響著內部預測 (intra prediction) 和移動補償 (motion compensation) 的記憶體存取次數。在第 2 圖(b)裡頭，發明人標示出標準所定義的每個 4x4 區塊的順序。發明人可以明顯看出有非常強烈的水平方向的相關性。所以發明人採用 CoP 資料排列法來重複利用像素邊緣資訊，如同白色的圓圈所示。此外，表二為每 Luma MB 之平均記憶體存取之分析。發明人從表二所列出記憶體存取次數的剖析當中，CoP 和 RoP 的資料排列對於去區塊雜訊濾波器並無太大影響。這理由是在於濾波的程序除了對水平方向執行之外，也會對垂直的方向執行。然而，在對於其他的模組(內部預測和移動補償)則可以明顯的看出 CoP 排列法則的好處。所以，跟 RoP 比較起來，發明人最後採用 CoP 資料排列法來減少記憶體的存取次數。

記憶體存取次數			
記憶體排列	畫面內預測器	畫面間預測器	去區塊雜訊濾波器
CoP	40	313	151
RoP	48	432	151
改善 (RoP-CoP)/RoP	17%	28%	0%

表二

條狀與內容記憶體 (Slice and Content Memory)

爲了加速資料對於相鄰的像素資料的存取，發明人採用了兩個單埠(single-port)的 SRAM，稱之爲條狀記憶體(Slice Memory) 以及內容記憶體來用以保留邊界以及解碼本身的像素值。這種資料抓取以及回存的動作，在 H.264/AVC 裡頭發生的頻率極爲頻繁，主要也是因爲它是運算在 4x4 的邊界上面。而爲了減少管腳數以及加速處理的速度，對於即時解碼來說，內部的記憶體是有必要的。

條狀記憶體是用以儲存邊界上的像素值。保留它是有必要的，直到他完全被濾波完畢才能夠將它存回外部的記憶體。而此部份記憶體的位址深度是由畫面寬度所決定。在第 3 圖 (a) 中，考慮一張畫面的大小爲 $N \times M$ ，每個正方框代表 16×16 MB，每一個 MB 包含有 16 個點，而且每個點含有 4×4 個像素值。而當濾波的程序從指標 B 到 B+1 的時候，它的相鄰像素資料將會如同箭頭所指向的方式來作更新的動作。而這些灰色的區域是必須要被保留在記憶體的部分，所以條狀記憶體 (slice memory) 是用以保留上面和左邊的像素資料，並且在 4:2:0 的格式下，此一記憶體的大小爲 $2N \times 32$ 。

內容記憶體 (Content Memory) 是用來儲存還未被濾波前的像素資料。而此記憶體的資料寬度為先前所探討的 CoP 之 32 位元，而位址深度則是跟 YUV 的格式 (4:4:4, 4:2:2 或 4:2:0) 有關。對於 4:2:0 的格式，會有 16 個亮度區塊以及 8 個彩度區塊將會被儲存在內容記憶體裡頭。所以整體的記憶體大小為 $(16+8)*4*32$ 。此外，資料位址將依照標準所定義的解碼順序而增加，如第 3 圖 (b)。其中，格子狀區域是儲存於條狀記憶體，而點狀區域則是儲存於內容記憶體。

第 5 圖為習知之濾波順序，由圖可看出習知技術之濾波方式係先做垂直邊緣濾波，之後才做水平邊緣濾波，而此方式會造成，當改變濾波方向時中間資料必須被再存取之缺點。例如，考慮第 5 圖中之灰色區域，邊緣 #1 將先被濾波，之後才做邊緣 #5 之濾波。因此，由於垂直邊緣與水平邊緣 (亦即 #5 與 #17) 之間的距離變得較長，故灰色區域中所處理的資料無法再被利用，因而造成需要於垂直與水平方向做記憶存取等問題。為解決上述問題，本發明提出一種不會影響標準定義之資料依存狀態之混合排程法。

如第 6 圖中所示，其中第 6 圖 (a) 為本發明所提出之混合排程法之濾波順序，而第 6 圖 (b) 為實現上述濾波順序之示意圖，其中無陰影之數字係於 8×8 後迴圈濾波器中實行。考量黑色區域中數字的次序，因為不同方向之間的數字次序變得較接近，因此該黑色區域可被再度利用。因而本發明之混合排程方法可避免再存取不同方向之資料並可再利用中間像素以減少處理週期。

發明人使用四個 4×4 的像素暫存器來實現發明人提出的排程法，它用以保留運算當中的暫存資料。在第 7 圖 (a) 當中，每個 MB 將被分割為兩個部分來減少所需要保留的內部暫存器大小。這當中的每一個部分都由 8 個時間順序所組合而成，如第 7 圖 (b) 所示。而格子狀的區域代表相鄰的區塊部分，灰色的區域則代表著四個 4×4 暫存器所儲存內容的對應位置。在某些情況下，發明人並不需要保留相鄰的區塊部分，因為相鄰的區塊以及目前還未被濾波的區塊兩者是儲存於不同的記憶體當中。他們兩者的資料能夠在同一時間作存取，同時存到邊緣濾波的輸入。

發明人推導出所提出的混合排程法之濾波的順序，如第 7 圖 (b) 所示。每個粗體線代表目前這個時間點所要進行濾波的邊緣。如此的濾波順序也和第 6 圖 (b) 裡頭所規範的順序完全符合。利用同樣的方式，發明人所提出的方法也完全可以套用在彩度區塊的部分上。

在目前 H.264/AVC 去區塊雜訊當中，最主要的問題是在於它需要大量的記憶體存取以及處理的時間。為了將發明人所提出的新穎排程方式套用載整個系統裡頭，發明人提出了高吐出率的硬體設計架構。

高輸出架構

提出的混和排程 (Proposed Hybrid Scheduling)

為了減少在不同濾波方向上，所重複存取資料造成的負擔，本發明提出一個混合式的排程法來重排標準原先所定義的順序。所提出的去區塊濾波器是先作垂直的邊緣然後再作

水平的邊緣。基於標準所定義的順序，發明人可以推導出在每個 4×4 邊界上面的順序，如同第 6 圖 (b) 所示。在一個 4×4 的濾波順序中，左邊的邊界是最先被作濾波運算的邊界，而下面的邊界是最後執行的。本發明提出這項新穎的濾波順序來重排每個邊界上面的濾波順序，如第 6 圖 (c) 所示。所有的邊緣數值都會被執行，而除了灰色部分之外的數值則是執行在後迴圈濾波當中。因此，總共會有 48 和 24 的邊緣分別在內和後迴圈濾波器裡頭需要被運算。每個邊界的順序都遵守左邊先執行，且下面邊界為最後執行的準則。相較於傳統的濾波排列法，發明人所提出的方式可以避免在不同方向上的資料重複存取的負擔，並且將平行以及垂直的濾波合併在一個標準統一規範的排列裡頭。

在目前 H.264/AVC 去區塊雜訊當中，最主要的問題是在於它需要大量的記憶體存取以及處理的時間。為了將發明人所提出的新穎排程方式套用在整個系統裡頭，發明人提出了高吐出率的硬體設計架構。

提出的 LOOP/置後 (POST) 濾波器之架構

第 8 圖利用區塊以及流程圖形來說明本發明所提出的設計架構。而在第 8 圖當中，發明人選擇 CoP 的資料排列方式。而且單埠 (single-port) SRAM 模組也被應用於此一架構裡頭。它用以儲存解碼像素以及邊緣像素的資料。外部的畫面暫存器是屬於晶片外的記憶體單元，它的大小是由所解碼的畫面大小以及預測的畫面個數來決定。灰色線條是代表在去區塊雜訊裡頭的資料線，而黑色線條則是代表外部的訊號

線。而像素暫存器則是用來實現發明人先前所提出的混合式排程法。

而本文所提出的第 8 圖之去區塊雜訊濾波器架構可以詳見如第 9 圖所示。所有的訊號線都是 32 位元的寬度，而且是用 CoP 方式來作資料排列。這邊會有四條輸入線 {wt_B_0, wt_B_1, wt_B_2, wt_B_3} 來寫入四個像素暫存器。此外，會有三個輸出訊號 {rd_B_0, rd_B_1, rd_B_2} 來作讀出的動作，並將讀出來的像素值輸入給邊緣濾波器所使用，最後在將濾波完的結果寫回外部的畫面暫存器或者先前所提及的條狀記憶體。另外，寫完四個像素暫存器的結果就如同第 7 圖 (b) 所示，它能夠達到混合式的濾波法，並且避免額外的在不同的濾波方向多作資料的存取。利用如此的命名法則，每一條寫入 / 讀出儲存單元 (條狀 (Slice)，內容記憶體 (content memory) 與訊框緩衝器 (frame buffer))，都能夠在圖中的訊號命名法則裡頭窺知一二。而在一般針對像素暫存器的行為描述之後，發明人使用一個 MB 的 48 個邊界來作接下來的解釋。而所有的解釋可以參見第 9 圖，發明人將它拆成兩個部分來作個別說明：

- 寫入程序：它是在作寫入的一個機制，包含有訊號 {wt_S_0~2, wt_I/F_0~1, wt_B_0~3}。
- 讀出程序：它是在作讀出的一個機制，包含有訊號 {rd_S_0~1, rd_C_0, rd_B_0~2}

對於寫入條狀記憶體 (slice memory) 的訊號而言，wt_S_0 是用以將濾波完的資料寫到條狀記憶體 (slice

memory)，而這個訊號只有在邊緣 6,10,14,16(此號碼請參見第 6 圖(b))才會起作用。對於邊緣 6 來說，最下面的區塊也將成為下一個 LF-MB_L 所要執行的邊緣區塊。而同樣的情況也將會發生在邊緣 10,14,16。此外，wt_A_1 將在邊緣 31,32,40,48 的時候會被啟動。wt_S_2 是用以將第 6 圖(b)的點區域寫回到目前的記憶體 (current memory)。而對於寫到外部的畫面記憶體而言，wt_F_0 是屬於這部分的訊號。它將會執行在除了 wt_S_1,wt_B_0 之外的所有水平邊界濾波上，因為 wt_F_0,wt_S_1,wt_B_0 有同樣的母訊號 P'_pixel。以邊緣 6 為例子來看的話，邊緣 6 的上半部即為邊緣濾波器的輸出。此一區塊也將寫回外部的畫面記憶體，因為在邊緣 {1,3,5,6} 的四個邊界上，此一區塊已經完成濾波的動作。而 wt_F_1 也由同樣的方式達成，只是他的輸入訊號改為像素暫存器的輸入罷了。

此外，對於條狀記憶體 (slice memory) 的讀入程序，rd_S_0 只有在邊緣 {1,2,17,18,31,33,34,39,41,42,47} 才會被啟動。針對邊緣 1，rd_S_0 是像素暫存器的輸入訊號。發明人需要保留像素的值，因為發明人使用 CoP 的資料排列關係。而這也是為何發明人保留在第 7 圖(b)當中 t1(時間：1)左邊的邊緣資料。然而，對於邊界 {5,9,13,15,21,25,29,37,45} 的垂直濾波而言，它可以直接的利用訊號 rd_S_1 來執行邊緣濾波的動作。此外，相較於現有的設計，發明人所提出的內容記憶體 (content memory) 只用來作讀出的動作，完全不需要在將一個方向的濾波結果寫回內容記憶體 (content

memory)，然後在另一個方向作濾波的時候又要將它給讀出。經由發明人所提出的混合式排程法，發明人合併了水平和垂直的濾波程序。所以，本發明最多需要 4 個像素暫存器來實現發明人的混合式排程法。

(提出的去區塊濾波器之架構) Proposed Architecture of De-blocking Filter

第 8 圖利用區塊以及流程圖形來說明發明人所提出的設計架構。其中，內容記憶體和條狀記憶體的大小以及排列方式已經在上文提起過。發明人選用 CoP 的資料排列方式來增進像素之間的使用率，以及減少在內部預測 (intra prediction) 和移動補償 (motion compensation) 的記憶體存取次數。而外部的畫面暫存器是屬於晶片外的記憶體單元，它的大小是由所解碼的畫面大小以及預測的畫面個數來決定。灰色線條是代表在去區塊雜訊裡頭的資料線，而黑色線條則是代表外部的訊號線。而像素暫存器則是用來實現發明人先前所提出的混合式排程法。它包含有四個 4x4 的像素值。此外，在每一個時間點，它所在的位置即如同第 7 圖 (b) 所示。而邊緣濾波器是屬於一種平行化的輸入輸出模式。它使用 3,4 或者 5-tap 的濾波方式，來消除由於移動補償以及預測錯誤所導致的邊緣區塊效應。

接著來看本發明另一個重點，H.264/AVC 和 MPEG-4 都採用去區塊雜訊濾波器來消除區塊間的不連續效應。然而，H.264/AVC 採用的濾波架構是屬於內迴圈的濾波程序，而其他的視訊標準則是屬於後迴圈的濾波程序。有關細部的濾波

特色我們陳列下述表三中。爲了提供一個單一的硬體架構來符合不同的視訊標準，本發明提出一個整合架構來結合標準所訂定的內迴圈濾波和不受標準規範的後迴圈濾波器。在說明書中統稱爲內/後-迴圈濾波器。

去區塊濾波器	內迴圈濾波	後迴圈濾波	
標準化	標準規範	非標準規範	
標準名稱	H.264/AVC	MPEG-4(Annex F.3)	H.263(Annex J)
濾波邊界	4x4	8x8	8x8
濾波順序	垂直邊界優先	水平邊界優先	水平邊界優先
最大相關像素	8(單邊 4 像素)	10(單邊 5 像素)	4(單邊 2 像素)

表三(比較不同標準中去區塊濾波器之特徵)

由於後迴圈濾波器並不受限於標準所規範，因此它提供了很高的自由度可以發展出適合的演算法，來減少整合上的硬體負擔。基於原本 4x4 內迴圈濾波的演算法，推導 8x8 後迴圈濾波器的演算法，並改變濾波器的順序以及跟濾波有關的邊緣像素個數。因此，這個更改過的後迴圈濾波器能夠更容易的整合於現有的 4x4 內迴圈濾波器。模擬的結果也顯示，本發明所提出的內/後迴圈濾波架構犧牲 0.02dB 的畫面品質以及額外 11.7% 的面積代價，以達到高度整合的濾波器架構。

如前所述，在第 10 圖中可發現，去區塊雜訊濾波器在習知技術的架構裡頭將成爲整體系統的瓶頸所在。因此，一個高吐出率的去區塊雜訊濾波器是有必要來改善整體的系統性能。在傳統的去區塊濾波器架構當中，垂直的邊緣會先被濾波，然後再作水平邊界的濾波。因此在濾波 4x4 或者 8x8 的邊界當中，往往會需要兩倍的記憶體存取在不同方向上的

像素資料。本發明改善區塊邊緣的濾波順序，而且不改變原始標準所定義的順序。相較於現有的設計，本發明所提出的內/後-迴圈濾波器架構能夠節省一半的處理時程。

模擬結果

整個模擬的結果摘列於表四。本發明所實現的製成目標為 0.18um，而且合成完的閘邏輯數為 25.2K，其中並不包含目前記憶體和鄰近記憶體。而這兩個單埠 SRAM 使用已儲存 YUV 本身的像素資料以及邊緣的像素資料。他們總共包含有 96x32 以及 64x32 的大小。本發明更改習知技藝裡頭的後迴圈濾波演算方式，使得在系統效能以及整合複雜度上取得一個平衡點。本發明使用 foreman 和 stefan 兩個當作測試視訊串。在第 11 圖當中，更改過後的效能較更改前的差了 0.02dB。此外所增加的成本比例約為 11.7% (2.64/22.56，詳見表四)。

項目	[1]	[2]	本文提出的內/後-迴圈濾波器	
功能	內迴圈濾波	內迴圈濾波	內迴圈濾波	後迴圈濾波
設計方式	移位暫存器	條狀暫存器	條狀暫存器	
保留資料大小	2個區塊	4個區塊	4個區塊	
邏輯閘個數	18.91K (0.25um)	N/A	25.2K (=22.56K+2.64K) (0.18um)	
工作頻率	100 MHz	N/A	100 MHz	
處理周期數	504 週期/巨方塊	214 週期/亮度巨方塊 + N 週期/彩度巨方塊	250 週期/巨方塊 = 159 週期/亮度巨方塊 + 91 週期/彩度巨方塊	305 週期/巨方塊 = 200 週期/亮度巨方塊 + 104 週期/彩度巨方塊
記憶體需求	2 個單一埠記憶體	N/A	2 個單一埠記憶體	

表 四 (模 擬 結 果)

在表五與表四當中的內迴圈濾波方式，基於本發明所提出的高吐出率之去區塊雜訊濾波架構，最後實現的亮度與彩度的處理週期數分別為 159 和 90。細部來說，本發明一開始

的時候需要 8 個週期 (LF-MB-U+LF-MB-L)。再來會有 4×32 個週期來濾波一個亮度 MB 中的每個水平邊緣與垂直邊緣。最後需要 20 週期來寫入濾波的結果於邊緣 {16,22,26,30,32}，而且還有額外 3 個週期，由於資料危害所造成的關係。整體而言，本發明需要 159 週期 (亦即, $8+4 \times 32+20+3$) 來實現水平和垂直的亮度濾波。經由同樣的分析，本發明需要 90 週期 (亦即, 針對每個彩度為 $4+4 \times 8+8+1=45$) 來實現水平和垂直的彩度濾波。最後結果，總共需要 250 週期來實現濾波動作，並且又額外增加 1 個週期的資料危害。利用同樣的方式，本發明也可以得到後迴圈的濾波週期數。因為後迴圈濾波利用摺疊技巧，所以需要花三個週期來實現每個邊界的運算。總體而言，後迴圈濾波所花的處理週期為 305 個。

週期數		[1]的基本式	[2]	本文提出的方法
垂直 / 水平		分離式	分離式	混合式
亮度	水平	128	104	159
	垂直	200	110	
彩度	水平	64	N/A	90
	垂直	112	N/A	
總共		504	214 + N/A	250

表五 (去區塊濾波器單元中的週期分析)

最後，在內迴圈和後迴圈濾波的整個模擬的週期數分別為 250 和 305。此外，相較於現有的做法，我們所提出的架構能夠節省將近一半的處理週期數，於每一個 MB 裡頭。原先，濾波架構可能成為一個系統的瓶頸，經由我們提出的架構，我們可以大大的減低處理的週期數，並且提昇系統的整體吐出率 ($350 \text{ cycle/MB} = 9523 \text{ MB/frame}$ with

30fps@100MHz)。所以，這樣的運算處理能力能夠達到高畫質(1080HD)的即時解碼，當工作頻率在100MHz的情況之下。

綜合上述，在新一代的HD-DVD視訊解碼系統中，它必須同時支援MPEG-2、H.264和WMV-9等的不同標準，而其中只有MPEG-2的視訊解碼標準沒有定義迴圈濾波，但是它可以應用於後處理濾波器上。因此，我們分析個別標準當中的不同之處，並藉以提出一個雙模的濾波器架構，能夠整合不同標準的濾波方式。此外，對於頻繁的濾波次數，以及高複雜度的濾波演算，我們利用雙模混合式的濾波排程法來合併不同方向的邊緣濾波，以降低對記憶體的资料存取。最後可以使得整體的產量有所提升，以達到高畫質的實際解碼需求。

雖然本發明透過一些實施例來表現，但並不代表本發明只限定於實施例中，任何採用本發明申請專利範圍中的技術來達成的對等技術，應當被視為落入本發明之專利範圍中。

【圖式簡單說明】

第1圖為本發明之雙模式去區塊濾波器之排程方法之流程圖；

第2圖為在去區塊濾波器中的不同資料排列(a)與預測單元(b)；

第3圖為具有柵格或陰影區域的條狀記憶體以及具有黑點區域的內容記憶體；

第4圖為具有提出的迴圈/後置濾波器之弱強度的像素入-像素出濾波程序；

第 5 圖為習知技術之濾波順序之示意圖；

第 6 圖為本發明提出的混合排程法之濾波順序之示意圖；

第 7 圖為當施加該混合排程法該分隔的 MB 與各個時間階段；

第 8 圖為本發明之區塊表與資料流；

第 9 圖為用於去區塊濾波器的詳細架構圖；

第 10 圖為透過 HDL 模擬的 H2.64/AVC 之全部週期輪廓；

第 11 圖為由改變後置濾波器的效能比較；

【主要元件符號說明】

無。

第 94116487 號「雙模式高產量之去區塊濾波器及其方法」專利申請案

(2007 年 11 月 29 日修正)

十、申請專利範圍：

1. 一種雙模式去區塊濾波器之排程方法，包含：

判斷迴圈模式為內迴圈模式或是後迴圈模式；

濾波控制，偵測 4×4 或 8×8 區塊之濾波邊界，並改變後迴圈之濾波順序，並以垂直濾波為優先；

濾波模式的強度計算與模式選擇，改變後迴圈濾波器之相依(dependent)像素個數與預設模式，利用邊緣強度(BS)判斷濾波模式為決策強模式、弱模式或者跳躍模式其中之一；及

邊緣濾波，針對上述所選擇的濾波模式，於 4×4 的小區塊交叉進行水平與垂直邊緣濾波。

2. 如申請專利範圍第 1 項之排程方法，其中該水平與垂直邊緣濾波之方式係以左、右、上、下之順序混合排程。

3. 一種雙模式之去區塊濾波器，包含：

兩個單埠(single-port)記憶體，包含內容(content)記憶體與條狀(Slice)記憶體，其中該內容記憶體用以儲存解碼像素之資料，且該條狀記憶體用以儲存邊緣像素資料；

四塊 4×4 的像素暫存器，由暫存器陣列所構成，用以提供混合式排程時所需的存取方式；

複數個多工器，用以控制混合濾波的資料存取；

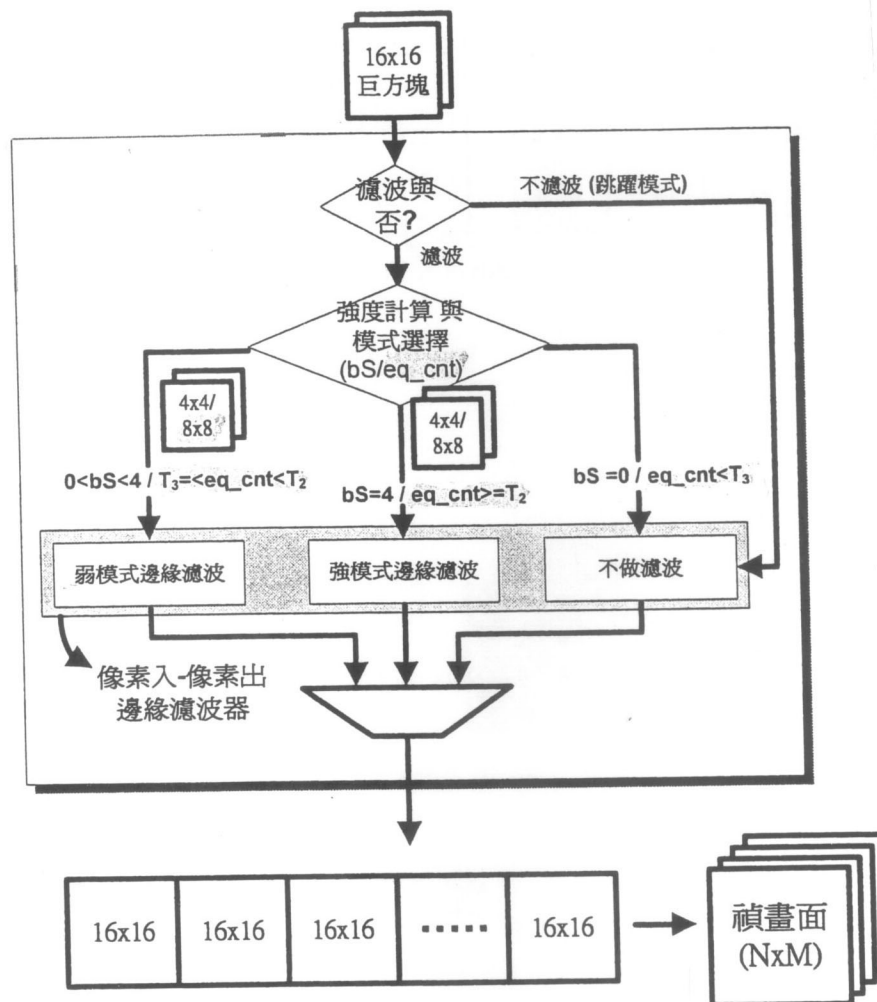
邊緣濾波器，至少包含作用於強模式邊緣濾波之強邊緣濾波器以及作用於弱模式邊緣濾波之弱邊緣濾波器，用以

接收該像素暫存器所讀出之像素值，並消除由於移動補償以及預測錯誤所導致的邊緣區塊效應，接著再將濾波完之結果寫回外部的畫面暫存器或者該條狀記憶體；及

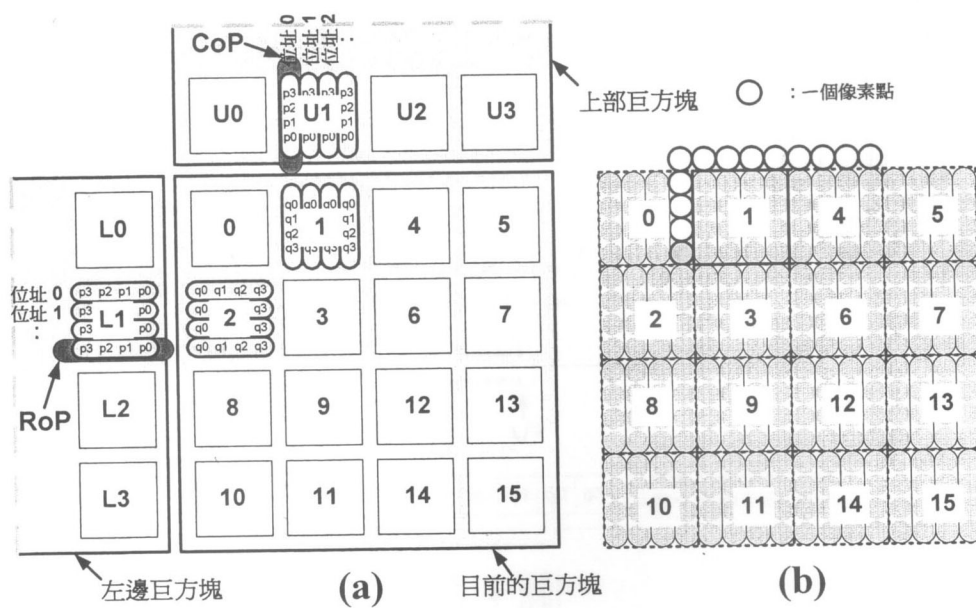
控制單元，用以控制輸入至該等多工器與該邊緣濾波器之訊號。

- 4.如申請專利範圍第3項之去區塊濾波器，其中該等記憶體係藉由像素行（Column-of-Pixel）當作記憶體每個位址的資料大小。

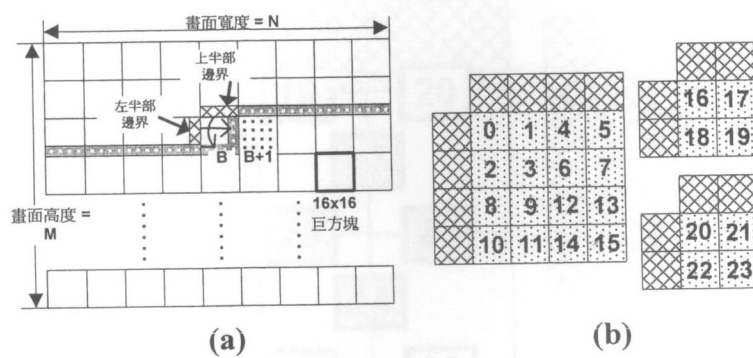
十一、圖式：



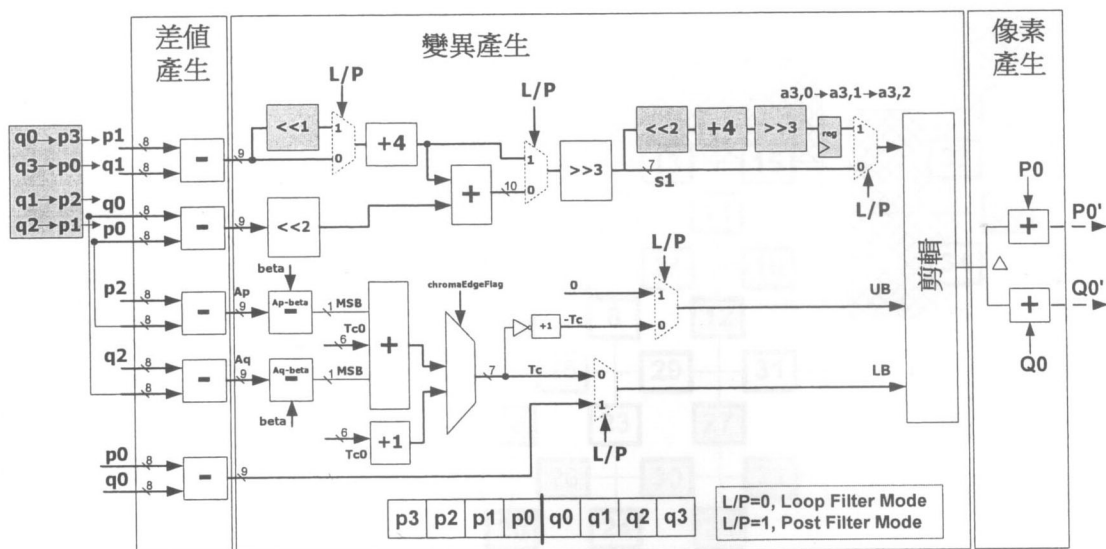
第 1 圖



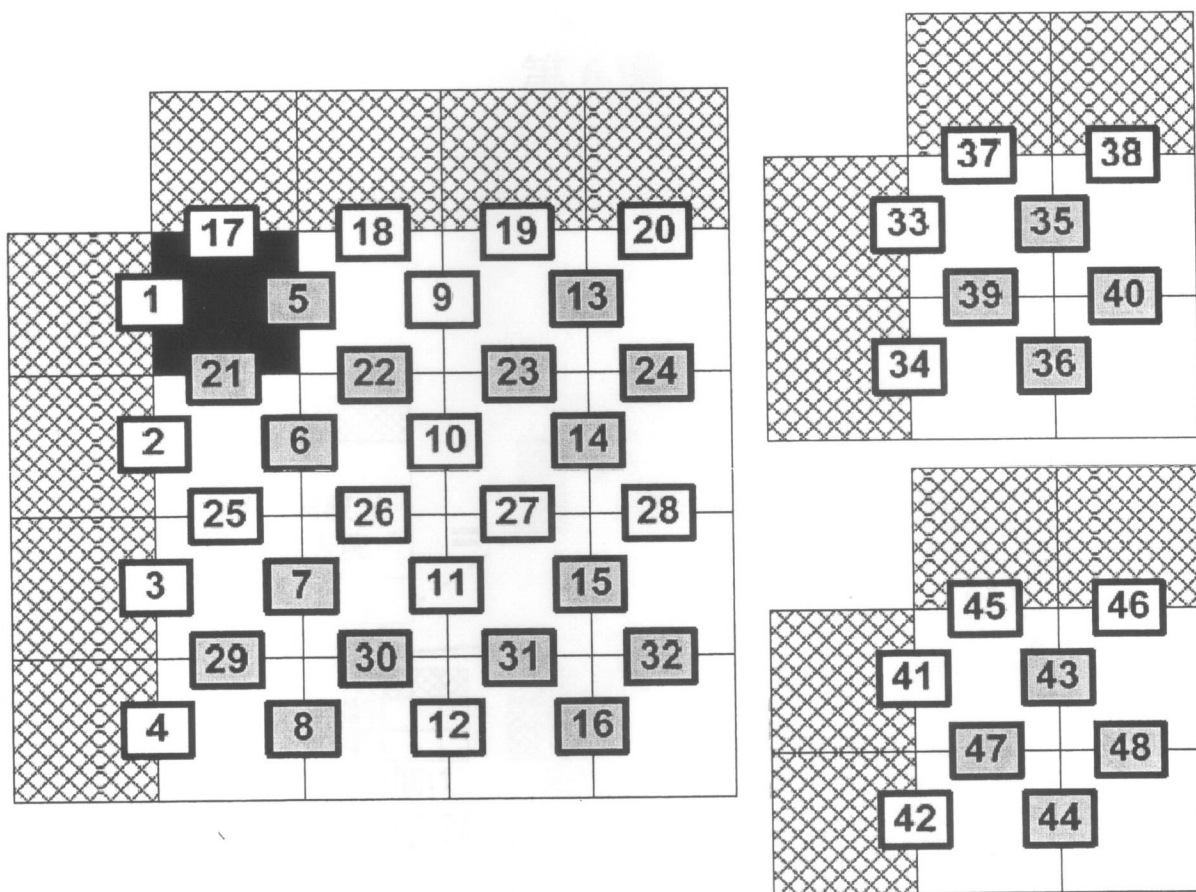
第 2 圖



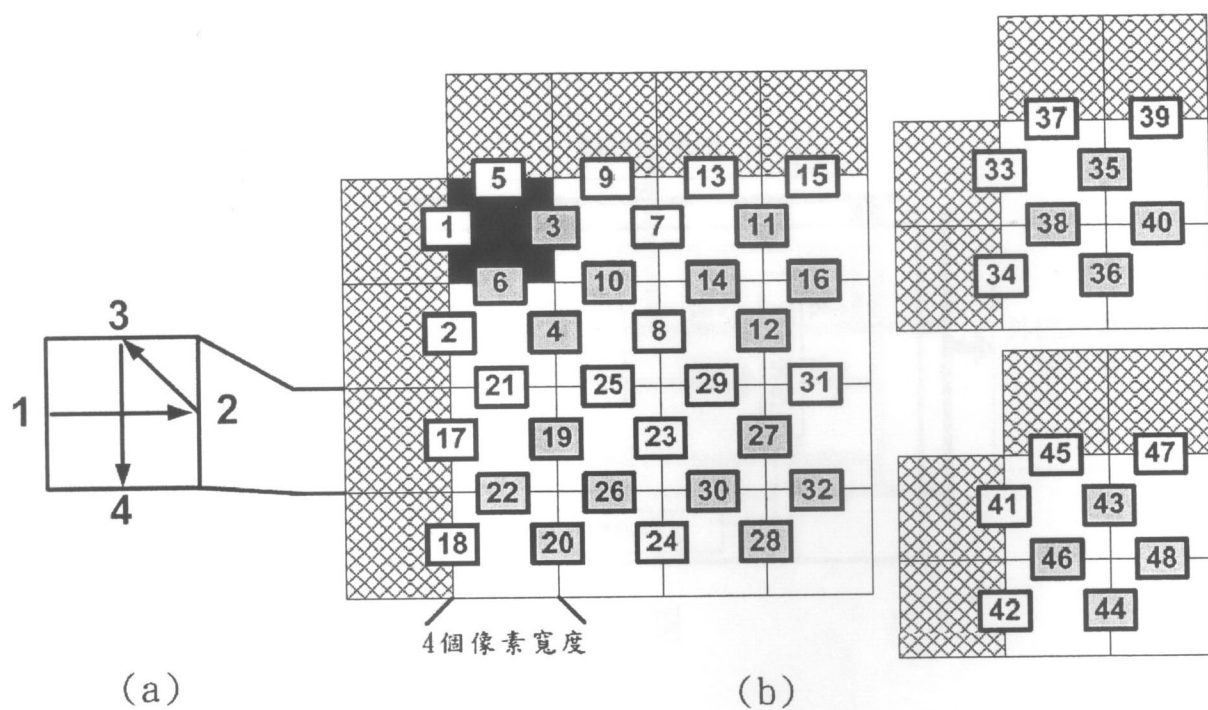
第 3 圖



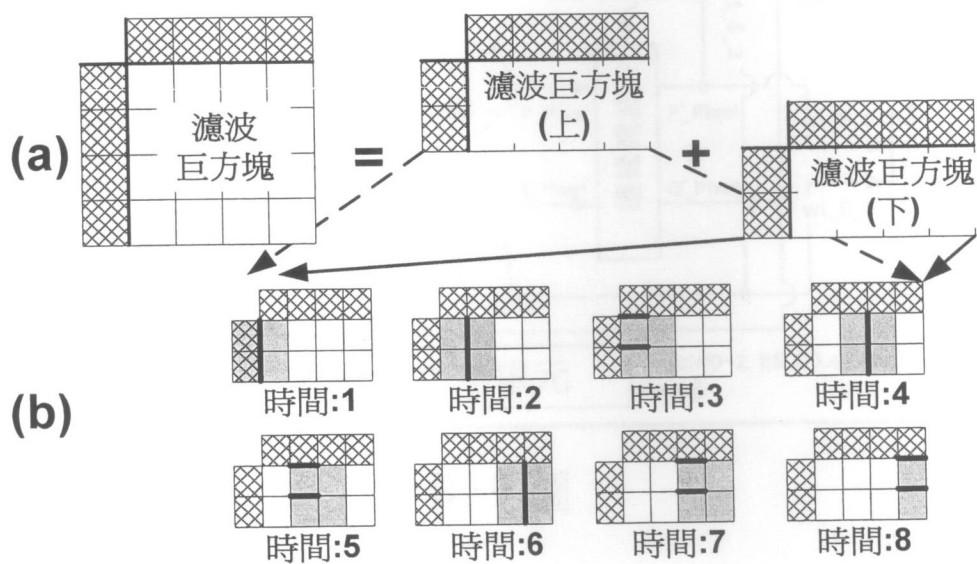
第 4 圖



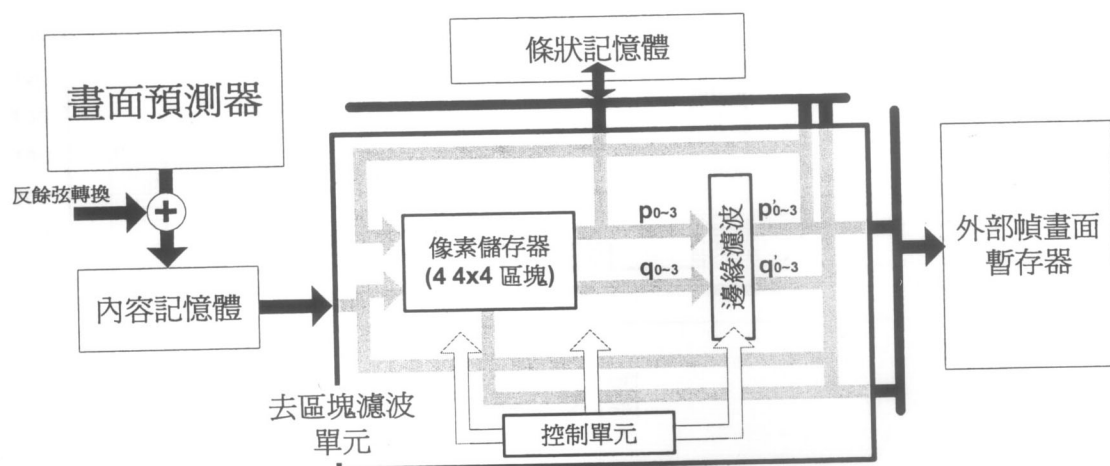
第 5 圖



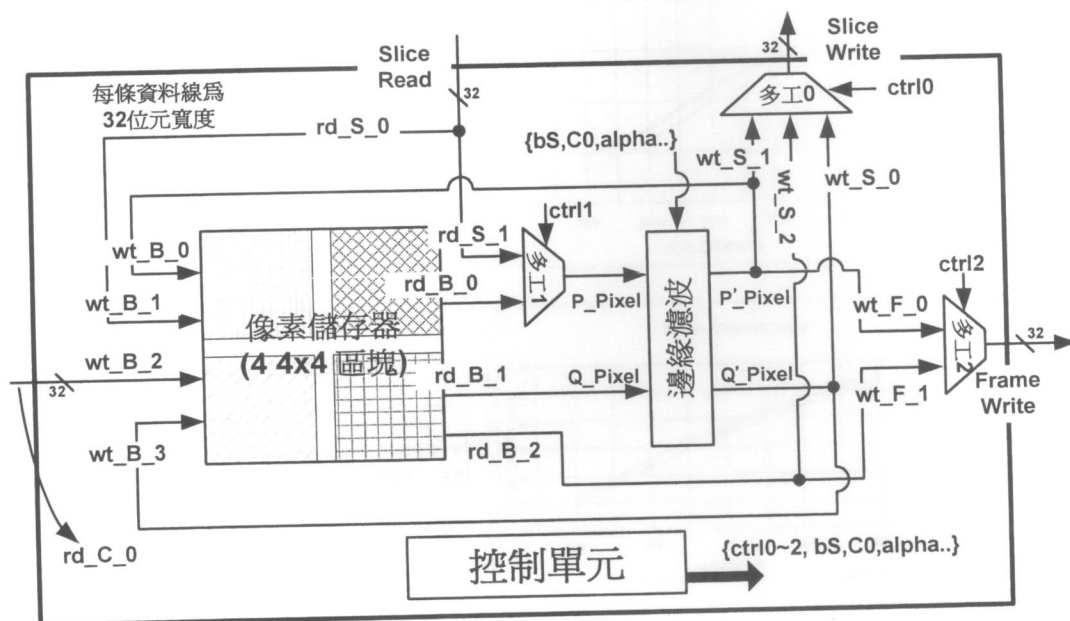
第 6 圖



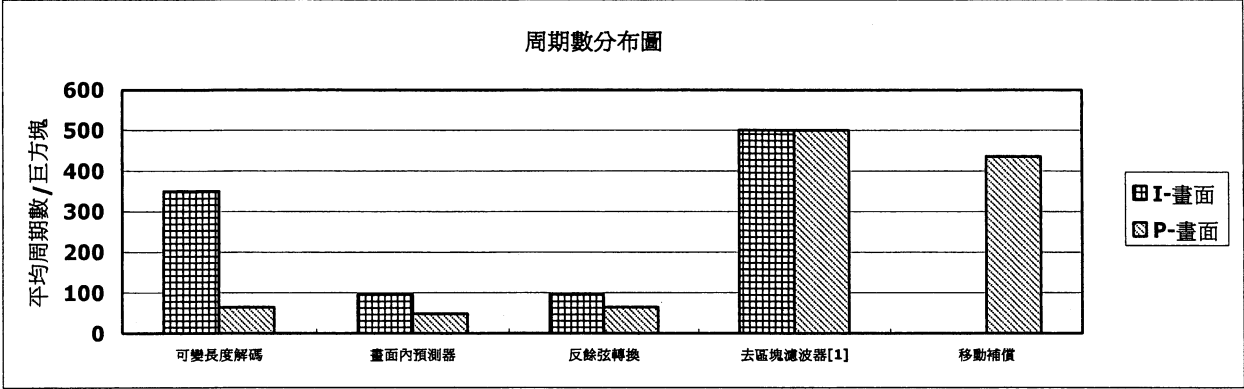
第 7 圖



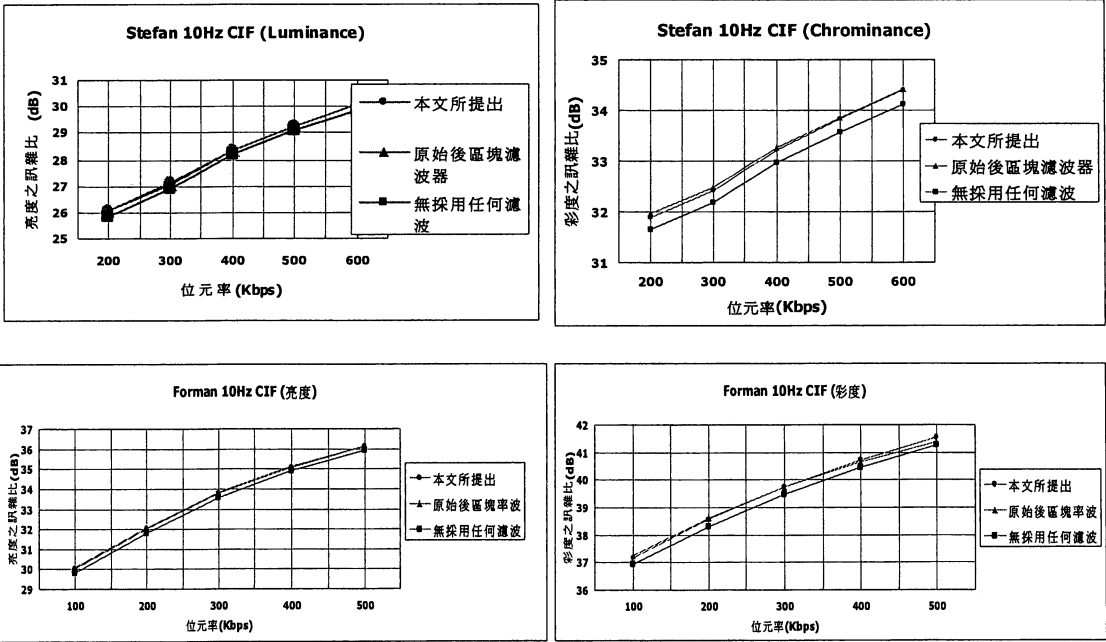
第 8 圖



第 9 圖



第 10 圖



第 11 圖